

ТЕМА 1. ФОРМИ ЗОБРАЖЕННЯ ІНФОРМАЦІЇ

План

- 1.1. Електричні сигнали та їхнє представлення.
- 1.2. Види сигналів в комп'ютерній схемотехніці.
- 1.3. Електричні параметри сигналів цифрових мікросхем.

1.1. Електричні сигнали та їхнє представлення

Інформаційне повідомлення завжди зв'язане з джерелом і приймачем інформації, сполученими каналом передачі (рисунок 1.1).

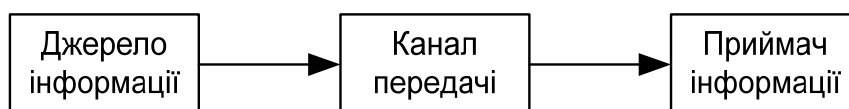


Рисунок 1.1 – Інформаційна модель каналу передачі

Джерелом і приймачем інформації можуть бути як люди, так і технічні засоби чи пристрої (комп'ютери, давачі, індикатори та ін.). Каналом передачі (зв'язку) називається сукупність пристроїв, що мають один вхід і один вихід, та призначені для передачі інформації на відстані. Повідомлення можуть мати різноманітні форми: звуку, тексту, зображення, електричної напруги від різного роду давачів.

Інформаційні повідомлення розміщують на різних машинних носіях інформації. Носій інформації є проміжною ланкою між комп'ютером і первинним документом, який містить числові дані, текстові матеріали, схеми, графіки, різноманітні виміри.

Для передачі інформації від джерела до приймача повідомлення перетворюють у сигнали. Відповідно до ДСТУ 2938-84 „сигнал – це зміна фізичної величини, що використовується для пересилання даних”. Таким чином, сигнал утворюється на основі деякої фізичної величини (електромагнітні або акустичні коливання, електрична напруга та ін.), яку традиційно називають енергетичним носієм, і зміни одного або декількох її параметрів (амплітуди, частоти, фази та ін.) за законом переданої інформації. За допомогою сукупності сигналів можна подати будь-яке повідомлення. Зміна параметрів фізичної величини за законом переданого повідомлення називається модуляцією, а змінювані параметри – інформативними.

Сигнали класифікують за такими ознаками:

- ступенем визначеності очікуваних значень – випадкові і детерміновані;
- структурою часової зміни – неперервні і дискретні;
- роллю переданої інформації в комп'ютері – адреси, дані і керування;
- способом перетворення - кодовані, декодовані, дискретизовані та ін.;
- приналежністю до виду зв'язку – телеграфні, телефонні, радіолокаційні, міжмашинні та внутрішньомашинні;

- характером зміни кодованих сигналів у синхронізовані моменти часу – потенціальні та імпульсні.

У процесі передачі сигналів від джерела до приймача фізичні величини і засоби їхньої модуляції можуть багаторазово змінюватися, але зміст повідомлення залишається незмінним, оскільки воно визначається тільки за законом модуляції.

Найбільш поширеними способами представлення сигналів є часовий, спектральний, статистичний. У багатьох випадках інформація щодо протікання деякого фізичного процесу надходить від відповідних давачів у вигляді електричних сигналів, змінюються у часі. Розрізняють такі різновиди сигналів, що описуються часовою функцією $f(t)$:

- неперервна функція неперервного аргументу;
- дискретна функція неперервного аргументу;
- неперервна функція дискретного аргументу. Перетворення функції $f(t)$ неперервного аргументу t в функцію $f(t)$ дискретного аргументу t називається дискретизацією (квантуванням) у часі;
- дискретна функція дискретного аргументу.

Перший з розглянутих різновидів описує неперервні (аналогові) сигнали, другий і третій – дискретно-неперервні, а четвертий – чисто дискретні.

1.2. Види сигналів в комп'ютерній схемотехніці

У комп'ютерній схемотехніці застосовуються два основних види двійкових сигналів: потенціальні й імпульсні (рисунок 1.2). Сигнал, який змінюється тільки в тактові моменти часу, називається потенціальним. Сигнал, що наростає в тактовий момент, а спадає в границях даного такту, називається імпульсним. Тривалість потенціального сигналу дорівнює або кратна тривалості машинного такту.

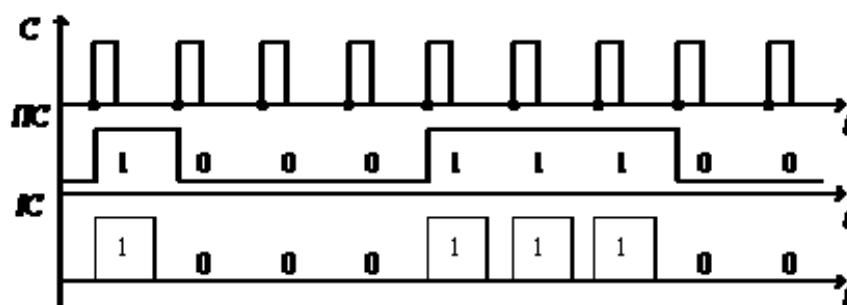


Рисунок 1.2 - Діаграми потенціальних (ПС) та імпульсних (ІС) сигналів

У логіці значення двійкового сигналу і відповідної змінної X кодуються символами 0 (лог. 0) і 1 (лог. 1). Напругу, що відображає символ 1, позначимо через U_1 , а символ 0 – через U_0 . Розрізняють два способи кодування логічних сигналів X_i потенціальними сигналами – позитивний та негативний.

При позитивному кодуванні (позитивна логіка чи угода) більший рівень напруги U_H з урахуванням знака відображає лог. 1, а менший U_L – лог.0, тобто $X = 1$, якщо $U_1 = U_H$, та $X = 0$ при $U_0 = U_L$ (рисунок 1.3, а). При негативному кодуванні (негативна логіка чи угода) більший рівень напруги U_H з урахуванням знаку відображає лог. 0, а менший U_L – лог. 1, тобто $X = 1$, якщо $U_1 = U_L$, та $X = 0$ при $U_0 = U_H$ (рисунок 1.3, б).

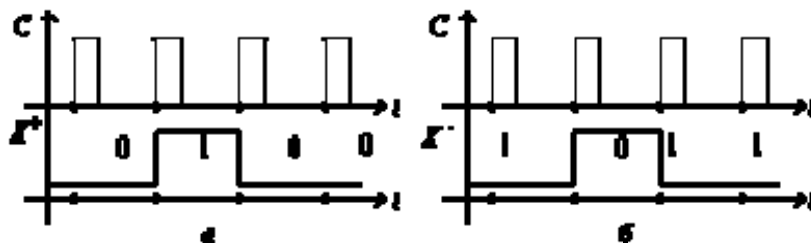


Рисунок 1.3 - Логічні угоди: а – позитивна $X+$; б – негативна $X-$

Для імпульсних сигналів розрізняють два роди кодування (рисунок 1.4): перший – наявність імпульсу відображає лог. 1, відсутність – лог. 0; другий – наявність імпульсу однієї полярності відображає лог. 1, а іншої полярності – лог. 0.

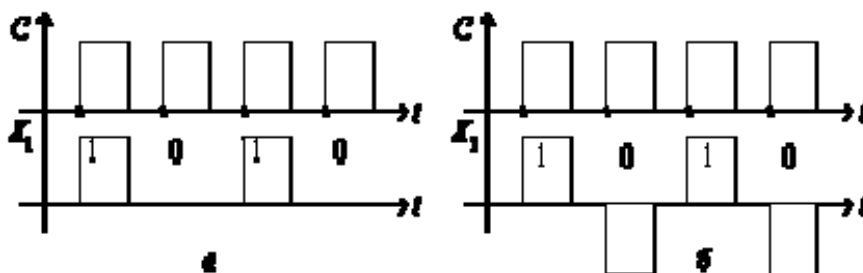


Рисунок 1.4 - Імпульсне кодування: а – першого роду; б – другого роду

1.3. Електричні параметри сигналів цифрових мікросхем

Логічні, схемотехнічні й експлуатаційні властивості логічних елементів визначаються сукупністю характеристик і параметрів, до яких відносяться:

- функції логічних елементів;
- логічні угоди;
- коефіцієнти об'єднання за входом і виходом;
- коефіцієнт розгалуження;
- швидкодія;
- потужність споживання;
- робота перемикачів;
- вхідні й вихідні напруги і струми;

- статична і динамічна стійкість до завад;
- надійність елементів;
- допустимі розміри механічних впливів, діапазони тиску і температури навколишнього середовища, стійкість до радіаційних впливів;
- маса, вартість і конструктивне оформлення.

У більшості випадків зазначені характеристики і параметри відносяться і до інтегрованих мікросхем, на яких реалізовані логічні елементи.

Прийняті такі визначення і буквенні позначення електричних параметрів цифрових мікросхем (ДСТУ 2883-94):

- вхідні U_I і вихідні U_O рівні напруг (індекси – від англійських слів Input і Output);
- вхідні напруги низького U_{IL} і високого U_{IH} рівнів; для них установлюються максимальне значення низького рівня $U_{IL\ max}$ та мінімальне значення високого рівня $U_{IH\ min}$ (рисунок 1.5, а);
- вихідні напруги низького U_{OL} і високого U_{OH} рівнів; для них установлені максимальне значення низького рівня $U_{OL\ max}$ та мінімальне значення високого рівня $U_{OH\ min}$ (рисунок 1.5, б);
- вхідний I_I і вихідний I_O струми;
- вхідний струм I_{IL} – при низькому рівні напруги на вході, I_{IH} – при високому;
- вихідний струм I_{OL} – при низькому рівні напруги на виході, а I_{OH} – при високому;
- U_{CC} – значення напруги джерела живлення;
- I_{CC} – струм, споживаний ІМС від джерела живлення;
- P_{CC} – потужність, споживана ІМС від джерела живлення;
- вхідні граничні напруги, при яких відбувається перемикання елемента: U_{TH} – найменше значення для високого рівня і U_{TL} – найбільше значення для низького рівня.

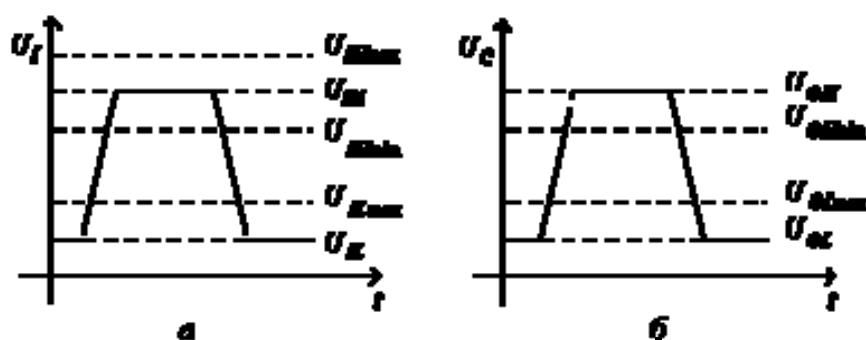


Рисунок 1.5 - Позначення рівнів напруг: а – вхідних; б – вихідних

Основні параметри логічних елементів визначають за допомогою вхідної, вихідної і передатної характеристик. Типові графіки цих характеристик для інвертувальних елементів ТТЛ логіки наведені на рисунку 1.6.

Вхідна характеристика логічного елемента $I_I = f(U_I)$ – це залежність

вхідного струму від зміни вхідної напруги. Струми, що втікають у схему елемента, вважають додатними, а ті, що витікають – від’ємними (рисунк1.6, а). З цієї характеристики визначають вхідні струми I_{IL} для напруги $U_{IL \max}$ і струм I_{IH} для напруги $U_{IH \min}$.

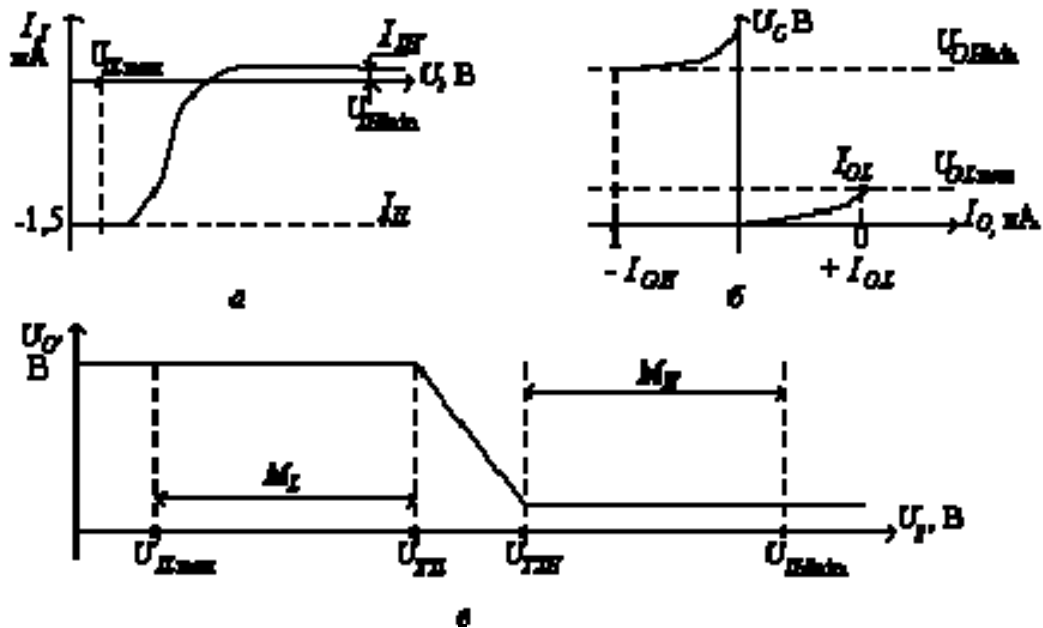


Рисунок 1.6 - Характеристики логічного транзисторно - транзисторного елемента: а – вхідна; б – вихідна; в – передатна

Вихідна характеристика логічного елемента $U_O = f(I_O)$ визначає залежність вихідної напруги від струму навантаження для станів високого і низького рівнів (рисунк1.6,б).

З цієї характеристики визначають допустимі значення струмів: I_{OL} – при низькому рівні вихідної напруги $U_{OL \max}$ і I_{OH} – при високому рівні напруги $U_{OH \min}$ (рисунк 1.6, б).

Передатна характеристика $U_O = f(U_I)$ – це залежність вихідної напруги від вхідної (рисунк 1.6, в). З цієї характеристики визначають значення завадостійкості для низького рівня на вході M_L (завада, що відкриває) і для високого рівня на вході M_H (завада, що закриває):

$$M_L = U_{TIL} - U_{IL \max}; \quad M_H = U_{TII \min} - U_{TII}$$

Середня споживана потужність P^*_{CC} елементом від джерела живлення обчислюється за формулою

$$P^*_{CC} = U_{CC} (I_{CCL} + I_{CCH}) / 2 = U_{CC} I^*_{CC},$$

де I_{CCL} , I_{CCH} – струми споживання при низькому і високому рівнях напруги на виході відповідно; I^*_{CC} – середній струм споживання.

Сучасні елементи споживають потужність від мікроват до десятків міліватів.

Потенціальні сигнали характеризуються значенням логічного перепаду (амплітудою) $U_M = U_H - U_L$ і тривалістю позитивного t_{WH} та негативного t_{WL}

перепадів (рисунок 1.7). Перепади напруг часто називають позитивними і негативними імпульсами.

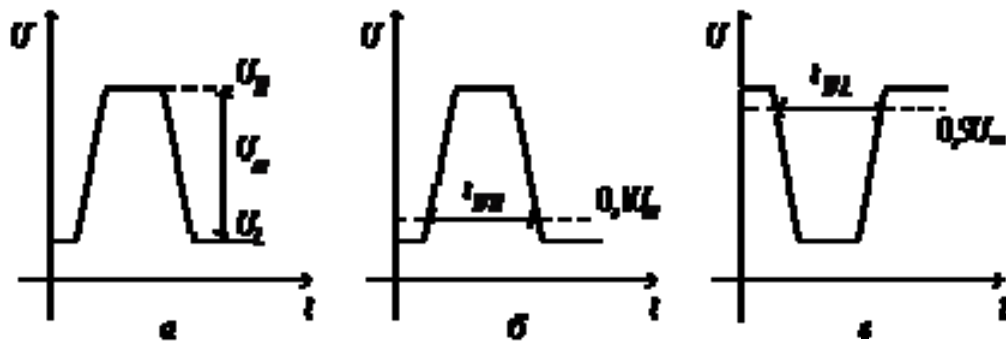


Рисунок 1.7 - Вимір параметрів сигналу: а – амплітуди; б, в – тривалості перепадів

Для вимірювання часових параметрів сигналу встановлюють умовні рівні в частках від амплітуди – 0,1; 0,5 і 0,9.

Швидкодію мікросхем визначають за значеннями таких тривалостей:

- фронту t_{LH} і спаду t_{HL} (рисунок 1.8, а);
- власне вмикання t_{THL} і вимикання t_{TLH} (рисунок 1.8, б); та їх затримки відповідно t_{DHL} та t_{DLH} ;
- затримок поширення сигналу при вмиканні t_{PHL} і вимиканні t_{PLH} (рисунок 1.8, в).

Для практичних розрахунків використовують середній час затримки поширення сигналу

$$t_p = (t_{PHL} + t_{PLH}) / 2.$$

Для оцінки якості елемента широко використовують узагальнений параметр – роботу перемикавання

$$A_{\Pi} = P^*_{CC} t_p.$$

Якщо потужність P^*_{CC} вимірюється в міліватах, а час затримки – в наносекундах, то робота перемикавання A_{Π} виражається в пікоджоулях (пДж). Значення узагальненого параметра A_{Π} знаходиться в границях 0,1–200 пДж. Чим менше значення A_{Π} , тим кращі характеристики має логічний елемент.

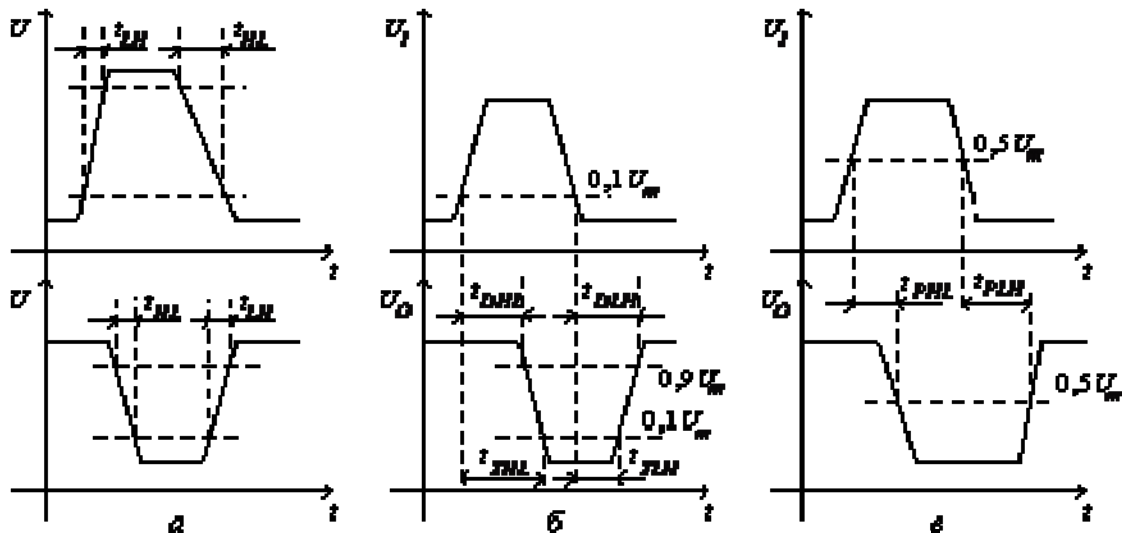


Рисунок 1.8 - Вимір часових параметрів сигналів: а – фронту t_{LH} і спаду t_{HL} ; б – часу вмикання t_{THL} і вимикання t_{TLH} ; в – часу затримок розповсюдження сигналу при вмиканні t_{PHL} та вимиканні t_{PLH}

Надійність ІМС характеризується трьома взаємозалежними показниками:

- 1) інтенсивністю відмов $\lambda = n / (mt)$, де n – число відмов за час випробування, год; m – загальна кількість випробуваних мікросхем;
- 2) напрацюванням на відмову $T = 1/\lambda$;
- 3) можливістю безвідмовної роботи протягом заданого інтервалу часу $P = \exp(-\lambda t)$.

Для сучасних ІМС інтенсивність відмов $\lambda = (10^{-7} \dots 10^{-8})$. Приймавши, що $\lambda = 10^{-8}$, $t = 15000$, отримаємо значення ймовірності безвідмовної роботи $P(t) = 0,998$ або 99,8%.

ТЕМА 2. ЛОГІЧНІ ОСНОВИ ПОБУДОВИ ЕЛЕМЕНТІВ

План

- 2.1. Двійкові змінні і перемикальні функції.
- 2.2. Елементарні логічні функції.
- 2.3. Закони алгебри логіки.
- 2.4. Мінімізація перемикальних функцій.

2.1. Двійкові змінні і перемикальні функції

Для формального опису вузлів комп'ютерів при їх аналізі і синтезі використовується апарат алгебри логіки (алгебри Буля, або булевої алгебри.). В булевій алгебрі розрізняють двійкові змінні і перемикальні функції.

Двійкові змінні можуть приймати два значення: лог. 0 і лог.1. Вони називаються також логічними або булевими змінними і позначаються символами x_1, x_2, \dots, x_n .

Перемикальні функції (ПФ) залежать від двійкових і вони як і аргументи можуть приймати лише два значення: лог. 0 і лог. 1. Перемикальні функції називають також логічними або булевими функціями. Позначаються, як правило, ПФ в вигляді $f(x_1, x_2, \dots, x_n)$, або у вигляді y_1, y_2, \dots , чи F_1, F_2, \dots, F_n . ПФ в свою чергу можуть слугувати аргументами ще більш складних логічних функцій. Відповідно, можна побудувати ПФ будь-якої складності, використовуючи обмежене число логічних зв'язків.

ПФ прийнято задавати таблицями істиності, в котрих для всіх наборів змінних вказуються відповідні їм значення ПФ, або у вигляді логічних формул. Формування значень ПФ в таблиці істиності виконується у відповідності з логікою роботи пристрою (суматора, шифратора чи дешифратора, перетворювача кодів та ін.).

Набір змінних – це сукупність значень двійкових змінних, кожна з яких для всіх наборів, може бути рівною лог.0 або лог.1. Якщо число аргументів (незалежних змінних) ПФ рівне n (тобто x_1, x_2, \dots, x_n), то існує 2^n наборів.

Таблиця 2.1. представляє собою таблицю істиності для ПФ f_1 і f_2 , які залежать від двійкових змінних x_1, x_2, x_3 . Для кожного набору в таблиці записані значення ПФ f_1 і f_2 , які рівні 0 або 1.

Таблиця 2.1

x_1	x_2	x_3	f_1	f_2
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	0
1	0	1	1	0
1	1	0	0	1
1	1	1	0	1

2.2. Елементарні логічні функції

Довільна ПФ може бути виражена в формі функції від двійкових змінних (або від інших ПФ) за допомогою обмеженого числа елементарних логічних функцій. Розглянемо дані функції.

Логічне заперечення (функція НЕ). Логічним запереченням змінної x називається така ПФ $f_1(x)$, котра має значення 1, коли $x = 0$ і значення 0, коли $x = 1$. ПФ НЕ позначається у вигляді

$$f_1 = \bar{x} \quad \text{і читається « } f_1 \text{ є (еквівалентно)}$$

не x ». Функцію НЕ виконує фізичний елемент (електронна схема), яка називається

інвертором. Позначення інвертора на електричних принципових схемах показано на рисунку 2.1.

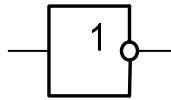


Рисунок 2.1

Логічне множення (кон'юнкція). Кон'юнкція двох (і більше) змінних x_1 і x_2 приймає значення 1 тільки на наборі, на котрому всі змінні мають значення 1. На інших наборах дана функція має значення 0.

Таблиця 2.2. представляє собою таблицю істинності кон'юнкції двох змінних x_1 і x_2 . ПФ кон'юнкції позначається в вигляді

$$f_2 = x_1 x_2 \quad \text{і читається: « } f_2 \text{ є (еквівалентно)}$$

x_1 і x_2 ».

Таблиця 2.2

x_1	x_2	f_2
0	0	0
0	1	0
1	0	0
1	1	1

Для позначення кон'юнкції використовуються також символи \wedge або $\&$. Кон'юнкція називається також функцією І, так як вона приймає значення 1 тоді і тільки тоді, коли обидва аргументи мають значення 1.

Функція І виконується електричною схемою, яка називається елементом І або кон'юнктором. Позначення елемента І на принципових схемах показано на рисунку 2.2.

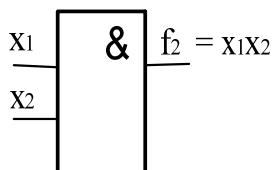


Рисунок 2.2

Логічне додавання (диз'юнкція). Диз'юнкція двох (або іншого числа) змінних x_1 і x_2 має значення 0 тільки на наборі, в якому всі змінні мають значення 0. Якщо хоча одна із змінних рівна 1, то функція буде мати значення 1.

Таблиця 2.3 є таблицею істинності для диз'юнкції двох змінних x_1 і x_2 . ПФ диз'юнкція записується у вигляді

$$f_3 = x_1 \vee x_2$$

і читається : « f_3 є (еквівалентно) x_1 або x_2 . Крім символу \vee , для диз'юнкції застосовується символ $+$. Так як функція диз'юнкції має значення 1, якщо перший або другий аргументи мають значення 1, операція диз'юнкції називається також операцією АБО.

Таблиця 2.3

x_1	x_2	f_3
0	0	0
0	1	1
1	0	1
1	1	1

Операція АБО реалізується електронною схемою, яка називається елементом АБО чи диз'юнктором. Позначення елемента АБО на електричних принципових схемах показано на рисунку 2.3.

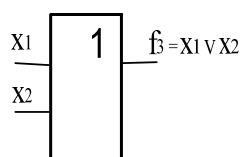


Рисунок 2.3

Електронні логічні функції НЕ, І, АБО є основними логічними функціями. Крім даних основних функцій, є декілька логічних функцій, які є похідними від основних (тобто виражаються через функції І, АБО, НЕ), котрі реалізуються відповідними електронними елементами і також часто зустрічаються в комп'ютерній схемотехніці.

Заперечення кон'юнкції (операція І-НЕ). Дана функція утворюється шляхом заперечення результату , отриманого при виконанні операції І. Таблиця 2.4 є таблицею істинності операції І-НЕ для двох змінних.

Таблиця 2.4

x_1	x_2	f_4
0	0	1
0	1	1
1	0	1
1	1	0

Із порівняння таблиць 2.2 і 2.4 видно, що ПФ І-НЕ є запереченням (операцією НЕ) кон'юнкції. ПФ І-НЕ записується у вигляді

$$f_4 = \overline{x_1 x_2} .$$

Функцію І-НЕ виконує електронна схема, яка називається елементом І-НЕ. Позначення елемента І-НЕ на електричних принципових схемах показано на рисунку 2.4. Число входів елемента І-НЕ визначається числом аргументів функції І-НЕ.

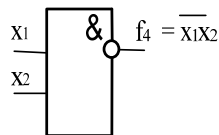


Рисунок 2.4

Заперечення диз'юнкції (операція АБО-НЕ). Ця операція утворюється шляхом заберечення результату, отриманого при виконанні операції АБО. Таблиця 2.5 представляє собою таблицю істинності операції АБО-НЕ для двох змінних.

Таблиця 2.5

x_1	x_2	f_5
0	0	1
0	1	0
1	0	0
1	1	0

ПФ АБО-НЕ записується у вигляді

$$f_5 = \overline{x_1 \vee x_2} .$$

Операцію АБО-НЕ виконує електронний елемент, який називається елементом АБО-НЕ. Позначення елемента АБО-НЕ на електричних принципових схемах показано на рисунку 2.5. Число входів елемента АБО-НЕ

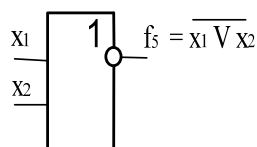


Рисунок 2.5

визначається числом аргументів функції АБО-НЕ.

Виключаюче АБО (операція НЕРІВНОЗНАЧНІСТЬ або ДОДАВАННЯ ПО МОДУЛЮ ДВА). Дана функція має значення 1 на тих наборах змінних, на яких число одиниць непарне. Для двох змінних операція НЕРІВНОЗНАЧНІСТЬ ілюструється таблицею істиності (рисунок 2.6).

Таблиця 2.6

x_1	x_2	f_6
0	0	0
0	1	1
1	0	1
1	1	0

Дана операція записується для двох змінних наступним чином

$$f_6 = x_1 \oplus x_2.$$

Умовне позначення елемента, який виконує функцію НЕРІВНОЗНАЧНІСТЬ, не електричних принципових схемах приведено на рисунку 2.6. Символ М2 в полі елемента означає « додавання по модулю два».

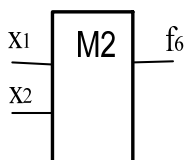


Рисунок 2.6

Операція НЕРІВНОЗНАЧНІСТЬ (М2) виражається через операції НЕ, І, АБО у вигляді

$$f_6 = x_1 \bar{x}_2 + \bar{x}_1 x_2.$$

Операція ВИКЛЮЧАЮЧЕ АБО-НЕ (РІВНОЗНАЧНІСТЬ). Функція РІВНОЗНАЧНІСТЬ представляє собою заперечення операції ВИКЛЮЧАЮЧЕ АБО.

Дана операція має значення 1 на тих наборах змінних, які містять парне число одиниць. Для двох змінних операція ВИКЛЮЧАЮЧЕ АБО-НЕ представлена таблицею істиності (таблиця 2.7).

Таблиця 2.7

x_1	x_2	f_7
0	0	1
0	1	0
1	0	0
1	1	1

Ця операція записується для двох змінних у вигляді

$$f_7 = \overline{x_1 \oplus x_2}.$$

Операція ВИКЛЮЧАЮЧЕ АБО-НЕ виражається через операції НЕ, І, АБО у вигляді

$$f_7 = \overline{\overline{x_1 x_2} + x_1 x_2}.$$

Функцію РІВНОЗНАЧНІСТЬ виконує електронний елемент з аналогічною назвою, зображення якого на електричних принципових схемах приведено на рисунку 2.7.

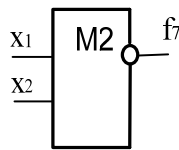


Рисунок 2.7

2.3. Закони алгебри логіки

У алгебрі логіки (булевій алгебрі) використовуються чотири основні закони: переміщувальний, сполучний, розподільний, інверсії. Дані закони дозволяють проводити еквівалентні перетворення ПФ, які записані за допомогою операцій І, АБО, НЕ, тобто приводити вирази ПФ до зручного вигляду.

Переміщувальний закон аналогічний переміщувальному закону звичайної алгебри і записується у вигляді:

а) для диз'юнкції

$$x_1 + x_2 = x_2 + x_1; \quad (2.1)$$

б) для кон'юнкції

$$x_1 x_2 = x_2 x_1. \quad (2.2)$$

Таким чином, візміни місць доданків (співмножників) їх логічна сума (логічний добуток) не змінюється.

Сполучний закон також аналогічний сполучному закону звичайної алгебри і записується у вигляді:

а) для диз'юнкції

$$x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3; \quad (2.3)$$

б) для кон'юнкції

$$x_1(x_2 x_3) = (x_1 x_2)x_3. \quad (2.4)$$

Відповідно, можна групувати змінні, які об'єднані знаками диз'юнкції чи кон'юнкції. Це не змінює значень ПФ.

Розподільний закон записується у вигляді:

а) для диз'юнкції

$$x_1 + x_2 x_3 = (x_1 + x_2) (x_1 + x_3), \quad (2.5)$$

тобто диз'юнкція змінної і кон'юнкція рівносильні кон'юнкції диз'юнкцій цієї змінної із співмножниками;

б) для кон'юнкції

$$x_1 (x_2 + x_3) = x_1 x_2 + x_1 x_3, \quad (2.6)$$

тобто кон'юнкція змінної і диз'юнкція еквівалентна диз'юнкції кон'юнкцій даної змінної з доданками.

Закон інверсії:

а) для диз'юнкції

$$\overline{x_1 + x_2} = \overline{x_1} \overline{x_2}, \quad (2.7)$$

тобто заперечення диз'юнкції логічних змінних еквівалентно кон'юнкції заперечень цих змінних;

б) для кон'юнкції

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2}, \quad (2.8)$$

тобто, заперечення кон'юнкції змінних еквівалентно диз'юнкції заперечень даних змінних.

Із законів алгебри логіки виводиться ряд важливих правил, які є корисними при виконанні еквівалентних перетворень ПФ.

1. Вирази, які завжди мають значення 1:

$$x + 1 = 1;$$

$$x + \overline{x} = 1.$$

2. Вирази, які завжди мають значення 0:

$$x \& 0 = 0;$$

$$x \& \overline{x} = 0.$$

3. Подвійне заперечення : $\overline{\overline{x}} = x$.

4. Повторення:

$$x \& x \& \dots \& x = x;$$

$$x + x + \dots + x = x.$$

5. Склеювання :

$$x_1 x_2 + x_1 \overline{x_2} = x_1.$$

6. Поглинання :

$$x_1 + x_1 x_2 = x_1.$$

2.4. Мінімізація перемикальних функцій

Перемикальні функції можуть бути виражені різними логічними формулами завдяки можливості проведення над ними еквівалентних перетворень. Однак на практиці найбільш зручними для представлення ПФ є *диз'юнктивні* і *кон'юнктивні* форми.

Серед диз'юнктивних форм представлення ПФ розрізняють *диз'юнктивну нормальну форму* (ДНФ) і *досконалу диз'юнктивну нормальну форму* (ДДНФ). В основі представлення ПФ в диз'юнктивних формах лежить поняття *елементарної кон'юнкції*.

Кон'юнкції *любого* числа двійкових змінних x_1, x_2, \dots, x_n називається *елементарною*, якщо співмножники в ній є або одиночні аргументи, або їх заперечення. (Приклад)

Диз'юнктивною нормальною формою (ДНФ) перемикальної функції називається диз'юнкція (логічна сума) *любого* числа елементарних кон'юнкцій (Приклад).

Досконалою диз'юнктивною нормальною формою (ДДНФ) перемикальної функції, яка має n аргументів, називається така форма, в якій всі кон'юнкції мають ранг n .

ДДНФ перемикальної функції записується за таблицею істиності. Для того, щоб за таблицею істиності записати ДДНФ, необхідно кожному набору змінних, на якому ПФ приймає значення лог.1, поставити у відповідність елементарну кон'юнкцію рангу n і всі дані кон'юнкції з'єднати диз'юнктивно.

Елементарні кон'юнкції ДДНФ називають *конституентами* (складовими) *одиниці*, так як вони відповідають наборам, на яких ПФ приймає значення лог.1.

ДНФ, яка представляє собою диз'юнкцію простих імплікант, називається *скороченою ДНФ*.

Кон'юнктивні форми представлення ПФ використовуються рідше. Розрізняють також кон'юнктивну нормальну (КНФ) і досконалу кон'юнктивну нормальну форми (ДКНФ) (Дати вихачення з прикладами). ДКНФ перемикальної функції записується за таблицею істиності на тих наборах, на котрих ПФ приймає значення *логічного нуля*. Кожному такому набору ставиться у відповідність елементарна диз'юнкція рангу n , і всі д'ці диз'юнкції з'єднуються символами кон'юнкції.

Мінімізація, або скорочення виразу, для ПФ необхідна з метою забезпечення мінімуму затрат обладнання при побудові функціональної схеми в заданому базисі (наборі) логічних елементів. Найчастіше використовується набір І, АБО, НЕ, а мінімізація ПФ ведеться в ДНФ.

Мінімізацією ПФ (булевої функції) називається процес одержання її мінімімальної форми.

Складність комбінаційних схем оцінюють за Квайном. Складність комбінаційної схеми за Квайном – це кількість входів логічних елементів, які необхідно використати для реалізації булевої функції.

Для мінімізації ПФ використовують два основних методи: а) метод Квайна;

б) метод діаграм Вейча (карт Карно).

Крім даних методів використовують і інші методи мінімізації:

а) метод Квайна – Мак-Класкі;

б) метод Нельсона;

в) метод невизначених коефіцієнтів.

Метод Квайна застосовується до ПФ, котрі задані в ДДНФ (можливе задання в КДНФ), і проводиться в два етапи.

Метод ґрунтується на застосуванні співвідношень склеювання і поглинання.

$$\begin{aligned} x_1 x_2 \vee x_1 \overline{x_2} &= x_1 & x_1 \vee x_1 x_2 &= x_1 \\ (x_1 \vee x_2)(x_1 \vee \overline{x_2}) &= x_1 & (x_1 \vee x_2)x_1 &= x_1 \end{aligned}$$

На *першому етапі* здійснюється перехід від ДДНФ до скороченої ДНФ шляхом проведення всіх можливих склеювань однієї з одною спочатку кон'юнкцій рангу n , потім рангу $n-1$, далі $n-2$ і т.д. Кожен раз в групі кон'юнкцій рангу r ($1 \leq r \leq n$) знаходяться пари кон'юнкцій виду Ax і $A\overline{x}$, де A – спільна частина даних кон'юнкцій. Дані кон'юнкції склеюються між собою по змінній x . При цьому отримується кон'юнкція A рангу $r-1$, а кон'юнкції Ax і $A\overline{x}$ відмічаються і порівнюються також з всіма іншими кон'юнкціями рангу r з метою виконання операції склеювання. Результатом виконання послідовності попарного порівняння і склеювання кон'юнкцій рангу r є група кон'юнкцій рангу $r-1$ і невідмічені кон'юнкції рангу r . Невідмічені кон'юнкції рангу r не брали участі в склеюванні, значить є простими імплікантами і включаються в скорочену ДНФ. Кон'юнкції рангу $r-1$ знову попарно порівнюються і склеюються; в результаті маємо групу кон'юнкцій рангу $r-2$ і невідмічені кон'юнкції рангу $r-1$, котрі є простими імплікантами, що включаються далі в скорочену ДНФ. Перший етап закінчується тоді, коли отримана група кон'юнкцій не містить членів, котрі склеюються, тобто містить тільки прості імпліканти. Після цього записується скорочена ДНФ ПФ, в яку включаються всі отримані прості імпліканти.

Розглянемо реалізацію першого етапу на прикладі наступної перемикальної функції

$$f = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} x_2 \overline{x_3} \vee \overline{x_1} x_2 x_3 \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 \overline{x_2} x_3 \vee x_1 x_2 \overline{x_3} \vee x_1 x_2 x_3, \quad (2.9)$$

де для зручності подальшого викладення над кон'юнкціями записані присвоєні їм номери.

Аналізуючи в виразі (2.9) всеможливі пари кон'юнкцій 1-2, 1-3, ..., 1-5, 2-3, ..., 2-5, 3-4, 3-5, 4-5, знаходимо, що операція склеювання виконується між парами 1-3, 2-5, 3-4, 4-5. Таким чином, всі кон'юнкції вихідної ДДНФ беруть участь в склеюванні і відмічаються підкресленням.

Вихідна ДДНФ (2.9) запишеться у вигляді

$$f = \overline{x_2} \overline{x_3} \vee x_2 x_3 \vee x_1 \overline{x_2} \vee x_1 x_3 \quad (2.10)$$

Продовжуючи для виразу (2.10) процедуру склеювання, порівнюємо попарно кон'юнкції 1-2, 1-3, 1-4, 2-3, 2-4 і 3-4. Дані пари кон'юнкцій між собою не склеюються. Тому отриманий запис ПФ (2.10) представляє собою скорочену ДНФ і вміщує тільки прості імпліканти.

Другий етап заключається в переході від скороченої ДНФ до тупікових ДНФ і виборі серед них МДНФ. *Тупіковою* називається така ДНФ, серед простих імплікант котрої немає ні однієї зайвої. При цьому під зайвою розуміється така проста імпліканта, видалення котрої не впливає на значення істинності даної функції.

Для виявлення зайвих простих імплікант будується імплікантна матриця, котра називається також матрицею (таблицею) покриттів. Кожна стрічка імплікантної матриці відповідає одній простій імпліканті, а стовпці-конституентам одиниці, котрими вони і помічаються. Для наведеного прикладу імплікантна матриця приведена в таблиці 2.8.

Знаходження тупікових ДНФ за імплікантною матрицею починається з розмітки матриці. При цьому кожна імпліканта порівнюється з усіма конституентами одиниці. Якщо імпліканта є власною частиною деякої конституенти, то в пересіченні лінійки і стовпця ставиться умовний знак, наприклад *. Конституенти одиниці, котрі відмічені в лінійці з простою імплікантою, поглинаються (покриваються) цією простою імплікантою. Це значить, що на відповідних наборах дана імпліканта забезпечує одиничне значення ПФ. Виявлення лишніх (зайвих) простих імплікант виконується наступним чином. В імплікантній таблиці умовно викреслюється стрічка (лінійка) з простою імплікантою, що перевіряється, разом з відповідними помітками в стрічці (лінійці). Якщо при цьому виявиться, що в кожному стовпці імплікантної таблиці залишиться хоча б по одній помітці, то імпліканта, котра перевіряється, є зайвою, і її слід видалити. Прості імпліканти, котрі

Таблиця 2.8

Прості імпліканти	Конституенти одиниць				
	$\overline{x_1} \overline{x_2} \overline{x_3}$	$\overline{x_1} x_2 x_3$	$x_1 \overline{x_2} \overline{x_3}$	$x_1 x_2 \overline{x_3}$	$x_1 x_2 x_3$
1 $\overline{x_2} \overline{x_3}$	×		×		
2 $x_2 x_3$		×		×	×
3 $x_1 \overline{x_2}$			×		×
4 $x_1 x_3$					

залишилися, покривають всі одиничні значення ПФ. Випробування кожної послідуєчої простої імпліканти можливе лише після видалення вже виявлених лишніх простих імплікант. Зміна послідовності випробувань і видалення лишніх членів скороченої ДНФ може привести до різних тупікових форм ПФ, із яких вибирається МДНФ. Із таблиці 2.8 видно, що тільки проста імпліканта 1 забезпечує одиничне значення ПФ на наборі 000, а імпліканта 2 - на наборі 011, тому дані прості імпліканти обов'язково увійдуть у всі тупікові ДНФ. Просту імпліканту 3 можна рахувати лишньою. Однак, якщо її зберегти, лишньою можна рахувати просту імпліканту 4. Таким чином, для ПФ можливі дві тупікові форми:

$$f = \overline{x_2} \overline{x_3} \vee x_2 x_3 \vee x_1 x_3, \quad (2.11)$$

в котру не включена лишня імпліканта $x_1 \overline{x_2}$, і

$$f = \overline{x_2} \overline{x_3} \vee x_2 x_3 \vee \overline{x_1} x_2, \quad (2.12)$$

в котру не ввійшла лишня імпліканта $x_1 x_3$.

Тупікові форми (2.11) і (2.12) мають однакову сумарну кількість змінних, тому любую з них можна вибрати в якості МДНФ.

Метод діаграм Вейча (карт Карно) зручний для мінімізації ПФ, котрі, як правило, мають не більше чотирьох змінних.

Діаграма Вейча має вигляд прямокутника (квадрата), який розбитий на 2^n кліток, де n – число аргументів ПФ. Кожній клітці діаграми ставиться у відповідність певна кон'юнкція, причому кон'юнкції розміщують таким чином, щоб в сусідніх клітках (стрічці чи стовпці) вони відрізнялися не більше ніж значенням однієї змінної. В результаті любі дві сусідні, в стрічці чи стовпці, кон'юнкції склеюються по відповідній змінній. Сусідніми на діаграмі є також крайні (ліва і права) кон'юнкції в одній стрічці і (нижня і верхня) кон'юнкції в одному стовпці.

Діаграми Вейча для двох, трьох і чотирьох змінних приведені на рисунку 2.8.

	x_2	$\overline{x_2}$	
x_1			
$\overline{x_1}$			

	$x_2 x_3$	$\overline{x_2} \overline{x_3}$	$\overline{x_2} x_3$	$x_2 \overline{x_3}$
x_1				
$\overline{x_1}$				

	$X_3 X_4$	$X_3 \bar{X}_4$	$\bar{X}_3 \bar{X}_4$	$\bar{X}_3 X_4$
$X_1 X_2$				
$\bar{X}_1 \bar{X}_2$				
$\bar{X}_1 X_2$				
$X_1 \bar{X}_2$				

Рисунок 2.8 – Діаграми Вейча для функцій двох, трьох і чотирьох змінних

Для мінімізації ПФ приводиться до ДДНФ, після чого заповнюється діаграма Вейча для n змінних. При цьому в відповідну клітинку діаграми вписується 1, якщо ПФ на даному наборі аргументів дорівнює одиниці. У всі інші клітинки вписуються нулі або вони залишаються пустими.

В заповненій діаграмі обводять прямокутними контурами клітинки з одиницями, після чого записується МДНФ ПФ у вигляді диз'юнкції простих імплікант, які описують дані контури. При проведенні контурів дотримуються наступних правил: всередині контуру повинні бути тільки клітинки з одиницями; кількість клітинок з одиницями повинна виражатися величиною 2^i (де $i = 0, 1, 2, \dots$), тобто може бути рівне 1, 2, 4, 8 і т.д.; одиниці в крайніх клітинках одного стовпця чи однієї стрічки (лінійки) можуть включатися в один контур; кожний контур повинен включати *якнайбільше* число клітинок з одиницями, а загальне число контурів повинно бути *мінімальним*.

В просту імпліканту, котра описує контур, включаються ті змінні, котрі у всіх клітках контура мають або лише пряме, або тільки інверсне значення. (Навести приклад для ПФ 4-х змінних).

ТЕМА 3. ІНТЕГРОВАНІ СИСТЕМИ ЕЛЕМЕНТІВ

План

- 3.1. Характеристики і параметри інтегрованих систем елементів.
- 3.2. Система умовних позначень інтегрованих мікросхем.
- 3.3. Базові логічні елементи.
- 3.4. Застосування логічних ІС в реальних схемах.

3.1. Характеристики і параметри інтегрованих систем елементів

За видом сигналу залежно від способів кодування двійкових змінних цифрові ІМС поділяються на імпульсні, потенціальні і імпульсно-потенціальні. Отже, і елементна структура цифрових ІМС визначається видом оброблюваного сигналу. Зі всіх цифрових ІМС найбільш поширені потенціальні мікросхеми. Це пояснюється тим, що побудова потенціальних мікросхем будь-якої складності можлива без реактивних елементів. Це вигідно відрізняє потенціальні ІМС від інших, оскільки процес їх виготовлення найкращим чином відповідає технологічним **МОЖЛИВОСТЯМ** мікроелектроніки.

Схемотехнічна реалізація множини потенціальних ІМС базується на типових базових функціональних елементах. За видом логічної функції, яка реалізується функціональні елементи мікросхем умовно поділяють на два класи. До першого класу відносять функціональні елементи одноступінчатої логіки, які реалізують прості логічні функції (операції): І, АБО, НЕ, І-НЕ, АБО-НЕ. Мікросхеми, котрі виконують тільки логічні функції І-НЕ і АБО-НЕ називають основними (базовими) логічними ІМС. До другого класу відносять функціональні елементи двохступінчатої логіки, які реалізують більш складні логічні функції: І-АБО, АБО-І, НЕ-І-АБО, І-АБО-НЕ, І-АБО-І та ін.

Основні параметри цифрових ІМС визначають допустимі поєднання схем в пристрої і в узагальненому виді характеризують працездатність даних схем в складних пристроях. Основні параметри, число котрих однакове для всіх типів мікросхем, визначають за вимірними електричними параметрами (вхідними і вихідними струмами і напругами, часовими параметрами), число яких залежить від типу мікросхеми.

До основних параметрів відносяться: логічна функція, яка реалізується; навантажувальна здатність- коефіцієнт розгалуження по виходу n ; коефіцієнт об'єднання по входу m ; середній час затримки і передачі сигналу $t_{з,ср}$; статична завадостійкість $U_з$; споживана потужність $P_{ср}$; гранична робоча частота $f_{гр}$.

Навантажувальна здатність характеризує максимальне число мікросхем (даної серії), котрі можна котрі можна одночасно підключити до її виходу без спотворення передавання інформації. Часто навантажувальну здатність називають *коефіцієнтом розгалуження по виходу* і виражають цілим числом n . Чим більший коефіцієнт розгалуження, тим ширші логічні можливості мікросхеми і тим менше число мікросхем необхідно для побудови складного обчислювального пристрою. Однак збільшення коефіцієнту n обмежено, оскільки з ростом числа навантажень погіршуються інші основні параметри

мікросхем, головним чином статична завадостійкість і середній час затримки сигналу. По цій причині в склад однієї серії ІМС часто входять ЛЕ з різною навантажувальною здатністю, котра в залежності від типу схеми і параметрів її елементів коливається в межах від 4 до 25.

Коефіцієнт об'єднання по входу m характеризує максимальне число логічних входів функціонального елементу мікросхеми. Із збільшенням коефіцієнту m розширюються логічні можливості мікросхеми за рахунок виконання функцій з великим числом елементів на одному типовому елементі І-НЕ, АБО-НЕ і ін. Для збільшення коефіцієнту m в серію ІМС включають спеціальну схему "логічного розширювача", підключення котрої до основного елементу дозволяє збільшити m_1 чи $m_{АБО}$ до 10 і більше.

Середній час затримки сигналу $t_{з.ср}$ є найбільш розповсюдженим параметром, який характеризує швидкодію логічних ІМС. Він визначає середній час проходження сигналу через одну мікросхему у пристрої. Якщо ланцюг проходження сигналу складається з N послідовно включених однотипних логічних ІМС (N -парне число), то час проходження сигналу по ланцюгу

$$T_N = (N/2)t_3^+ + (N/2)t_3^-, \quad (3.1)$$

де t_3^+ і t_3^- - часи затримки включення і виключення однієї мікросхеми.

Отже, згідно визначення, середній час затримки

$$t_{з.ср} = T_N/N, \quad (3.2)$$

або

$$t_{з.ср} = (t_3^+ + t_3^-)/2. \quad (3.3)$$

Параметр $t_{з.ср}$ залежить в основному від режиму роботи транзисторів в мікросхемі (насичений і ненасичений) і споживаної потужності.

Статична завадостійкість характеризує максимально допустиму напругу статичної завади, яка діє на дану (і сусідню з нею) мікросхему з одного із зовнішніх джерел. При цьому зберігається роботоздатність мікросхеми в пристрої.

Споживана потужність. Споживана схемою потужність в любий момент часу не є постійною, а залежить від логічного стану і типу логічного елементу схеми і змінюється при переключенні схеми. Тому в якості основного параметру використовують не миттєве, а середнє значення потужності, яку споживає мікросхема за достатньо великий проміжок часу:

$$P_{ср} = (P_0 + P_1)/2, \quad (3.4)$$

де P_0 і P_1 – потужності, які споживає схема в стані "Вкл" і "Викл" відповідно.

За споживаною потужністю цифрові ІМС поділяються на:

- потужні ($25 < P_{cp} < 250$ мВт);
- середньої потужності ($3 < P_{cp} < 25$ мВт);
- малопотужні ($0,3 < P_{cp} < 3$ мВт);
- мікропотужні ($1 < P_{cp} < 300$ мкВт);
- нановатні ($P_{cp} < 1$ мкВт).

Цифрові ІМС, котрі споживають велику потужність, характеризуються найбільшою швидкодією і застосовуються при створенні обчислювальних пристроїв з високою швидкістю опрацювання інформації. Для обчислювальних пристроїв, в яких швидкодія не є визначальним параметром, використовують малопотужні і мікропотужні схеми.

Стандартні ТТЛ-схеми, наприклад серії 155, зазвичай мають коефіцієнт розгалуження по виходу, рівний 10, і коефіцієнт об'єднання по входу 8. Номінальні значення інших параметрів наступні: напруга джерела живлення $U_{ж} = 5$ В, споживана потужність 12 мВт/елемент, затримка 10 нс/елемент. Для серії К1533 споживана потужність 2 мВт/елемент, затримка 4 нс/елемент. Напруги на вході схеми U_{IL} і U_{IH} відповідно рівні 0,8 і 2,0 В, а напруга на виході U_{OL} і $U_{OH} - 0,4$ і 2,4 В.

Разом із стандартними ТТЛ-схемами є спеціальні схеми, які включають малопотужні ТТЛ-схеми, швидкодіючі ТТЛ-схеми з діодами Шоткі, малопотужні ТТЛ-схеми з діодами Шоткі. Малопотужні ТТЛ-схеми характеризуються споживаною потужністю 1 мВт/елемент і затримкою 33 нс/елемент. Швидкодіючі ТТЛ мають затримку 6 нс і споживану потужність 22 мВт/елемент. ТТЛ-схеми з діодами Шоткі і малопотужні ТТЛ-схеми з діодами Шоткі мають затримку відповідно 3 і 10 нс/елемент, а споживані потужності 22 і 2 мВт/елемент.

3.2. Система умовних позначень інтегрованих мікросхем

Цифрова техніка застосовується для опрацювання цифрової інформації досить давно. Цифрові системи були застосовані в перших обчислювальних машинах (40-і роки), побудованих на електромагнітних реле і електронних лампах. Поява напівпровідникових приладів і в подальшому інтегральних мікросхем послужила новим поштовхом до розвитку цифрової техніки. Інтегральні мікросхеми стали основою технічної бази сучасних комп'ютерів.

Згідно ГОСТ 2.743-82 умовне графічне позначення (УГП) елементу цифрової техніки має форму прямокутника, до котрого підводяться лінії виводів 2, 9 (рисунок 3.1, а). Позначення елементу може вміщувати три поля: основне і два додаткових 1 (при необхідності), котрі розміщені зліва і справа від основного поля. Додаткове поле може бути розділене на зони. У верхній стрічці основного поля розміщено позначення функції елементу 6, в додаткових полях 1- інформація про функціональне призначення виводів (вказівними 4,8, мітки 5).

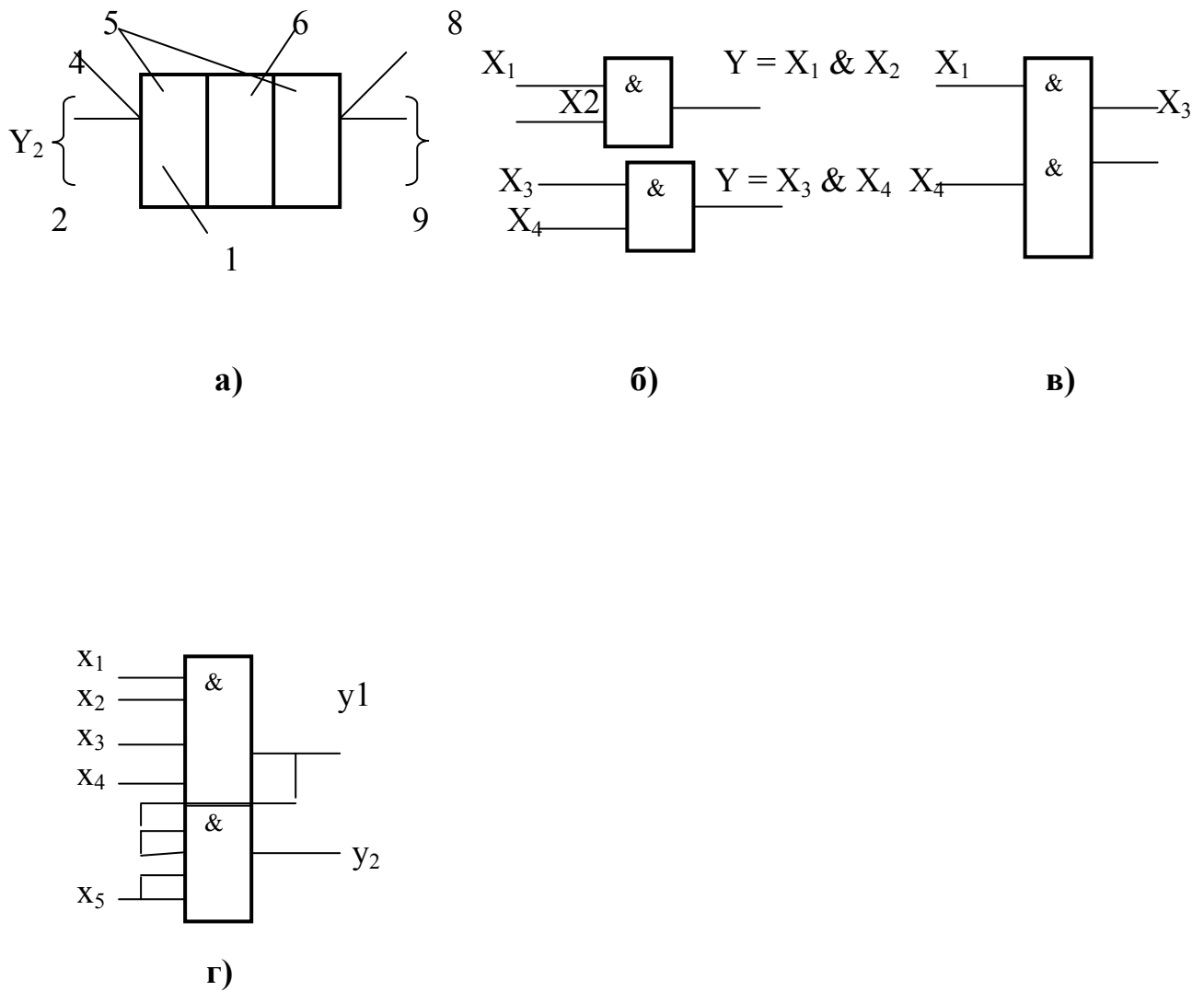


Рисунок 3.1 - Умовні графічні позначення елементів (а-г)

Допускається повертати УГП елемента так (на 90°), щоб входи 3 стали зверху, а виходи 7- знизу.

Розміри УГП визначаються по висоті кількістю виводів, інтервалів, стрічок інформації в основному і додаткових полях і розміром шрифту, а по ширині наявністю чи відсутністю додаткових полів, кількістю знаків в одній стрічці УГП з врахуванням пробілу і розміру шрифту. Віддаль між лініями виводів при ручному виконанні не менше 5 мм і кратна 5 мм. Мінімальна ширина додаткового поля 5 мм.

Позначення групи елементів, котрі розміщені один над одним, зображаються не суміщено (рисунок 3.1, б), суміщено (рисунок 3.1, в) і можуть розділюватися лініями зв'язку (рисунок 3.1, г).

Інформаційні виводи поділяють на статичні і динамічні, на прямі і інверсні. На прямому (інверсному) статичному виводі двійкова змінна має значення “1”, якщо сигнал на даному виводі в активному стані знаходиться в стані “1” (“0”).

На прямому (інверсному) динамічному виводі двійкова змінна має значення “1”, якщо якщо сигнал виводі змінюється із стану “0” в стан “1” (із стану “1” в стан “0”). Для зручності запису логічної функції, котру виконує логічний елемент (ЛЕ), використовуються алфавітно-цифрові позначення. Цифри вказують число входів, котрі об’єднані символом логічної функції, яка записана за допомогою буквених сполучень. Останні позначають:

- НЕ – над логічною змінною здійснюється операція інвертування (інверсії);
- І - кон’юнкція;
- АБО- диз’юнкція.

Якщо елемент виконує складну функцію, то логічна функція записується алфавітно-цифровими сполученнями, що розділяються рисочками.

Для побудови логічних схем використовують також комбіновані логічні елементи І-НЕ, АБО-НЕ та І-АБО-НЕ (рисунок 3.2).

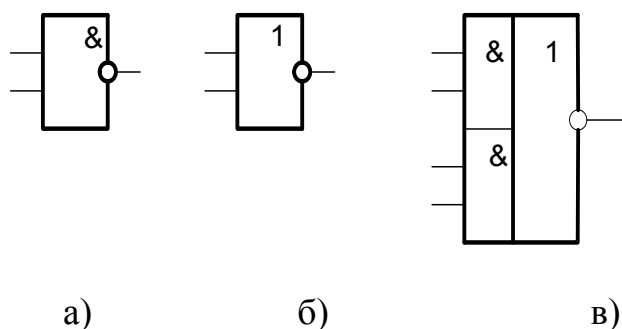


Рисунок 3.2 - Умовне графічне позначення логічних елементів:

а) - І-НЕ; б) – АБО-НЕ; в) – І-АБО-НЕ

Вони є комбінацією простих логічних елементів і, в той самий час, за допомогою будь-якого з них можна синтезувати (імітувати) будь-який простий логічний елемент. Указані елементи вважаються універсальними і використовуються частіше.

Умовне позначення цифрової інтегральної схеми (ІС), яке наноситься на корпус мікросхеми складається із чотирьох елементів.

Перший елемент - цифра, яка вказує на технологічні особливості виготовлення ІС. Напівпровідниковим ІС відповідають цифри 1,5,6,7 (без корпусна ІС). Гібридним ІС- цифри 2,4,8.

Другий елемент- дві чи три цифри, котрі присвоєні даній серії ІС. Разом з першим другий елемент утворює номер серії.

Третій елемент- дві букви, які визначають функціональне призначення і різновид ІС в даній функціональній підгрупі.

Четвертий елемент- порядковий номер розробки ІС в даній серії. Букви К, КМ (керамічний, металокерамічний корпус), КР(пластмасовий корпус) перед

умовним позначенням мікросхем характеризують умови прийоми на заводі-виробнику і особливості конструктивного виконання. Наприклад, запис КР1533ЛА3 означає, що маємо мікросхему широкого застосування (К), в пластмасовому корпусі (Р), напівпровідникову (1), серії 533. яка виконує функцію логічного елемента І-НЕ.

3.3. Базові логічні елементи

Розробка кожної серії ІМС починається з базового логічного елемента (БЛЕ)-основи всіх її вузлів. Як правило, базовий логічний елемент реалізує логічні операції І-НЕ або АБО-НЕ, тому що вони володіють перевагами мінімального функціонально повного базису. Принцип будови, виконувана операція, спосіб керування, напруга живлення, споживана потужність, завадостійкість, швидкодія та інші параметри БЛЕ є визначальними для всіх ІМС даної серії. З БЛЕ можна спроектувати пристрої, які здатні для реалізації як завгодно складних логічних функцій.

Існує велика кількість БЛЕ, які відрізняються типами схемотехнічних рішень, конструкцією і технологією виготовлення та іншими показниками. Різноманітність типів БЛЕ обумовлена тим, що кожний з них має свої переваги і недоліки- а, і певну область застосування. На сьогодні спостерігається найбільш інтенсивний розвиток серій ІМС, побудованих на основі БЛЕ транзисторно-транзисторної логіки, емітерно-зв'язної, інтегрально-інжекційної і МОН-транзисторної логіки.

Діодно-транзисторна логіка

Схеми діодно-транзисторної логіки (ДТЛ) є найбільш відомим класом логічних схем. Ці схеми, як випливає з назви, складаються з діодів і біполярних транзисторів.

Найпростішу схему ДТЛ-елемента з трьома входами приведено на рисунку 3.3. Він виконує операцію І-НЕ. Діоди VD1, VD2, VD3 разом з резистором R₀ і джерелом живлення E₀ складають логічний елемент І, транзистор VT – інвертор, що виконує операцію НЕ. Діоди зміщення VD_{зм1}, VD_{зм2} разом із резистором R утворюють коло передачі сигналу до інвертора.

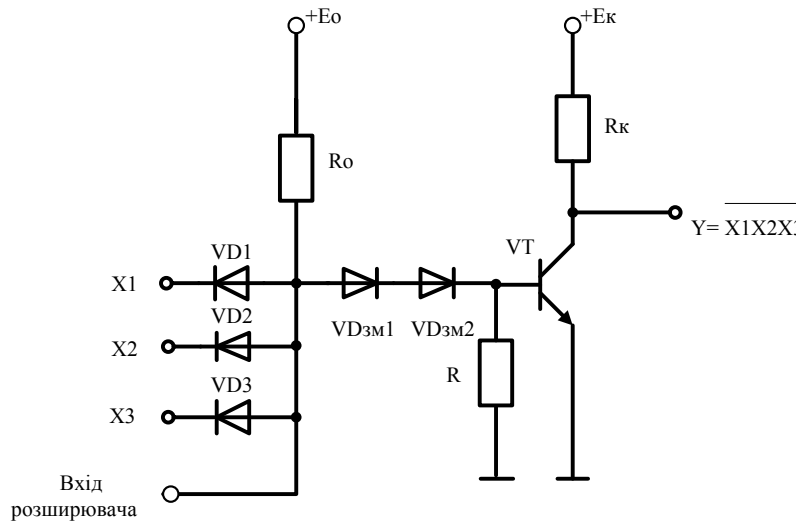


Рисунок 3.3 - ДТЛ-елемент

Якщо хоча б на один вхід розглянутого ЛЕ подати лог. 0, то на виході буде лог.1, і тільки якщо на всіх входах буде лог. 1, на виході встановиться лог.0. Інакше кажучи, даний елемент реалізує функцію І-НЕ, тобто

$$Y = \overline{X_1 X_2 X_3} .$$

Для збільшення кількості входів ЛЕ в мікросхемі роблять вивід „Вхід розширювача”, до якого можна підключити діодну збірку, тобто здійснити „Розширення по І”.

Швидкодія ЛЕ обмежується інерційністю транзистора (часом накопичення заряду в базі до межового значення при вмиканні і часом рзсмоктування заряду з бази – при вимиканні), а також процесами встановлення, пов’язаними із зарядженням і розрядженням паразитних ємностей і ємності кола навантаження.

Для підвищення навантажувальної здатності замість транзисторного ключа встановлюють складний інвертор, як і в ТТЛ-елементах.

Базовим елементом діодно-транзисторної логіки є схема І-НЕ (рисунок 3.4).

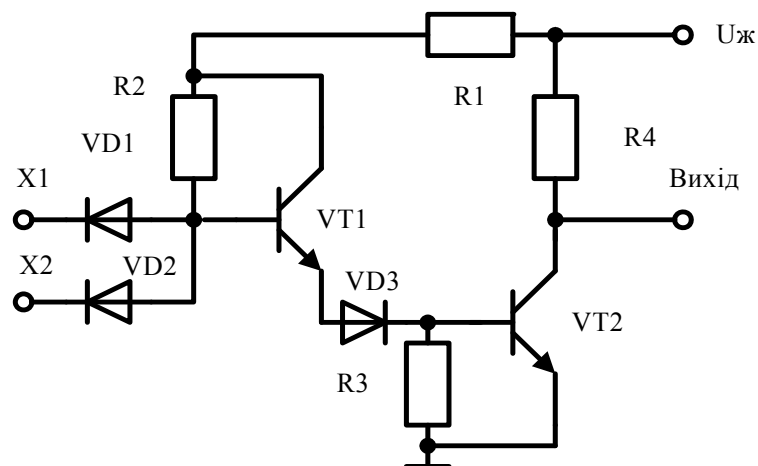


Рисунок 3.4 - Стандартна схема ДТЛ, що виконує операцію І-НЕ

Принцип роботи такої схеми полягає в наступному. Якщо входи $X1$ і $X2$ знаходяться в стані лог. 1, то струм, що протікає від $U_{ж}$ через $R1$ і $R2$, відкриває транзистор $VT1$. Струм, що проходить через $R1$ і $VT1$, відкриває $VT2$, і таким чином на виході схеми встановлюється низький потенціал. Якщо вхід $X1$, або $X2$, або обидва входи знаходяться в стані лог.0, то струм протікає через резистор $R2$ на «землю» і $VT1$ закритий. Відповідно $VT2$ також закритий і на виході встановлюється високий потенціал. Описана схема виконує операцію І-НЕ для позитивної логіки. Схема, навантажена на вхід $X1$ або $X2$ і що перемикає цей вхід в стан лог. 0, повинна «відбирати» струм, що протікає через $R2$. Тому цей тип логічних схем називається схемою з відбором струму.

Транзисторно-транзисторна логіка

Найбільш широко, на сьогоднішній день, застосовуються в цифровій техніці схеми ТТЛ. Це пояснюється тим, що мікросхеми ТТЛ володіють високою швидкістю і малою споживаною потужністю. Різновидністю схем ТТЛ є схеми ТТЛ з діодами Шоткі (ТТЛШ).

В схемах ТТЛ у вхідних каскадах використовуються багатомітерні транзистори (рисунок 3.5).

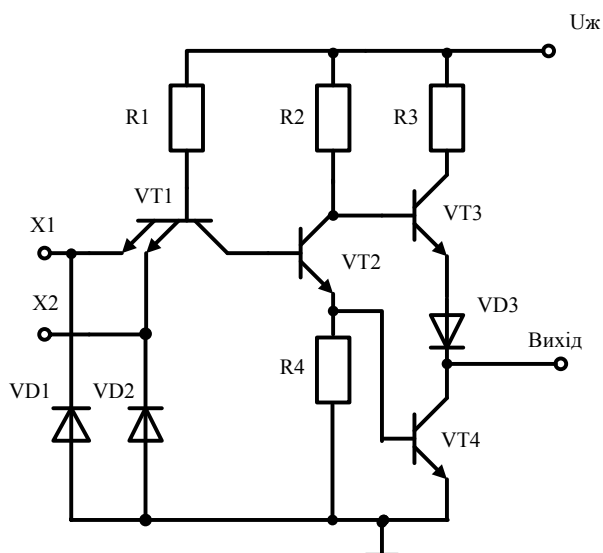


Рисунок 3.5 - Стандартна схема ТТЛ, яка виконує операцію І-НЕ

За принципом побудови, а також за найважливішими параметрами вони близькі до схем ДТЛ. Емітерні переходи багатомітерного транзистора виконують функцію, аналогічну функції діодів в схемах ДТЛ, а колекторний перехід відіграє роль діода зміщення. Багатомітерний транзистор – специфічний інтегральний напівпровідниковий прилад, який представляє собою сукупність транзисторних структур, що мають загальний колектор і безпосередньо взаємодіють один з одним за рахунок руху основних носіїв заряду. Для підвищення завадостійкості і навантажувальної здатності використовуються ТТЛ - логічні схеми з складним інвертором.

Схема працює таким чином. Якщо входи $X1$ і $X2$ знаходяться в стані лог. 1, то струм, що протікає від $U_{ж}$ через резистор $R1$, поступає на базу $VT2$ через перехід база — колектор транзистора $VT1$, зміщений в прямому напрямі. Цей

струм відкриває транзистор $VT2$, який перемикає струм, що протікає через $R2$, від бази транзистора $VT3$ до бази транзистора $VT4$. Транзистор $VT3$ закривається, а транзистор $VT4$ входить в режим насичення, при цьому на виході схеми встановлюється потенціал низького рівня (стан лог. 0). Далі, якщо вхід $X1$ або $X2$, або обидва цих входи знаходяться в стані лог.0, то струм через $R1$ йде («відбирається») на землю через перехід $VT1$. Отже, $VT2$ закритий, $VT3$ відкритий, $VT4$ закритий і на виході встановлюється високий потенціал (стан лог.1). Ці логічні схеми, так само як і схеми ДТЛ, є схемами з відбором струму.

Різновидністю схем ТТЛ є схеми ТТЛ з діодами Шоткі (ТТЛШ), які мають високу швидкодію завдяки тому, що паралельно переходу база-колектор транзистора включений діод Шоткі, котрий використовується в якості обмежувача діода (рисунок 3.6).

Оскільки даний діод має менше пряме падіння напруги, ніж перехід база-колектор, надлишковий керуючий струм бази при відкриванні транзистора відводиться через діод, що запобігає входженню транзистора в режим насичення. Тому в області бази не накопичуються надлишкові носії заряду. В даних схемах всі вхідні транзистори ТТЛ мають фіксовані діоди Шоткі замість р-n-переходів, які використовуються в звичайних схемах ТТЛ.

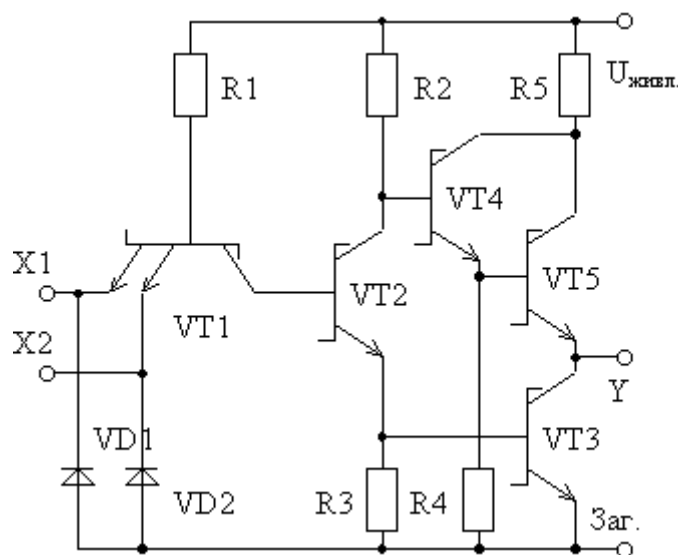


Рисунок 3.6 - Основна логічна схема ТТЛ з діодами Шоткі

Емітерно-зв'язана логіка

У стандартних ТТЛ - схемах перехід з одного стану в інше вимагає перемикання вихідного транзистора, включеного по схемі із загальним емітером, в стан насичення або виходу його з цього стану. Коли транзистор перемикається в стан насичення, базова область насичується неосновними носіями. Щоб вимкнути транзистор, потрібний час на видалення неосновних носіїв, що обмежує швидкодію схеми. Логічні схеми, що працюють в активній зоні між областями насичення і відсічення, називаються схемами з емітерними зв'язками або ЕЗЛ-схемами.

Стандартна схема ЕЗЛ показана на рисунку 3.7. Вона складається з диференціального підсилювача, ланцюга зміщення і емітерного повторювача на виході. Ланцюг зміщення працює таким чином, що $VT3$ відкритий, якщо $X1$ і $X2$ знаходяться в стані лог. 0 ($VT1$ і $VT2$ закриті). При цьому $VT4$ закритий і на виході встановлюється низький потенціал (стан лог. 0). Якщо ж $X1$ або $X2$ мають високий потенціал (стан лог. 1), то транзистор $VT1$ або $VT2$ відкритий і струм, що протікає через $VT3$, зменшується, викликаючи збільшення потенціалу колектора. Це приводить до відмикання $VT4$ і встановленню високого потенціалу (стан лог. 1) на виході. Така робота схеми відповідає операції АБО. Якщо на виході схеми стоїть додатковий емітерний повторювач і його база зв'язана з колектором $VT2$, то схема реалізує операцію АБО-НЕ. З цієї причини типовими схемами ЕЗЛ зазвичай вважають схеми АБО і АБО-НЕ.

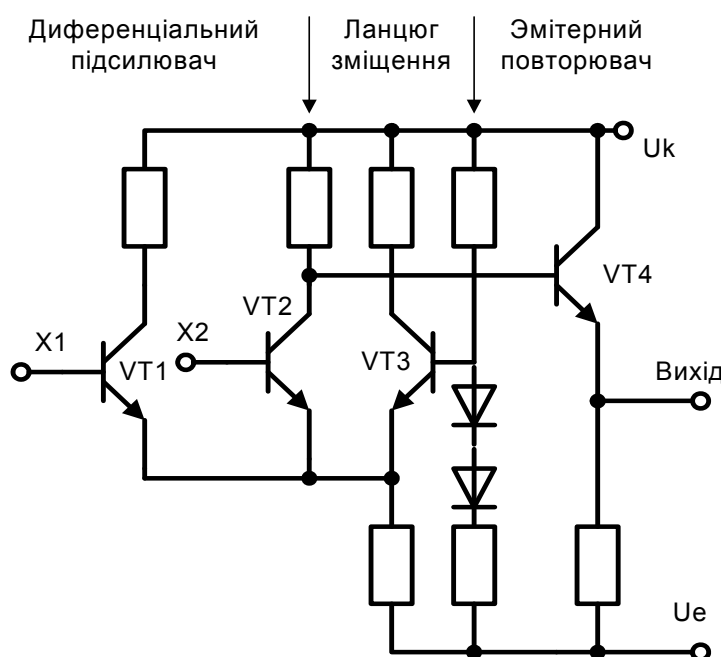


Рисунок 3.7 - Стандартна схема ЕЗЛ

У стандартних схемах ЕЗЛ коефіцієнт об'єднання по входу і коефіцієнт розгалуження по виходу зазвичай мають значення 5 і 50 відповідно, напруга джерел живлення $U_k=0$ і $U_e = -5,2$ В, номінальні значення споживаної потужності 25 мВт/елемент, затримка 2 нс/елемент, $U_{IL} = -1,85$ В, $U_{IH} = -0,810$ В, $U_{OL} = -1,65$ В і $U_{OH} = -0,96$ В. Завадостійкість схем вважається задовільною (запас завадостійкості $U_{NL}=0,2$ В і $U_{NH}=0,15$ В), величина завади, що наводиться, нижча за середню величину. Розглянутий клас схем реалізує досить широкий набір різних функцій і володіє такими перевагами, як малий час перемикання (затримка щонайменше на порядок менше, чим в ТТЛ-схемах) і незначні перехідні процеси в ланцюгах живлення; забезпечується також можливість спільної роботи з схемами ТТЛ.

Найбільше розповсюдження ЕЗЛ мікросхем отримала серія К1500 і К500. Логічні елементи в мікросхемах К1500 мають типовий час затримки сигналу при перемиканні менше 1 нс.

Комплементарна логіка

Схеми комплементарної логіки — це КМОН-схеми, що характеризуються низькою споживаною потужністю і високою завадостійкістю. Логічні схеми цього типу виготовляють на базі $n - i$ p -канальних МОН-транзисторів. МОН-транзистори мають структуру метал-діелектрик-напівпровідник і в загальному випадку називаються МДН-транзисторами. Стандартна комплементарна МОН-схема (КМОН) представлена на рисунку 3.8. Коли входи $X1$ і $X2$ мають високий потенціал (стан лог. 1), $VT1$ і $VT2$ закриті, а $VT3$ і $VT4$ відкриті і на виході схеми низький потенціал (стан лог. 0). Якщо ж $X1$ або $X2$ (або обидва входи) знаходяться в стані лог. 0, то $VT1$ і $VT2$ відкриті, а $VT3$ і $VT4$ закриті і на виході високий потенціал (стан лог.1). Таким чином, дана схема працює як схема І-НЕ. Якщо в цій схемі поміняти місцями p - і n - канальні транзистори, то схема виконуватиме функцію АБО-НЕ. Отже, стандартна КМОН-схема – це або схема І-НЕ, або схема АБО-НЕ.

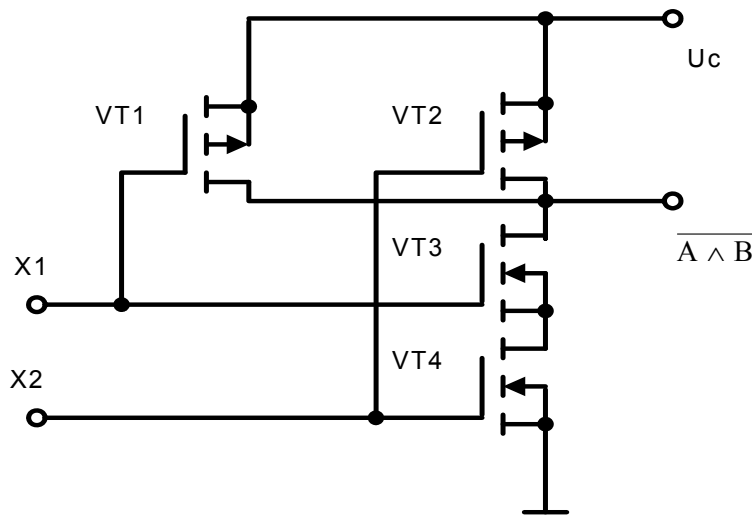


Рисунок 3.8 - Стандартна комплементарна МОН-схема, що реалізує функцію І-НЕ

Відповідно рис. 3.6 $X1$ і $X2$ є входами схеми на МОН-транзисторах. Оскільки їх вхідний опір близько 1 К, то струм у вхідному ланцюзі фактично не споживається. У зв'язку з тим, що один з двох транзисторів, пов'язаних з кожним входом (тобто $VT1$ - $VT3$ і $VT2$ - $VT4$), знаходиться завжди в стані насичення, вихідний опір низький і коефіцієнт розгалуження по виходу високий. Крім того, в статичному режимі один транзистор в кожному з ланцюгів, що проходять від U_c до землі (тобто $VT1$ - $VT3$ і $VT2$ - $VT4$), завжди знаходиться в режимі відсічення, тому немає витоку на землю. Споживана потужність пов'язана лише з витоком в польових МОН-транзисторах, який в окремих схемах складає величину до декількох нановат. Проте в динамічному

режимі паразитні ємності в схемі викликають підвищене споживання потужності. При частоті перемикання 1МГц споживана потужність може збільшуватися до 1 мВт/елемент.

Інтегральні схеми виконані по КМОН-технології менш критичні до напруги живлення. Напруга живлення для деяких мікросхем може коливатися в діапазоні від 3 до 15 вольт. Неприпустимо залишати вхідні сигнали незадіяними. Головним недоліком КМОН-схем їх низька швидкодія.

Промисловістю випускаються такі серії КМОН: К176, К564, К561, КР1561 і КР1554. Мікросхеми швидкодіючої серії КР1554 мають функціональну і технічну повноту і вміщують логічні елементи, тригери, регістри, лічильники, суматори, дешифратори, шифратори, мультиплексори, та ін.

3.4. Застосування логічних ІС в реальних схемах

Найпростіший логічний елемент — це *інвертор* (логічний елемент НЕ, "inverter"), вже згадуваний в попередній лекції. Інвертор виконує просту логічну функцію — інвертування, тобто зміну рівня вхідного сигналу на протилежний. Він має всього один вхід і один вихід. Вихід інвертора може бути типу 2С або типа ОК. На рисунок 3.9 показані умовні позначення інвертора, прийняті у нас і за кордоном.

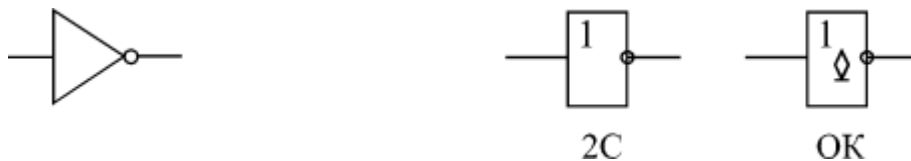


Рисунок 3.9 - Умовні позначення інверторів: зарубіжні (зліва) і вітчизняні (справа)

У одному корпусі мікросхеми зазвичай буває шість інверторів. Вітчизняне позначення мікросхем інверторів — "ЛН". Приклади: КР1533ЛН1 (SN74ALS04) — шість інверторів з виходом 2С, КР1533ЛН2 (SN74ALS05) — шість інверторів з виходом ВК. Існують також інвертори з виходом ОК і з підвищеним вихідним струмом (ЛН4), а також з підвищеною вихідною напругою (ЛН3, ЛН5). Для інверторів з виходом ОК необхідне включення вихідного резистора навантаження. Його мінімальну величину можна розрахувати дуже просто: $R < U/I_{OL}$, де U — напруга живлення, до якого підключається резистор. Зазвичай величина резистора вибирається близько сотень Ом — одиниць кОм.

Дві основні області застосування інверторів — це зміна полярності сигналу і зміна полярності фронту сигналу (рисунок 3.10). Тобто з позитивного вхідного сигналу інвертор робить негативний вихідний сигнал і навпаки, а з позитивного фронту вхідного сигналу — негативний фронт вихідного сигналу і навпаки. Ще

одне важливе застосування інвертора — буферування сигналу (з інверсією), тобто збільшення здатності навантаження сигналу. Це буває потрібно у тому випадку, коли якийсь сигнал треба подати на багато входів, а вихідний струм джерела сигналу недостатній.



Рисунок 3.10 - Інверсія полярності сигналу і інверсія полярності фронту сигналу

Саме інвертор, як найбільш простий елемент, частіше за інші елементи використовується в нестандартних включеннях. Наприклад, інвертори зазвичай застосовуються в схемах генераторів прямокутних імпульсів (рисунок 3.11), вихідний сигнал яких періодично мінюється з нульового рівня на одиничний і назад. Всі приведені схеми, окрім схеми *д*, виконані на елементах К155ЛН1, але можуть бути реалізовані і на інверторах інших серій при відповідній зміні номіналів резисторів. Наприклад, для серії К555 номінали резисторів збільшуються приблизно втричі. Схема *д* виконана на елементах КР531ЛН1, оскільки вона вимагає високої швидкодії інверторів.

Схеми *а*, *б* і *в* є звичайними RC-генераторами, характеристики яких (вихідну частоту, тривалість імпульсу) можна розрахувати тільки приблизно. Для схем *а* і *б* при вказаних номіналах резистора і конденсатора частота генерації складе близько 100 кГц, для схеми *в* — близько 1 МГц. Ці схеми рекомендується використовувати тільки в тих випадках, коли частота не дуже важлива, а важливий сам факт генерації. Якщо ж точне значення частоти принципове, то рекомендується застосовувати схеми *г* і *д*, в яких частота вихідного сигналу визначається тільки характеристиками кварцового резонатора. Схема *г* використовується для кварцового резонатора, що працює на першій (основній) гармоніці. Величину місткості можна оцінити по формулі:

$$C > 1 / (2RF) \quad (3.5)$$

де *F* — частота генерації. Схема *д* застосовується для гармонікових кварцових резонаторів, які працюють на частоті, більшій за основну в 3, 5, 7 разів (це буває потрібно для частот генерації вище 20 мГц).

Інвертори застосовуються також і в тих випадках, коли необхідно отримати затримку сигналу, правда, незначну (від 5 до 100 нс). Для отримання такої затримки послідовно включається потрібна кількість інверторів.

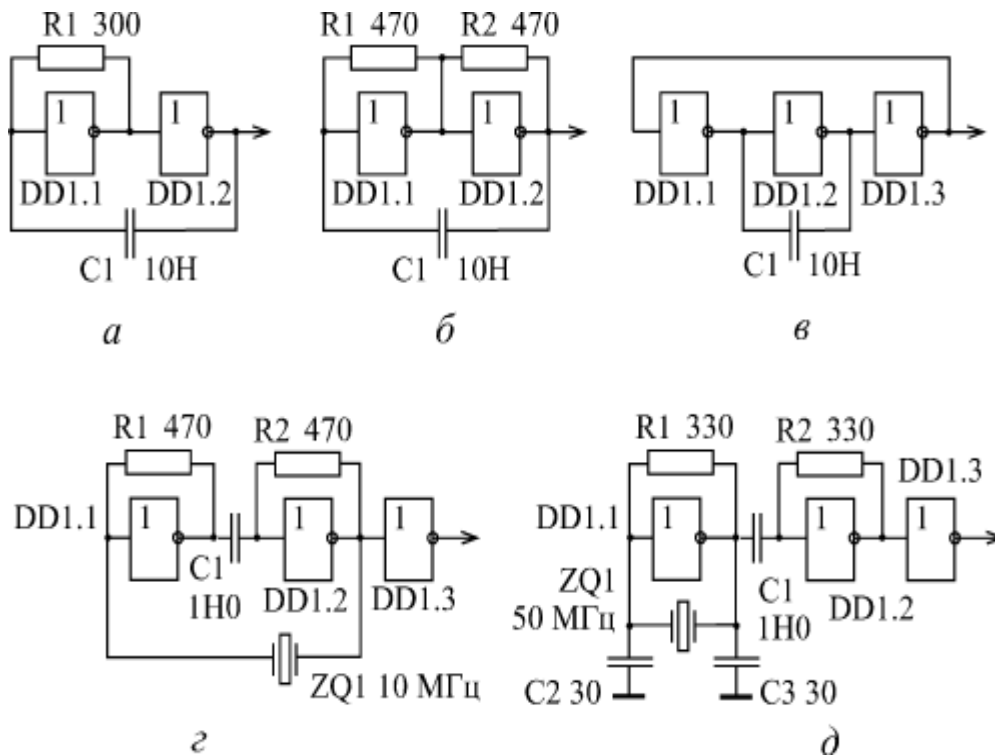


Рисунок 3.11 - Схеми генераторів імпульсів на інверторах

Тригери Шмітта

Тригери Шмітта є специфічні логічні елементи, спеціально розраховані на роботу з вхідними аналоговими сигналами. Вони призначені для перетворення вхідних аналогових сигналів у вихідні цифрові сигнали. Поява таких мікросхем пов'язана в першу чергу з необхідністю відновлення форми цифрових сигналів, спотворених в результаті проходження по лініях зв'язку. Фронти таких сигналів виявляються пологими, внаслідок чого форма сигналів замість прямокутної може стати близькою до трикутної або синусоїдальною. До того ж сигнали, що передаються на великі відстані, сильно спотворюються шумами і завадами. Відновити їх форму в початковому вигляді, усунути вплив завад і шумів якраз і покликані тригери Шмітта.

У стандартні серії цифрових мікросхем входять тригери Шмітта, що є інверторами (ТЛ2 — 6 інверторів), елементами 2І-НЕ (ТЛ3 — 4 елементи) і елементами 4І-НЕ (ТЛ1 — 2 елементи). Порогова напруга складає для всіх цих мікросхем близько 1,7 В ($U_{пор1}$) і близько 0,9 В ($U_{пор2}$). Графічне позначення тригера Шмітта є спрощене зображення його передавальної характеристики з гістерезисом (рисунок 3.12).

Найбільш поширене застосування тригерів Шмітта — це формувач сигналу початкового скидання по включенню живлення схеми. Необхідність такого сигналу скидання викликана тим, що при включенні живлення вихідні сигнали складних мікросхем, що мають внутрішню пам'ять (наприклад, регістрів, лічильників), можуть приймати довільні значення, що не завжди зручно.

Привести їх в необхідний стан (найчастіше — встановити їх в нуль) якраз і покликаний сигнал початкового скидання.

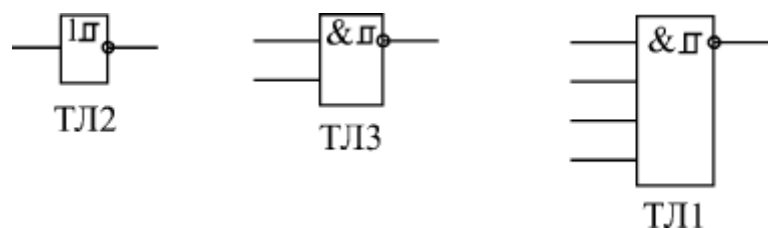


Рисунок 3.12 - Тригери Шмітта

Для формування сигналу початкового скидання використовується проста RC-ланка, причому конденсатор береться з великою ємністю. Напряга на конденсаторі при включенні живлення наростає поволі, внаслідок чого на виході тригера Шмітта формується позитивний імпульс (рисунок 3.13). Використовувати для цього звичайний інвертор не рекомендується.

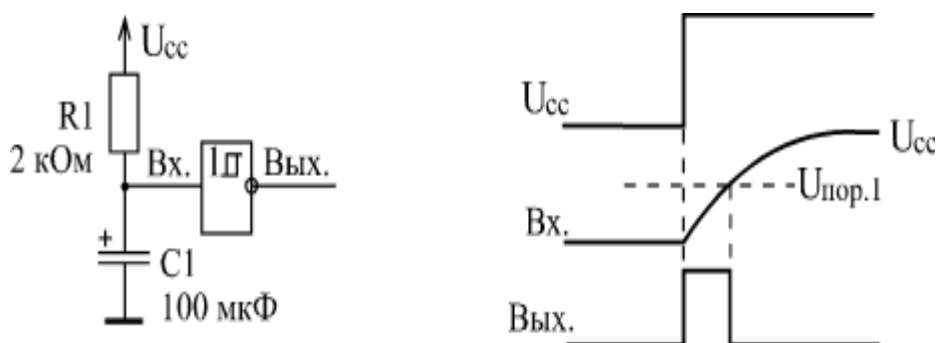


Рисунок 3.13 - Формувач імпульсу початкової установки по включенню живлення

Так само тригери Шмітта рекомендується застосовувати у всіх випадках, коли за допомогою ємності (конденсатора) формується сигнал з пологими, затягнутими фронтами. На відміну від звичайних логічних елементів, тригери Шмітта завжди забезпечують надійну і стабільну роботу. Правда, треба враховувати, що тригери Шмітта мають дещо більшу затримку, ніж звичайні логічні елементи.

Нарешті, останнє застосування тригерів Шмітта, яке ми розглянемо, полягає в придушенні так званого брязкоту контактів. Річ у тому, що будь-який механічний контакт (у кнопках, тумблерах, перемикачах і т.д.) не замикається і не розмикається відразу, миттєво. Будь-яке замикання і розмикання супроводжується декількома швидкими замиканнями і розмиканнями, що приводять до появи паразитних коротких імпульсів, які можуть порушити роботу подальшої цифрової схеми. Тригер Шмітта з RC-ланкою на вході дозволяє усунути цей ефект (рисунок 3.14).

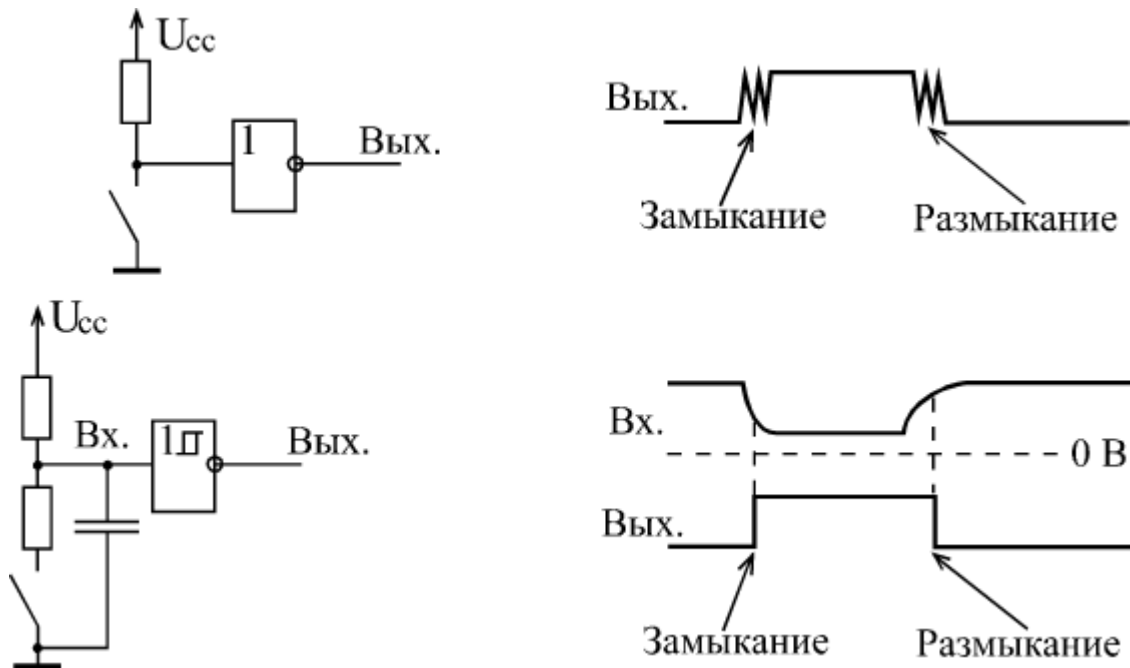


Рисунок 3.14. - Тригер Шмітта, побудований на звичайних логічних елементах

Конденсатор заряджає і розряджається досить поволі, внаслідок чого короткі імпульси пригнічуються і не проходять на вихід тригера Шмітта. Номінал верхнього по схемі резистора повинен в даному випадку бути в 6–7 разів більше номіналу нижнього, щоб резистивний дільник при замкнутому тумблері давав на вході тригера Шмітта рівень логічного нуля. Опори резисторів повинні бути близько сотень Ом — одиниць кОм. Ємність конденсатора може вибиратися в широкому діапазоні і залежить від того, яка тривалість брязкоту контактів конкретного тумблера.