

СИНХРОНІЗАЦІЯ РЕКОНФІГУРОВАНОГО ЯДРА ПРИ ПРОЕКТУВАННІ ПРОЦЕСОРНОГО ВУЗЛА

Ляпандра А.С.

Тернопільський національний економічний університет, к.т.н., доцент

І. Постановка проблеми

Для підвищення продуктивності комп'ютерної системи недостатньо лише підвищення тактової частоти процесорів [1]. Тому при проектуванні блоків системи синхронізації у технічному завданні вказують щонайменше такі умови: забезпечити завадостійкість пристрою і точність вихідних параметрів в заданих межах, узгодити затримки сигналів і швидкість потоків даних в зв'язках між блоками реконфігурованого ядра (РЯ) [2].

Завадостійкість можна підвищити шляхом використання цифрових методів обробки сигналів. Проте алгоритми формування і обробки сигналів дуже складні, а дискретний характер кодів обмежує рівень точності та швидкості їх обробки. При вибраному технологічному рівні потрібні в РЯ точність і частота синхросигналів не можуть бути реалізовані тільки цифровими методами [3].

Тому перспективним є використання комбінованих методів, в яких ключові функції реалізуються аналоговими блоками, а усі інші - цифровими. У сучасній схемотехніці комбіновані аналого-цифрові пристрої синхронізації досліджені недостатньо [4].

У зв'язку з вищевикладеним, синхронізація РЯ при проектуванні процесорного вузла, є важливою і актуальною.

ІІ. Мета роботи

Метою дослідження є синхронізація РЯ при проектуванні процесорного вузла.

При цьому необхідно розв'язати такі задачі:

- розробити організацію підсистеми синхронізації РЯ;
- запропонувати маршрут моделювання модулів синхронізації РЯ;
- перевірити технічні рішення заміни аналогових вузлів.

ІІІ. Синхронізація реконфігурованого ядра при проектуванні процесорного вузла

Розроблено методи проектування блоків синхронізації для РЯ, які характеризуються високою завадостійкістю, та працюють в частотному діапазоні 100-300 МГц (приданий для ПЛІС 3 сімейства).

При дослідженні проблем проектування модулів синхронізації отримані такі результати:

Запропонована модульна організація підсистеми синхронізації РЯ, що забезпечує універсальність в розробці нових систем. Визначені структура і склад базових модулів.

Розроблений новий маршрут моделювання модулів синхронізації РЯ трьохрівневої деталізації моделі.

Запропонований комплекс технічних рішень для базових модулів підсистеми синхронізації РЯ на основі цифрової схемотехніки.

Виявлені і досліджені на тестових кристалах і шляхом моделювання основні причини спотворень синхросигналів в базових модулях підсистеми синхронізації РЯ. Розроблені рекомендації по зменшенню спотворень.

Висновок

У роботі наведено результати синхронізації реконфігурованого ядра при проектуванні процесорного вузла.

Список використаних джерел

1. Воеводин В. В. Параллельные вычисления / В. В. Воеводин, Вл. В. Воеводин. – СПб. : БХВ-Петербург, 2002. – 608 с.
2. Орлов С. Организация ЭВМ и систем [Учебник для ВУЗов] / С. Орлов, Б. Цилькер. – СПб.: Питер, 2007. – 672 с.
3. Мельник А.О. Архитектура компьютера / Мельник А.О. – Луцьк: Видавництво обласної друкарні, 2008. – 468 с.
4. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы XILINX® / В. Ю. Зотов. – М. Горячая линия – Телеком, 2006. – 522 с.