



УКРАЇНА

(19) **UA** (11) **150331** (13) **U**  
(51) МПК  
**G06F 7/501** (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
ДЕРЖАВНЕ ПІДПРИЄМСТВО  
"УКРАЇНСЬКИЙ ІНСТИТУТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ"

**(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**

<p>(21) Номер заявки: <b>u 2021 04275</b></p> <p>(22) Дата подання заявки: <b>21.07.2021</b></p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: <b>03.02.2022</b></p> <p>(46) Публікація відомостей про державну реєстрацію: <b>02.02.2022, Бюл.№ 5</b></p>	<p>(72) Винахідник(и): <b>Николайчук Ярослав Миколайович (UA), Возна Наталя Ярославівна (UA), Грига Володимир Михайлович (UA), Волинський Орест Ігорович (UA)</b></p> <p>(73) Володілець (володільці): <b>Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Возна Наталя Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, Тернопільська обл., 46016 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Волинський Орест Ігорович, вул. Вагилевича, 4, м. Надвірна, Івано-Франківська обл., 78400 (UA)</b></p>
--	--

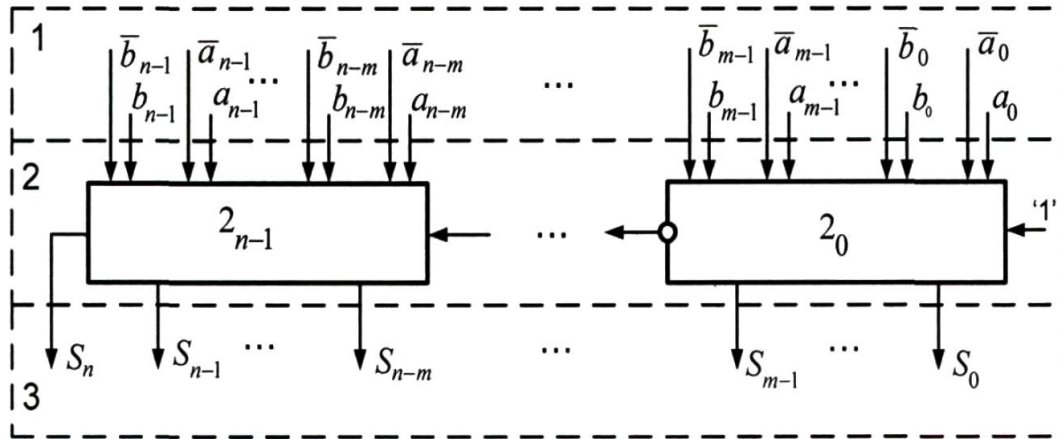
**(54) СУМАТОР З ПРИСКОРЕНИМ ПЕРЕНОСОМ**

**(57) Реферат:**

Суматор з прискореним переносом містить  $2n$ -розрядну вхідну шину, ( $k=n/m$ )  $m$ -розрядних суматорів, перші прямі інформаційні входи яких з'єднано з відповідними прямими виходами вхідної шини. Перші інформаційні входи  $m$ -розрядних суматорів з'єднано з відповідними виходами вихідної шини. Вхід наскрізного переносу першого  $m$ -розрядного суматора з'єднаний з логічним входом. Інверсні виходи наскрізних переносів  $i$ -их  $m$ -розрядних суматорів, починаючи з 1-го по  $(k-1)$ -ий, з'єднані з входами наскрізних переносів відповідних  $(i+1)$ -их  $m$ -розрядних суматорів. Прямий вихід наскрізного переносу  $k$ -го  $m$ -розрядного суматора з'єднаний з  $n$ -им входом вихідної шини, яка є виходом пристрою. Додатково вхідна шина містить  $2n$ -інверсних виходів, які з'єднано з відповідними другими інверсними інформаційними входами  $m$ -розрядних суматорів. Третій інверсний вхід наскрізного переносу першого  $m$ -розрядного суматора з'єднаний з логічною '1', а кожен  $m$ -розрядний суматор пристрою містить  $m$ -розрядний логічний модуль прискореного наскрізного переносу, інверсний вхід та вихід якого є відповідним входом та виходом наскрізного переносу кожного  $m$ -розрядного суматора.

UA 150331 U

СТРУКТУРА УДОСКОНАЛЕНОГО СУМАТОРА З ПРИСКОРЕНИМ ПЕРЕНОСОМ



Фіг. 5

Корисна модель належить до засобів обчислювальної техніки і може бути використана як швидкодіючий компонент арифметико-логічних пристроїв (АЛП) багатоядерних суперкомп'ютерів та спецпроцесорів цифрового опрацювання даних.

Відомий аналог - багаторозрядний двійковий комбінаційний суматор з прямими наскрізними переносами [1], який містить  $2n$ -розрядну вхідну шину з прямими входами,  $n$ -однорозрядних повних двійкових суматорів з прямими входами, які з'єднані з відповідними виходами вхідної шини, вхід наскрізного переносу суматора нульового розряду з'єднаний з логічним "0", вихід суми кожного однорозрядного суматора з'єднаний з відповідним входом вихідної шини, яка є інформаційним виходом пристрою, другі виходи наскрізного переносу кожного  $i$ -го суматора з'єднані з другими входами наскрізного переносу кожного  $(i+1)$ -го суматора, а вихід наскрізного переносу  $(2n-1)$ -го суматора з'єднаний з  $n$ -им входом вихідної шини. На фіг. 1 зображена структурна схема такого багаторозрядного суматора.

Недоліками такого багаторозрядного суматора є низька швидкодія та велика апаратна складність.

Низька швидкодія такого пристрою обумовлена тим, що при застосуванні як його компонентів однорозрядних повних двійкових суматорів з прямими входами та виходами принципово неможливо здійснити затримку сигналів наскрізного переносу менше ніж на 2 мікротакти [2], структура якого показана на фіг. 2.

Тобто, при розрядності такого суматора  $n$ , яка відповідає типовій розрядності АЛП персональних комп'ютерів  $n=32,64$  та суперкомп'ютерів  $n=128,1024$  і більше, затримка сигналів наскрізних переносів згідно з виразом  $t_1=n \times t_c$ , де  $t_c=2$  мікротакти відповідно складає: (64, 128, 256, 2048) мікротактів.

Велика апаратна складність відомого багаторозрядного комбінаційного суматора, при аналогічній розрядності  $n$  і апаратній складності класичного повного одноозрядного двійкового суматора, що містить  $(9 \div 13)$  логічних вентилів, структура якого зображена на фіг. 2, залежить від застосованої реалізації логічного елемента XOR [3], який містить 4 або 5 логічних елементів, що ілюструються на фіг. 3 у міжнародній системі ANSI.

Тобто, апаратна складність такого відомого багаторозрядного комбінаційного суматора розраховується згідно з виразом:  $A_1=n \times A_s$ , де  $A_s=(9 \div 13)$  ( $v$ ) - вентилів) - апаратна складність повного однорозрядного двійкового суматора (фіг. 2), при розрядності  $n=32,64,128,1024$ , відповідно складає:

$$\begin{aligned} n=32; A_{11}=32 \times (9 \div 13) &= (288 \div 416)v; & n=128; A_{13}=128 \times (9 \div 13) &= (1152 \div 1664)v; \\ n=64; A_{12}=64 \times (9 \div 13) &= (576 \div 832)v; & n=1024; A_{14}=1024 \times (9 \div 13) &= (9216 \div 13312)v. \end{aligned}$$

У багатоядерних суперпроцесорах, які містять не менше 16 АЛП, а розрядність АЛП  $n=1024$ , оцінка апаратної складності такого масиву суматорів, у якому застосовані відомі однорозрядні повні двійкові суматори з прямими входами і виходами та базовою апаратною складністю  $A_s=11v$ , XOR яких містять 4 логічні елементи, є наступна:  $A_{15}=16 \times 1024 \times 11=180224v$ .

Відомий аналог - суматор з прискореним переносом [4], який містить  $2n$ -розрядну вхідну шину,  $(k=n/m)$   $m$ -розрядних двійкових суматорів, на перші входи переносу яких поданий логічний "0",  $(k-1)$   $m$ -розрядних суматорів, на перші входи переносу яких подана логічна "1",  $(k-1)$   $m+1$ -розрядних двовходових мультиплексорів з першими прямими керуючими входами,  $n+1$ -розрядну вихідну шину, в якому відповідні виходи вхідної шини з'єднані з відповідними другими інформаційними входами всіх  $m$ -розрядних суматорів з нульовими та одиничними входами переносу, перші інформаційні виходи першого  $m$ -розрядного суматора з'єднані з відповідними, починаючи з нульового, розрядами вихідної шини, перші інформаційні виходи кожної пари  $m$ -розрядних суматорів з відповідними нульовими та одиничними входами переносу з'єднані з відповідними першими інформаційними входами кожного відповідного першого мультиплексора, перші виходи якого з'єднані з відповідними входами вихідної шини, другі інформаційні входи кожного другого мультиплексора з'єднані з другими виходами переносу відповідних пар  $m$ -розрядних суматорів, третій прямий керуючий вхід першого мультиплексора з'єднаний з другим виходом переносу першого  $m$ -розрядного суматора, другі виходи кожного мультиплексора з'єднані з третіми прямими входами кожного наступного мультиплексора, а другий вихід останнього мультиплексора з'єднаний з  $n$ -им входом вихідної шини пристрою.

Недоліком такого пристрою є низька швидкодія та велика апаратна складність.

Швидкодія такого суматора з прискореними переносами розраховується згідно з виразом:  $t_2=2m \times t_s+(k-1) \times t_m$ , де  $t_s=2$  мікротакти - затримка наскрізного переносу в однорозрядному повному суматорі з прямими входами та виходами переносів;  $t_m=3$  мікротакти - затримка сигналів у мультиплексорі з однофазним прямим сигналом комутації.

Швидкодія такого суматора розраховується з врахуванням затримки сигналів наскрізного переносу на  $2m$ -мікротактів у нульовому  $m$ -розрядному суматорі, в якому застосовані

однорозрядні повні суматори з прямими входами та виходами та загальної затримки сигналів наскрізного переносу, у кожному (k-1) мультиплексорі, при розрядності n=32,64,128,1024, відповідно складає:

Тобто: m=4; m=8;  
 n=32;  $t_{21}=4 \times 2 + (8-1) \times 3 = 29v$ ; n=32;  $t_{31}=8 \times 2 + (4-1) \times 3 = 25v$ ;  
 n=64;  $t_{22}=4 \times 2 + (16-1) \times 3 = 53v$ ; n=64;  $t_{32}=8 \times 2 + (8-1) \times 3 = 37v$ ;  
 n=128;  $t_{23}=4 \times 2 + (32-1) \times 3 = 101v$ ; n=128;  $t_{33}=8 \times 2 + (16-1) \times 3 = 61v$ ;  
 n=1024;  $t_{24}=4 \times 2 + (256-1) \times 3 = 773v$ ; n=1024;  $t_{34}=8 \times 2 + (128-1) \times 3 = 397v$

5 Велика апаратна складність такого суматора обумовлена великою апаратною складністю (k-1) пар m-розрядних суматорів, на входи наскрізних переносів яких подані логічні "1" і "0" та наявністю у кожному (k-1)-розряді пристрою m-розрядного та 2-розрядного мультиплексорів, кожен з яких у кожному розряді містить 3 логічних елементи. Таким чином апаратна складність відомого суматора з прискореним переносом при n=32,64,128,1024, m=4 та m=8, апаратна складність при базовій апаратній складності застосованого повного однорозрядного двійкового суматора розраховується згідно з виразом:  $A_{21}=m \times A_c + (k-1) \times 2m \times A_c + (k-1) \times (m+2) \times 3$ ,  $A_5=11v$ .

10 Тобто:  
 m=4;  $A_5=11v$ , m=8;  $A_5=11v$ ;  
 n=32;  $A_{21}=44+616+126=786v$ ; n=32;  $A_{31}=88+528+90=706v$ ;  
 n=64;  $A_{22}=44+1320+270=1634v$ ; n=64;  $A_{32}=88+1232+210=1530v$ ;  
 n=128;  $A_{23}=44+2728+558=3330v$ ; n=128;  $A_{33}=88+2640+210=3178v$ ;  
 n=1024;  $A_{24}=44+22440+4590=27074v$ ; n=1024;  $A_{34}=88+22352+3810=26250v$ .

Швидкодія такого суматора з прискореним переносом у порівнянні з відомим комбінаційним багаторозрядним суматором при n=32,64; m=8 відповідно складає:  $k_{r1} = \frac{64}{25} = 2,5$  рази,  
 $k_{r2} = \frac{128}{37} = 3,5$  рази. Відповідно апаратна складність зростає у  $k_{A1} = \frac{706}{352} = 2$  рази,  
 $k_{A2} = \frac{1530}{704} = 2$ .

15 За найближчий відомий аналог вибрано суматор з прискореним переносом [5, фіг. 3], що містить 2n-розрядну вхідну шину, (k=n/m) m-розрядних суматорів, n+1-розрядну вихідну шину, в якому відповідні виходи вхідної шини з'єднані з відповідними першими інформаційними входами всіх m-розрядних суматорів, перші інформаційні виходи першого m-розрядного суматора з'єднано з відповідними, починаючи з нульового, m-розрядами вихідної шини, другий вхід наскрізного переносу першого m-розрядного суматора з'єднаний з логічним входом, виходи переносу кожного m-розрядного суматора, починаючи з першого до (k-1)-го, з'єднані з входами переносу кожного наступного m-розрядного суматора, прямий вихід наскрізного переносу k-го m-розрядного суматора з'єднаний з n+1-м розрядом вихідної шини, виходи якої є інформаційними виходами пристрою.

Недоліком такого пристрою є низька швидкодія та велика апаратна складність. Низька швидкодія такого пристрою обумовлена затримкою сигналів наскрізного переносу у першому m-розрядному суматорі на m-мікротактів та затримкою сигналів наскрізних переносів у (m+1)-розрядних мультиплексорах на 2 мікротакти.

30 Тобто, при розрядності такого суматора n=32,64,128,1024 та застосуванні m-однорозрядних комбінаційних суматорів пірамідального типу [6, фіг. 1, 2], в якому формування вихідних кодів суми затримується на m-мікротактів, загальна затримка сигналів, відповідно, при m=A та 8 розраховується згідно з виразом:  $t_3=m+1+(k-1) \times 2$ .

Тобто:  
 m=4; m=8;  
 n=32,  $t_{31}=4+7 \times 2=19$ ; n=32,  $t_{41}=8+3 \times 2=15$ ;  
 n=64,  $t_{32}=4+15 \times 2=35$ ; n=64,  $t_{42}=8+7 \times 2=23$ ;  
 n=128,  $t_{33}=4+31 \times 2=67$ ; n=128,  $t_{43}=8+15 \times 2=39$ ;  
 n=1024,  $t_{34}=4+127 \times 2=259$ ; n=1024,  $t_{44}=8+127 \times 2=262$ .

35 Апаратна складність такого пристрою розраховується згідно виразу:

$$A_3 = \left( \frac{m^2 + m}{2} \right) \times 3k + (k-1) \times 3m + (k-1) \times 2(m+1)$$

Тобто:  
 m=4; m=8;  
 n=32,  $A_{31}=240+84+105=429v$ ; n=32,  $A_{41}=432+72+81=585v$ ;  
 n=64,  $A_{32}=480+180+225=885v$ ; n=64,  $A_{42}=864+168+189=1221v$ ;

$n=128, A_{33}=960+372+465=1797v;$

$n=128, A_{43}=1728+360+405=2493v;$

$n=1024, A_{34}=7680+3060+3825=14565v;$

$n=1024, A_{44}=13824+3048+3429=20301v.$

Швидкодія такого суматора з прискореним переносом у порівнянні з найближчим аналогом при  $n=32,64; m=8$  відповідно складає:  $k_{\tau 11} = \frac{25}{15} = 1,7$  рази,  $k_{\tau 22} = \frac{37}{23} = 1,6$  рази. Відповідно апаратна складність зменшується у  $k_{A11} = \frac{706}{585} = 1,2$  та  $k_{A22} = \frac{3178}{2493} = 1,3$  рази.

В основу корисної моделі поставлена задача підвищення швидкодії та зменшення апаратної складності суматора з прискореним переносом шляхом застосування  $4n$ -розрядної вхідної шини з парафазними входами прямих та інверсних  $n$ -розрядних двійкових кодів ( $\overline{a_{n-1}}, \overline{a_{n-1}}, \dots, \overline{a_0}, \overline{a_0}$ ) та ( $\overline{b_{n-1}}, \overline{b_{n-1}}, \dots, \overline{b_0}, \overline{b_0}$ ) і введенням у структуру кожного  $m$ -розрядного суматора  $m$ -розрядного логічного модуля прискорення наскрізного переносу. Такі парафазні коди доданків формуються на виходах тригерів регістрів пам'яті, які є компонентами АЛП [7, ст. 241, рис. 7.3]. Застосування парафазних кодів двійкових чисел, які формуються на виході вхідної шини, дозволяє, упереджуючи, формувати біт наскрізного переносу на виході першого  $m$ -розрядного суматора із затримкою сигналів на 2 мікротакти і на 1 - мікротакт на виході кожного  $k-1$   $m$ -розрядного суматора.

Поставлена задача вирішується тим, що суматор з прискореним переносом, що містить  $2n$ -розрядну вхідну шину, ( $k=n/m$ )  $m$ -розрядних суматорів, перші прямі інформаційні входи яких з'єднано з відповідними прямими виходами вхідної шини, перші інформаційні входи всіх  $m$ -розрядних суматорів з'єднано з відповідними входами вихідної шини, вхід наскрізного переносу першого  $m$ -розрядного суматора з'єднаний з логічним входом, інверсні входи наскрізних переносів  $i$ -их  $m$ -розрядних суматорів, починаючи з 1-го по  $(k-1)$ -ий, з'єднані з входами наскрізних переносів відповідних  $(i+1)$ -их  $m$ -розрядних суматорів, прямий вихід наскрізного переносу  $k$ -го  $m$ -розрядного суматора з'єднаний з  $n$ -им входом вихідної шини, яка є виходом пристрою, згідно з корисною моделлю, додатково містить:  $2n$ -розрядну вхідну шину,  $2n$ -інверсних виходів, якої з'єднано з відповідними, другими інверсними інформаційними входами  $m$ -розрядних суматорів, третій інверсний вхід наскрізного переносу першого  $m$ -розрядного суматора з'єднаний з логічною "1", а кожен  $m$ -розрядний суматор пристрою містить  $m$ -розрядний логічний модуль прискореного наскрізного переносу, інверсний вхід та вихід якого є відповідним входом та виходом наскрізного переносу кожного  $m$ -розрядного суматора.

Удосконалений суматор з прискореним переносом ілюструється кресленням (фіг. 5), де показано структурну схему такого  $n$ -розрядного суматора на прикладі  $m=4$ -розрядних суматорів з прискореними переносами.

Суматор з прискореним переносом містить: 1 - вхідна  $4n$ -розрядна шина; 2- $k=n/m$ ,  $m$ -розрядних суматорів з парафазними інформаційними входами та інверсними входи/виходами наскрізних переносів; 3 - вихідна  $n+1$ -розрядна шина.

Суматор з прискореним переносом працює наступним чином: вхідні парафазні  $n$ -розрядні двійкові коди ( $\overline{a_{n-1}}, \overline{a_{n-1}}, \dots, \overline{a_0}, \overline{a_0}$ ) та ( $\overline{b_{n-1}}, \overline{b_{n-1}}, \dots, \overline{b_0}, \overline{b_0}$ ) вхідної  $4n$ -розрядної шини 1 одночасно надходять на відповідні перші інформаційні входи всіх  $m$ -розрядних суматорів 2. Другий вхід наскрізного переносу першого  $m$ -розрядного суматора з'єднаний з логічною "1", яка для логічного модуля прискореного інверсного переносу є інверсним входом логічного "0" (фіг. 6).

Логічний модуль прискореного наскрізного переносу містить  $n$  - неповних однорозрядних суматорів з парафазними входами та інверсними виходами (фіг. 7а),  $m$ -неповних однорозрядних суматорів з інверсними входами та прямими виходами суми (фіг. 7б) та  $m$ -логічних елементів АБО, виходи яких з'єднані між собою та виходом наскрізного переносу, а входи відповідно з'єднані з інверсними виходами неповних суматорів з парафазними входами.

У результаті, із затримкою сигналів на 2 мікротакти на виході першого  $m$ -розрядного суматора формується вихідний інверсний сигнал наскрізного переносу, відповідно, на інформаційних виходах першого  $m$ -розрядного суматора формується вихідний код суми ( $S_0, S_1, S_2, S_3$ ) з затримкою сигналів на  $m$ -мікротактів. Сигнали прискорених наскрізних переносів формуються на виходах кожного наступного  $m$ -розрядного суматора із затримкою 1 мікротакт, а затримка вихідного  $n$ -го розряду  $k$ -го  $m$ -розрядного суматора, який додатково містить вихідний інвертор і перетворює інверсний сигнал у прямий, формується із затримкою сигналів 2 мікротакти.

Максимальна часова затримка сигналів удосконаленого суматора відбувається в  $k$ -му  $m$ -розрядному суматорі і розраховується згідно з виразом:  $t_4=k+m$ .

Тобто:

m=4;	m=8;	m=32;
n=32, $T_{41}=8+4=12$ ;	n=32, $T_{51}=4+8=12$ ;	n=1024, $T_{61}=32+32=64$ ;
n=64, $T_{42}=16+4=20$ ;	n=64, $T_{52}=8+8=16$ ;	n=2048, $T_{62}=64+32=96$ .
n=128, $T_{43}=32+4=36$ ;	n=128, $T_{53}=16+8=24$ ;	
n=1024, $T_{44}=256+4=260$ ;	n=1024, $T_{54}=128+8=236$ ;	

Апаратна складність такого удосконаленого суматора розраховується згідно з виразом:  $A_4=k \times (2m \times A_S + m)$ , де  $A_S=3+3=6v$  - апаратна складність повного однорозрядного суматора, який містить 2 неповні однорозрядні суматори (фіг. 7).

5 Тобто:

m=4;	m=8;	m=32;
n=32, $A_{41}=8 \times (8 \times 3 + 4) = 224v$ ;	n=32, $A_{51}=4 \times (16 \times 3 + 8) = 224v$ ;	n=1024, $A_{61}=7168v$ ;
n=64, $A_{42}=16 \times (8 \times 3 + 4) = 448v$ ;	n=64, $A_{52}=8 \times (16 \times 3 + 8) = 448v$ ;	n=2048, $A_{62}=14336v$ .
n=128, $A_{43}=32 \times (8 \times 3 + 4) = 896v$ ;	n=128, $A_{53}=16 \times (16 \times 3 + 8) = 896v$ ;	
n=1024, $A_{44}=16 \times (8 \times 3 + 4) = 7168v$ ;	n=1024, $A_{54}=128 \times (16 \times 3 + 8) = 7168v$ ;	

На фіг. 8 показані схеми формування наскрізних переносів в удосконалених n-розрядних суматорах з різними m-розрядними суматорами.

Отже, підвищення швидкодії та зменшення апаратної складності запропонованого удосконаленого суматора з наскрізним переносом у порівнянні з найближчим аналогом,

10 наприклад при (n=64; m=8), складає:  $k_{\tau 33} = \frac{23}{16} = 1,4$  і відповідно  $k_{A 33} = \frac{1221}{448} = 2,7$  рази.

ДЖЕРЕЛА ІНФОРМАЦІЇ:

1. Мельник А.О. Архітектура комп'ютера, Наукове видання. - Луцьк: Волинська обласна друкарня, 2008. - С. 211, рис. 6.3.

2. <http://phg.su/basis2/X134.HTM>.

15 3. Шило В.Л. Популярныe цифрове микросхемы: Справочник. - М: Радио и связь. - 1988. - С. 57, рис. 1.35.

4. <http://phg.su/basis2/X133.HTM>.

5. Круліковський Б.Б., Возна Н.Я., Грига В.М., Николайчук Я.М., Давлетова А.Я. Патент на корисну модель Суматор з прискореним переносом № 117572 (бюл. № 12 від 26.06.2017 р.).

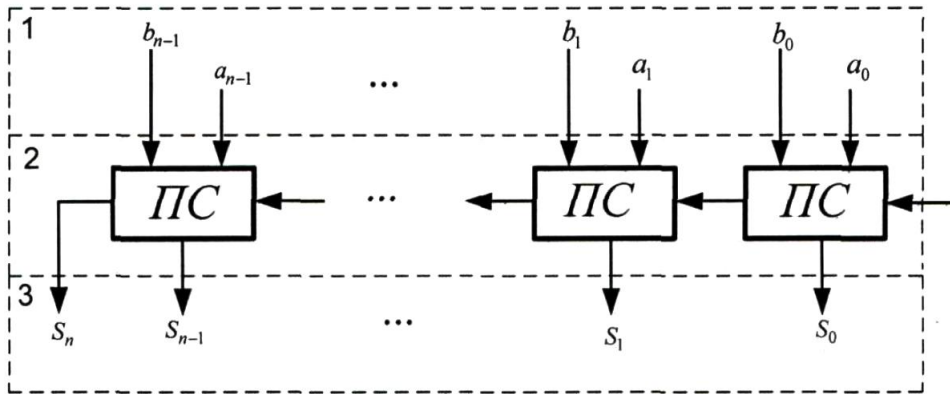
20 6. Возна Н.Я., Круліковський Б.Б., Грига В.М., Давлетова А.Я., Николайчук Я.М. Комбінаційний суматор. Патент на винахід № 117571 (бюл. № 23 від 11.12.2017 р.).

7. Мельник А.О. Архітектура комп'ютера, Наукове видання. - Луцьк: Волинська обласна друкарня. - 2008. - С. 241, рис. 7.3.

## 25 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

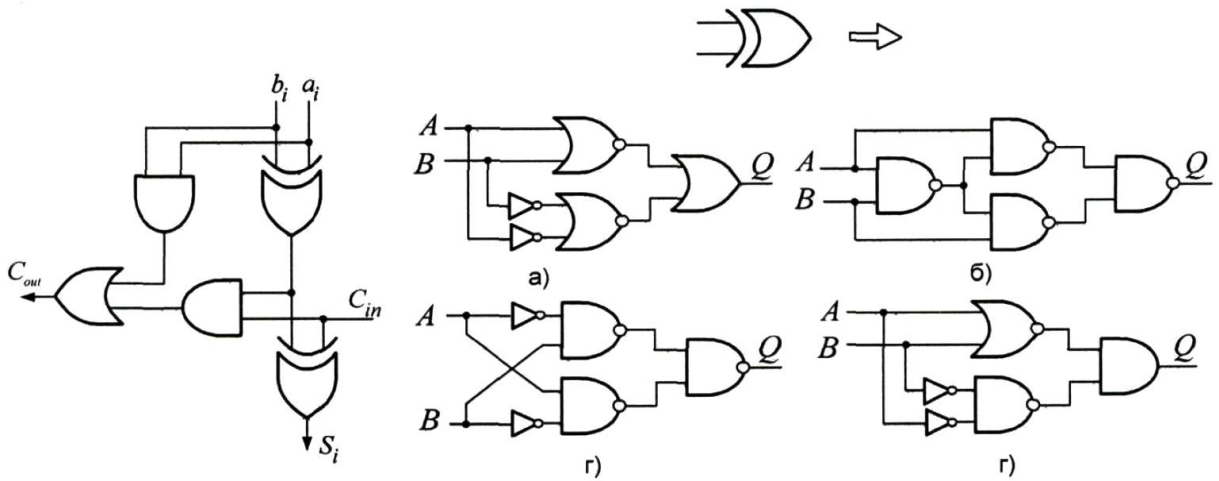
Суматор з прискореним переносом, що містить 2n-розрядну вхідну шину, (k=n/m) m-розрядних суматорів, перші прямі інформаційні входи яких з'єднано з відповідними прямими виходами вхідної шини, перші інформаційні виходи m-розрядних суматорів з'єднано з відповідними входами вихідної шини, вхід наскрізного переносу першого m-розрядного суматора з'єднаний з логічним входом, інверсні виходи наскрізних переносів i-их m-розрядних суматорів, починаючи з 1-го по (k-1)-ий, з'єднані з входами наскрізних переносів відповідних (i+1)-их m-розрядних суматорів, прямий вихід наскрізного переносу k-го m-розрядного суматора з'єднаний з n-им входом вихідної шини, яка є виходом пристрою, який **відрізняється** тим, що додатково: вхідна шина містить 2n-інверсних виходів, які з'єднано з відповідними другими інверсними інформаційними входами m-розрядних суматорів, третій інверсний вхід наскрізного переносу першого m-розрядного суматора з'єднаний з логічною '1', а кожен m-розрядний суматор пристрою містить m-розрядний логічний модуль прискореного наскрізного переносу, інверсний вхід та вихід якого є відповідним входом та виходом наскрізного переносу кожного m-розрядного суматора.

**СТРУКТУРА БАГАТОРОЗРЯДНОГО КОМБІНАЦІЙНОГО СУМАТОРА**



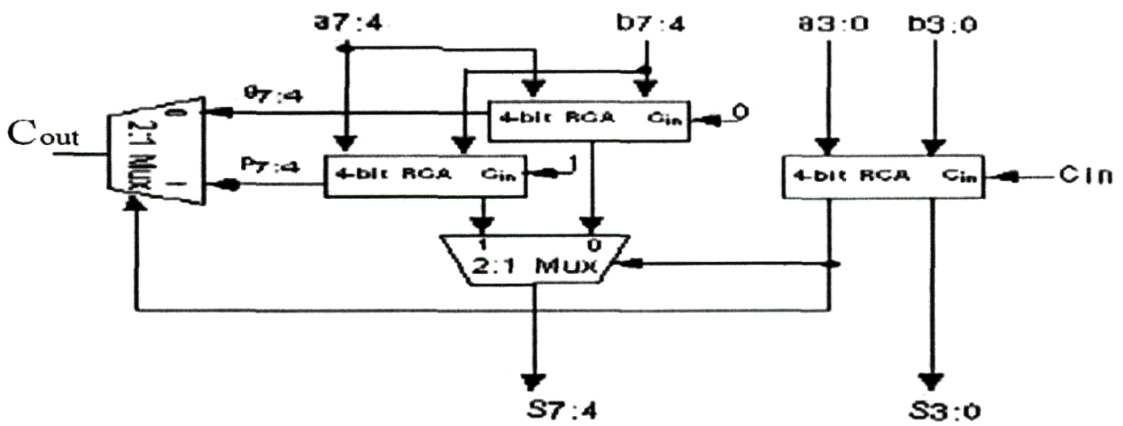
**Фіг. 1**

**СТРУКТУРА ТА КОМПОНЕНТИ ОДНОРОЗРЯДНОГО ПОВНОГО СУМАТОРА З ПРЯМИМИ ВХОДАМИ ТА ВИХОДАМИ**



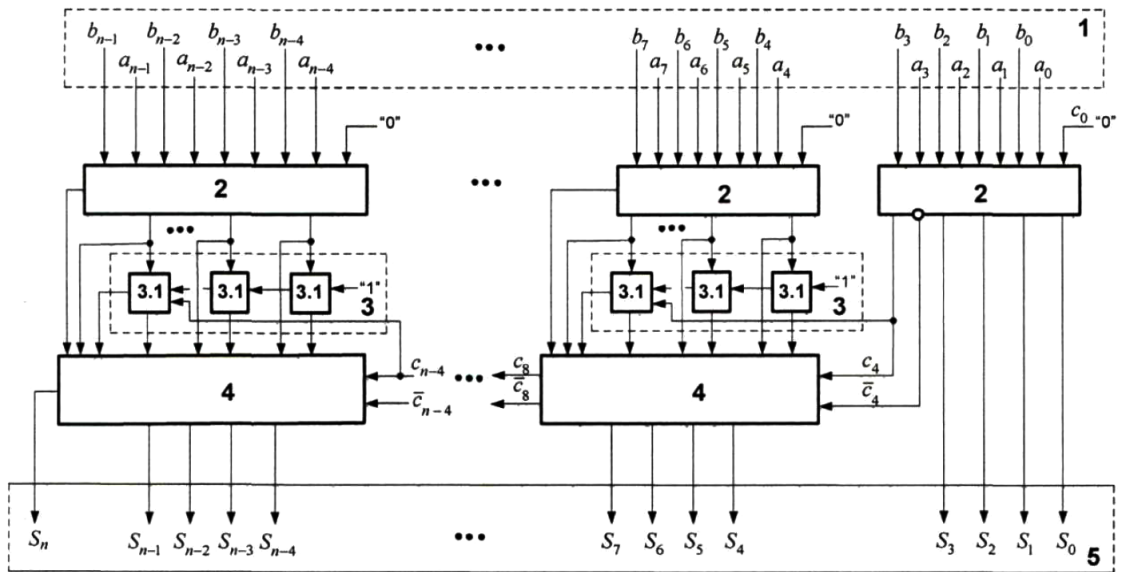
**Фіг. 2**

**ВІДОМИЙ АНАЛОГ СУМАТОРА З ПРИСКОРЕНИМ ПЕРЕНОСОМ**



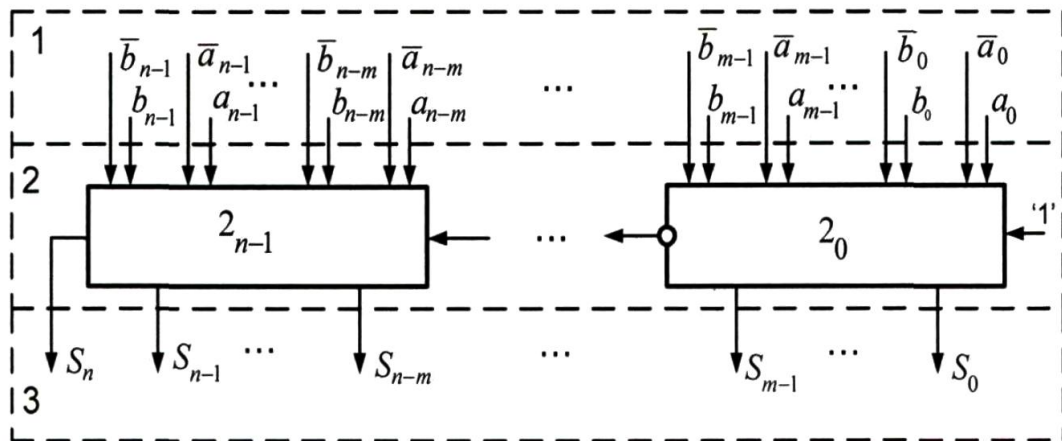
**Фіг. 3**

**СТРУКТУРА ВІДОМОГО СУМАТОРА З ПРИСКОРЕНИМ ПЕРЕНОСОМ**



**Фіг. 4**

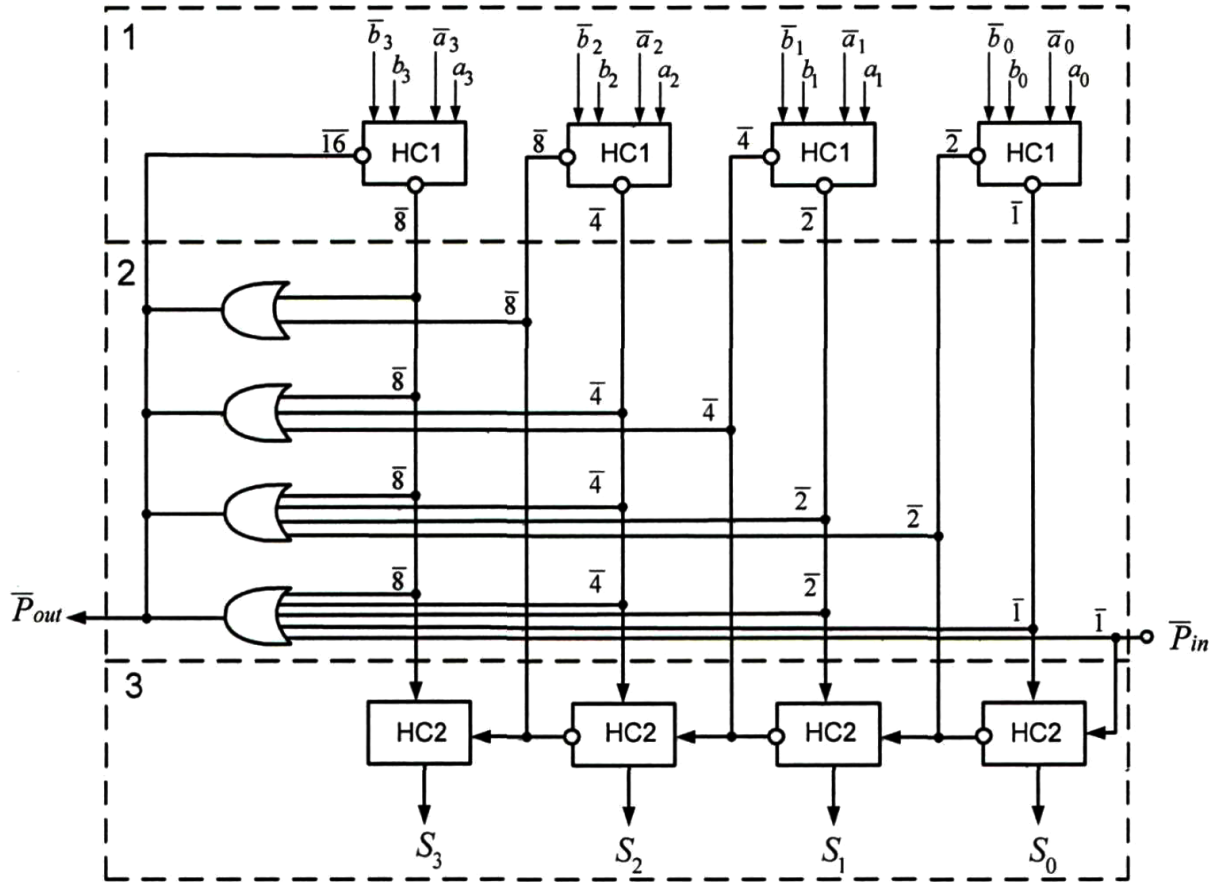
**СТРУКТУРА УДОСКОНАЛЕНОГО СУМАТОРА З ПРИСКОРЕНИМ ПЕРЕНОСОМ**



**Фіг. 5**

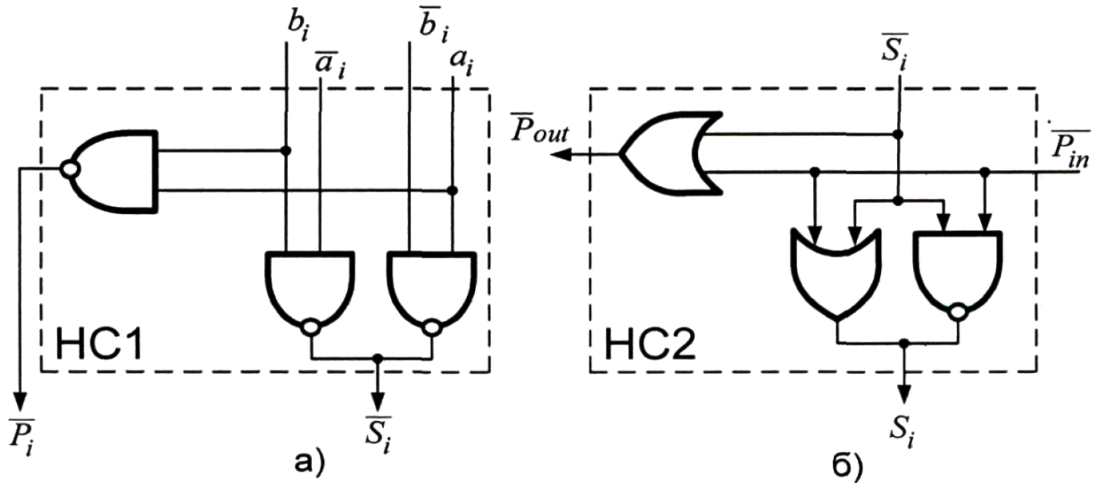


СТРУКТУРНА СХЕМА 4-Х РОЗРЯДНОГО СУМАТОРА З ЛОГІЧНИМ МОДУЛЕМ ПРІСКОРЕНОГО ПЕРЕНОСУ



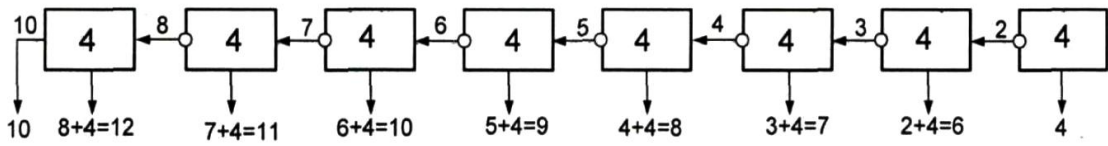
Фіг. 6

СТРУКТУРНІ СХЕМИ НЕПОВНИХ ОДНОРОЗРЯДНИХ СУМАТОРІВ HC1 (а) ТА HC2 (б)

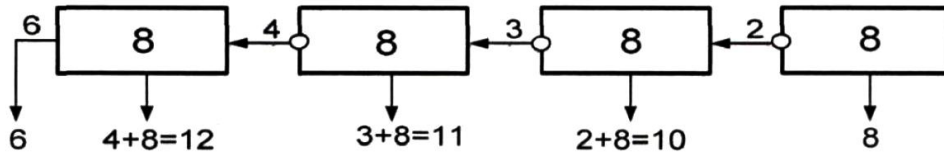


Фіг. 7

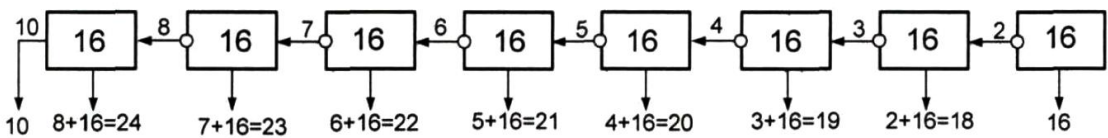
**СХЕМИ ТРИВАЛОСТІ ЗАТРИМОК НАСКРІЗНИХ ПЕРЕНОСІВ В N/M  
M-РОЗРЯДНИХ СУМАТОРАХ З ПРИСКОРЕНИМ ПЕРЕНОСОМ**



а)  $n=32; m=4; \tau_a = 12v$



б)  $n=32; m=8; \tau_b = 12v$



в)  $n=128; m=16; \tau_b = 24v$

**Фіг. 8**