



УКРАЇНА

(19) **UA** (11) **150330** (13) **U**  
(51) МПК (2022.01)  
**G06F 7/00**

НАЦІОНАЛЬНИЙ ОРГАН  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
ДЕРЖАВНЕ ПІДПРИЄМСТВО  
"УКРАЇНСЬКИЙ ІНСТИТУТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ"

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

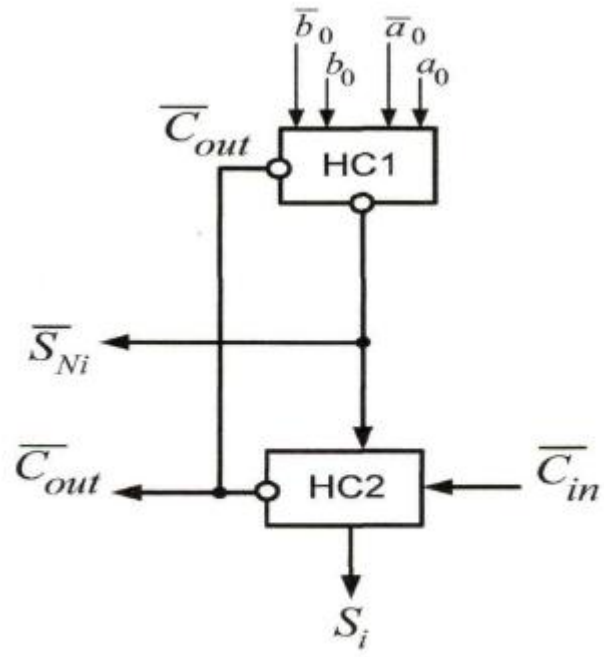
<p>(21) Номер заявки: <b>u 2021 04219</b></p> <p>(22) Дата подання заявки: <b>19.07.2021</b></p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: <b>03.02.2022</b></p> <p>(46) Публікація відомостей про державну реєстрацію: <b>02.02.2022, Бюл.№ 5</b></p>	<p>(72) Винахідник(и): <b>Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Грига Людмила Петрівна (UA)</b></p> <p>(73) Володілець (володільці): <b>Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)</b></p>
--	--

## (54) ПОВНИЙ ОДНОРОЗРЯДНИЙ ДВІЙКОВИЙ СУМАТОР

### (57) Реферат:

Повний одnorozрядний двійковий суматор, який містить перший вхідний неповний одnorozрядний суматор (НС1) з прямими входами ( $a_i, b_i$ ) та інверсним виходом наскрізного переносу, який з'єднаний з інверсним виходом наскрізного переносу другого неповного суматора (НС2) та інверсним виходом пристрою ( $C_{out}$ ), другий неповний суматор (НС2) містить інверсний вхід наскрізного переносу ( $C_{in}$ ) та прямий вихід суми пристрою ( $S_i$ ), згідно з корисною моделлю повний одnorozрядний суматор додатково містить інверсні інформаційні входи ( $\bar{a}_i, \bar{b}_i$ ), які додатково з'єднані з відповідними другими додатково введеними інформаційними входами першого неповного одnorozрядного суматора (НС1), додатково введений інверсний вихід суми ( $S_N$ ) першого неповного двійкового суматора (НС1), який додатково з'єднаний з інверсним інформаційним входом другого суматора (НС2) та додатково введеним третім інверсним виходом проміжної суми пристрою ( $S_N$ ).

UA 150330 U



Фиг. 4

Корисна модель належить до засобів обчислювальної техніки і може бути використана як базовий швидкодіючий компонент арифметико-логічних пристроїв (АЛП) багаторозрядних скалярних, векторних та квантових суперкомп'ютерів.

Відомий аналог - однорозрядний двійковий суматор [A. Anand Kumar Fundamentals of Digital Circuits /Prentice-Hall of India Pvt. Ltd, 2007 p. 235 fig. 7.4], який містить перший вхід  $a_i$ , який з'єднаний з першим входом першого логічного елемента "І" та першим входом першого логічного елемента "Виключне АБО", другий вхід однорозрядного суматора  $b_i$  з'єднаний з другим входом першого логічного елемента "І" та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО", вихід якого є першим виходом суми  $S_i$  однорозрядного суматора, третій прямий вхід якого  $C_{in}$  з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента "І", другий вхід якого з'єднаний з виходом першого логічного елемента "Виключне АБО", а вихід з'єднаний з першим входом логічного елемента "АБО", другий вхід якого з'єднаний з виходом першого логічного елемента "І", а вихід логічного елемента "АБО" є прямим другим виходом переносу однорозрядного суматора  $C_{out}$ .

Недоліками такого пристрою є велика апаратна складність, низька швидкодія та обмежені функціональні можливості.

У відомому суматорі при різних структурних реалізаціях логічних елементів "Виключне АБО", [Шило В.П. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1988. - С. 57, рис. 1.35], які містять від 4 до 5 логічних елементів, 3 з яких з'єднані послідовно і затримка сигналів складає не менше 3 мікротактів.

Системні характеристики відомого суматора наступні:

Апаратна складність  $A_1=(11+13)v$  - вентилів.

Часова складність визначається затримкою сигналів на ( $v$  - мікротактів) між наступними входами та виходами:

$$\tau_{AB} \rightarrow 2 \rightarrow 4 \rightarrow C_{out} = 2v, \tau_{C_{in}, C_{out}} \rightarrow 3 \rightarrow 4 = 2v,$$

$$\tau_{AB} \rightarrow 1 \rightarrow 3 \rightarrow 4 \rightarrow C_{out} = 5v, \tau_{AB} \rightarrow 1 \rightarrow 5 \rightarrow S = 6v, \tau_{C_{in}S} = 3v.$$

Іншим недоліком такого суматора є обмежені функціональні можливості, які обумовлені відсутністю інверсних інформаційних входів та виходу проміжної суми, яка формується на виході першого логічного елемента "Виключне АБО". Аналог - повний однорозрядний суматор [Николайчук Я.М., Грига В.М., Возна Н.Я., Давлетова А.Я. Патент на корисну модель № 124563. Бюл. № 7-2018,], який містить перший  $a_i$  та другий  $b_i$  інформаційні входи, логічні елементи І-НІ, НІ та АБО, структурно з'єднані між собою відповідним чином, третій інверсний вхід наскрізного переносу  $C_{in}$ , перший інверсний вихід  $C_{out}$  наскрізного переносу та другий прямий вихід  $S_i$  суми.

Системні характеристики відомого суматора наступні:

Апаратна складність  $A_2=8v$ .

Часова складність визначається затримкою сигналів між наступними входами та виходами:

$$\tau_{(A,B)} \rightarrow 1 \rightarrow C_{out} = 1v, \tau_{(A,B)} \rightarrow 3 \rightarrow 4 \rightarrow S_i = 2v,$$

$$\tau_{(A,B)} \rightarrow 3 \rightarrow 8 \rightarrow 10 \rightarrow C_{out} = 3v, \tau_{(\bar{C})} \rightarrow 10 \rightarrow C_{out} = 1v, \tau_{(\bar{C})} \rightarrow 9 \rightarrow 4 \rightarrow S_i = 2v.$$

Перевагами такого суматора є зменшення апаратної складності порівняно з попереднім аналогом у 1,4÷1,6 рази та підвищення швидкодії формування суми  $S_i$  у 3 рази, а наскрізних переносів у 2 рази. Крім цього, наявність інверсних входів/виходів наскрізних переносів у такому суматорі дозволяє формувати швидкодіючі багаторозрядні двійкові суматори без додаткових логічних елементів між однорозрядними компонентами.

Недоліками такого суматора є велика апаратна складність (8 вентилів), низька швидкодія формування сигналів  $a_i, b_i \rightarrow C_{out} = 3v, C_{in} \rightarrow S_i = 2v$  та обмежені функціональні можливості обумовлені відсутністю інверсних інформаційних входів пристрою та виходу проміжної суми, яка формується на виході логічного елемента "НІ" (8) першого вхідного неповного суматора.

Відомий найближчий аналог - повний однорозрядний двійковий суматор [Грига В.М., Николайчук Я.М., Грига Л.П. Патент на корисну модель № 144302. Бюл. № 18, 2020], який містить 7 логічних елементів, перший інформаційний вхід якого  $a_i$ , з'єднаний з першим входом першого логічного елемента І-НІ та першим входом першого логічного елемента АБО, другий інформаційний вхід  $b_i$  такого суматора, з'єднаний з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ, вихід якого з'єднаний з виходом першого логічного елемента АБО та входом логічного елемента НІ, вихід якого з'єднаний з першим входом другого логічного елемента АБО, містить другий логічний елемент І-НІ, перший

та другий вхід якого відповідно з'єднаний з першим та другим входом суматора, вихід з'єднаний з інверсним виходом переносу ( $\overline{C_{out}}$ ) суматора та виходом другого логічного елемента АБО, другий вхід якого з'єднаний з інверсним входом переносу ( $\overline{C_{in}}$ ) та першими входами третього логічного елемента І-НІ та третього логічного елемента АБО, виходи яких з'єднані між собою є виходами суми ( $S_i$ ) суматора.

Системні характеристики відомого суматора наступні:

Апаратна складність  $A_3=7v$ .

Часова складність визначається затримкою сигналів між наступними входами та виходами:

$$\tau_{(A,B)} \rightarrow 10 \rightarrow \overline{C_{out}} = 1v; \tau_{(A,B)} \rightarrow 3 \rightarrow 8 \rightarrow 4 \rightarrow S_i = 3v;$$

$$\tau_{(A,B)} \rightarrow 3 \rightarrow 8 \rightarrow 9 \rightarrow \overline{C_{out}} = 3v; \tau(\overline{C}) \rightarrow 9 \rightarrow \overline{C_{out}} = 1v; \tau(\overline{C}) \rightarrow 4 \rightarrow S_i = 1v$$

Перевагою такого суматора є зменшена апаратна складність, що дозволяє зменшити апаратну складність багаторозрядних суматорів АЛП суперпроцесорів з розрядністю 1024, 2048 і більше біт. Затримка проміжного сигналу суми першого вхідного неповного суматора (інвертор 8) незначно впливає на швидкодію багаторозрядного суматора, оскільки всі перші вхідні неповні суматори у структурі багаторозрядного суматора спрацьовують одночасно, то затримка формування проміжної суми на 1 мікротакт не має принципового значного впливу на швидкодію багаторозрядного суматора. При цьому затримка формування сигналу вихідної суми  $C_{in} \rightarrow S_i$ ; порівняно з відомим суматором зменшується у 2 рази.

Недоліками такого суматора є значна апаратна складність (7 вентилів), низька швидкодія формування сигналів ( $a_i, b_i \rightarrow S_1 = 3v$ ) та обмежені функціональні можливості, обумовлені відсутністю інверсних інформаційних входів та інверсного виходу проміжної суми, яка формується на виході логічного елемента "НІ" (8) першого вхідного неповного суматора.

Відсутність парафазних інформаційних входів у такому суматорі унеможлиблює виконання операції формування проміжної інверсної суми на виході вхідного неповного двійкового суматора за 1 мікротакт.

Відсутність інформаційного виходу проміжної суми ( $s_n$ ) на виході першого вхідного неповного суматора унеможлиблює застосування таких суматорів для реалізації функцій і структур багаторозрядних суматорів з прискореними переносами та пристроїв порівняння багаторозрядних двійкових кодів у структурах АЛП скалярних, векторних та квантових суперпроцесорів.

В основу корисної моделі поставлена задача зменшення апаратної складності, підвищення швидкодії та розширення функціональних можливостей повного однорозрядного двійкового суматора шляхом застосування парафазних входів та додаткового виводу проміжних сигналів інверсної суми першого вхідного однорозрядного суматора.

Поставлена задача вирішується тим, що пристрій містить перший вхідний неповний однорозрядний суматор (НС1) з прямими входами ( $a_i, b_i$ ) та інверсним виходом наскрізного переносу ( $\overline{C_{out}}$ ), який з'єднаний з інверсним виходом наскрізного переносу другого неповного суматора (НС2) та інверсним виходом пристрою ( $\overline{C_{out}}$ ), прямий вихід суми другого неповного однорозрядного суматора (НС2) з'єднаний з прямим виходом суми пристрою ( $S_i$ ), який відрізняється тим, що повний однорозрядний суматор додатково містить інверсні інформаційні входи ( $\overline{a_i}, \overline{b_i}$ ), які додатково з'єднані з відповідними другими додатково введеними інформаційними входами першого неповного однорозрядного суматора (НС1), додатково введений інверсний вихід суми ( $\overline{S_n}$ ) першого неповного двійкового суматора (НС1), який додатково з'єднаний з інверсним інформаційним входом другого суматора (НС2) та додатково введеним третім інверсним виходом проміжної суми пристрою ( $\overline{S_n}$ ).

Суть корисної моделі пояснюють креслення, де на фіг. 1 показана функціональна схема пристрою, який містить: 1 - парафазні інформаційні входи ( $a_i, \overline{a_i}, b_i, \overline{b_i}$ ); 2 - перший неповний однорозрядний суматор (НС1) з інверсними виходами суми ( $\overline{S_n}$ ) та наскрізного переносу ( $\overline{C_{out}}$ ); 3 - другий неповний однорозрядний суматор (НС2) з інверсним входом суми ( $\overline{S_n}$ ) та інверсним входом наскрізного переносу ( $\overline{C_{in}}$ ).

На фіг. 2 представлена структурна схема неповного однорозрядного двійкового суматора (НС1) на логічних елементах І, І-НІ та АБО з парафазними входами, з прямим виходом суми та інверсним виходом наскрізних переносів.

На фіг. 3 представлена структурна схема неповного однорозрядного двійкового суматора (НС2) з інверсним інформаційним входом  $(S_i)$ , інверсними входи/виходами наскрізних переносів  $(C_{in}, C_{out})$  та прямим виходом суми  $(S_i)$ .

На фіг. 4 представлена структурна схема повного однорозрядного суматора на логічних елементах "І-НІ" та "АБО" з парафазними входами  $(a_i, \bar{a}_i, b_i, \bar{b}_i)$ , інверсним виходом проміжної суми  $(S_N)$ , інверсними входи/виходами наскрізних переносів  $(C_{in}, C_{out})$  і прямим виходом суми  $(S_i)$ .

Системні характеристики удосконаленого повного однорозрядного суматора (фіг. 7) наступні:

10 Апаратна складність  $A_4=6v$ .

Часова складність визначається затримкою сигналів між наступними входами та виходами:

$$\tau_{(A,B)} \rightarrow 3 \rightarrow C_{out} = 1v; \tau_{(A,B)} \rightarrow 1 \rightarrow 4 \rightarrow S_i = 2v;$$

$$\tau_{(A,B)} \rightarrow 1 \rightarrow 6 \rightarrow \bar{C}_{out} = 2v; \tau_{(C_{in}, C_{out})} \rightarrow 6 = 1v; \tau_{(C_{in})} \rightarrow 4 \rightarrow S_i = 1v.$$

15 Пристрій працює наступним чином: при подачі на інформаційні входи  $(a_i, \bar{a}_i, b_i, \bar{b}_i)$  логічних значень "0" або "1" на виходах першого неповного однорозрядного суматора (НС1) формується інверсний сигнал наскрізного переносу  $(C_{out})$  та інверсний сигнал проміжної суми пристрою  $(S_N)$ , який поступає на інформаційний вхід другого однорозрядного неповного суматора (НС2) і на інверсний вихід пристрою  $(S_N)$ . У другому суматорі (НС2) здійснюється додавання інверсного сигналу  $(S_N)$  і інверсного вхідного сигналу наскрізного переносу  $(C_{in})$  та формування вихідного наскрізного переносу  $(C_{out})$  і прямого виходу суми  $(S_i)$  пристрою із затримкою сигналів на 1 мікротакт.

Технічний результат.

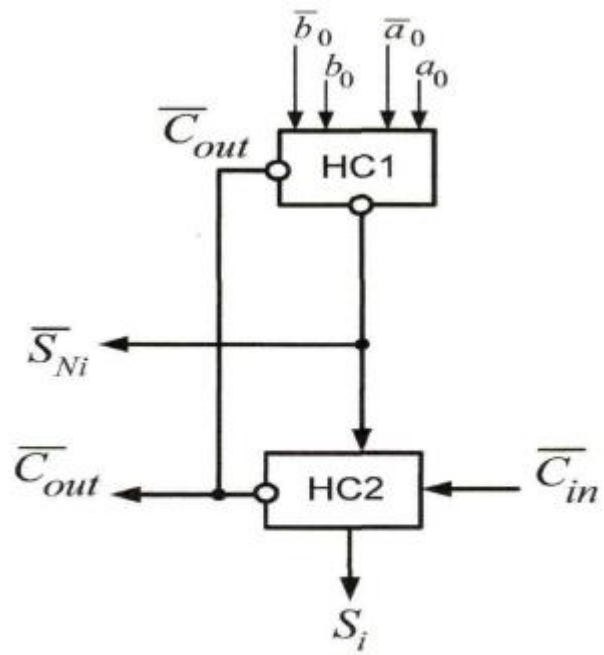
25 Запропонований повний однорозрядний суматор містить 6 логічних елементів, характеризується мінімальною апаратною складністю у порівнянні з відомими суматорами з інверсними входи/виходами наскрізних переносів. При застосуванні такого пристрою у структурі багаторозрядних двійкових суматорів усі перші неповні суматори (НС1) формують вихідні сигнали із затримкою на 1 мікротакт, а формування розрядних сум  $(S_i)$  та наскрізних переносів  $(C_{in} \rightarrow C_{out})$  також виконується із затримкою сигналів на 1 мікротакт.

30 Наявність парафазних інформаційних входів у такому суматорі не потребує додаткового інвертування вхідних сигналів  $(a_i, b_i)$ , оскільки прямі  $(a_i, b_i)$  та інверсні  $(\bar{a}_i, \bar{b}_i)$  двійкових кодів, що додаються, одночасно формуються на прямих та інверсних виходах тригерів вхідних регістрів пам'яті у структурі АЛП [Мельник А.О. Архітектура комп'ютера, Наукове видання. - Луцьк: Волинська обласна друкарня, 2008. - 470 с. (ст. 102-104, рис. 3.15-3.19)].

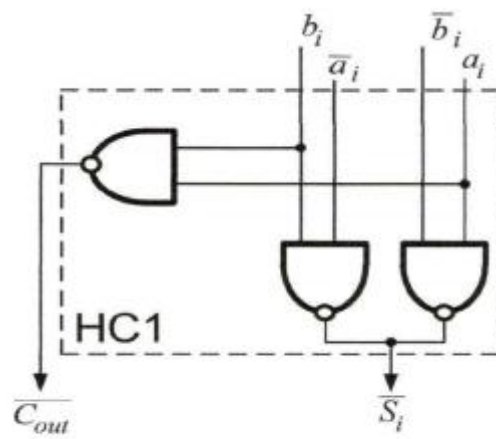
35 Таким чином запропонований однорозрядний повний двійковий суматор характеризується строго мінімаксними параметрами апаратної та часової складності, розширеними функціональними можливостями і може бути швидкодіючим базовим компонентом багаторозрядних АЛП, сучасних скалярних, векторних та квантових суперкомп'ютерів.

#### 40 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

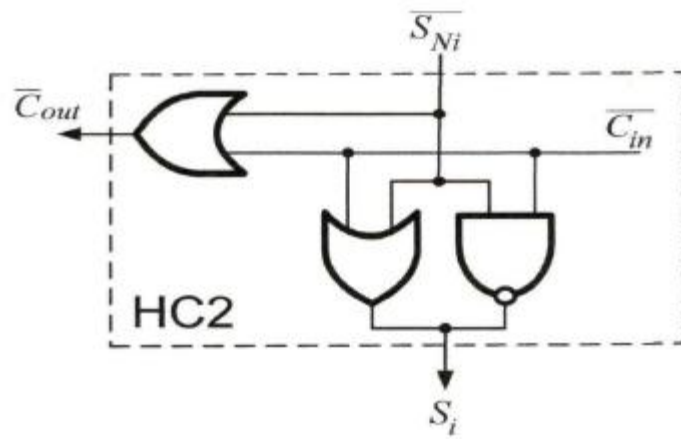
Повний однорозрядний двійковий суматор, який містить перший вхідний неповний однорозрядний суматор (НС1) з прямими входами  $(a_i, b_i)$  та інверсним виходом наскрізного переносу, який з'єднаний з інверсним виходом наскрізного переносу другого неповного суматора (НС2) та інверсним виходом пристрою  $(C_{out})$ , другий неповний суматор (НС2) містить інверсний вхід наскрізного переносу  $(C_{in})$  та прямий вихід суми пристрою  $(S_i)$ , який **відрізняється** тим, що повний однорозрядний суматор додатково містить інверсні інформаційні входи  $(a_i, b_i)$ , які додатково з'єднані з відповідними другими додатково введеними інформаційними входами першого неповного однорозрядного суматора (НС1), додатково введений інверсний вихід суми  $(S_N)$  першого неповного двійкового суматора (НС1), який додатково з'єднаний з інверсним інформаційним входом другого суматора (НС2) та додатково введеним третім інверсним виходом проміжної суми пристрою  $(S_N)$ .



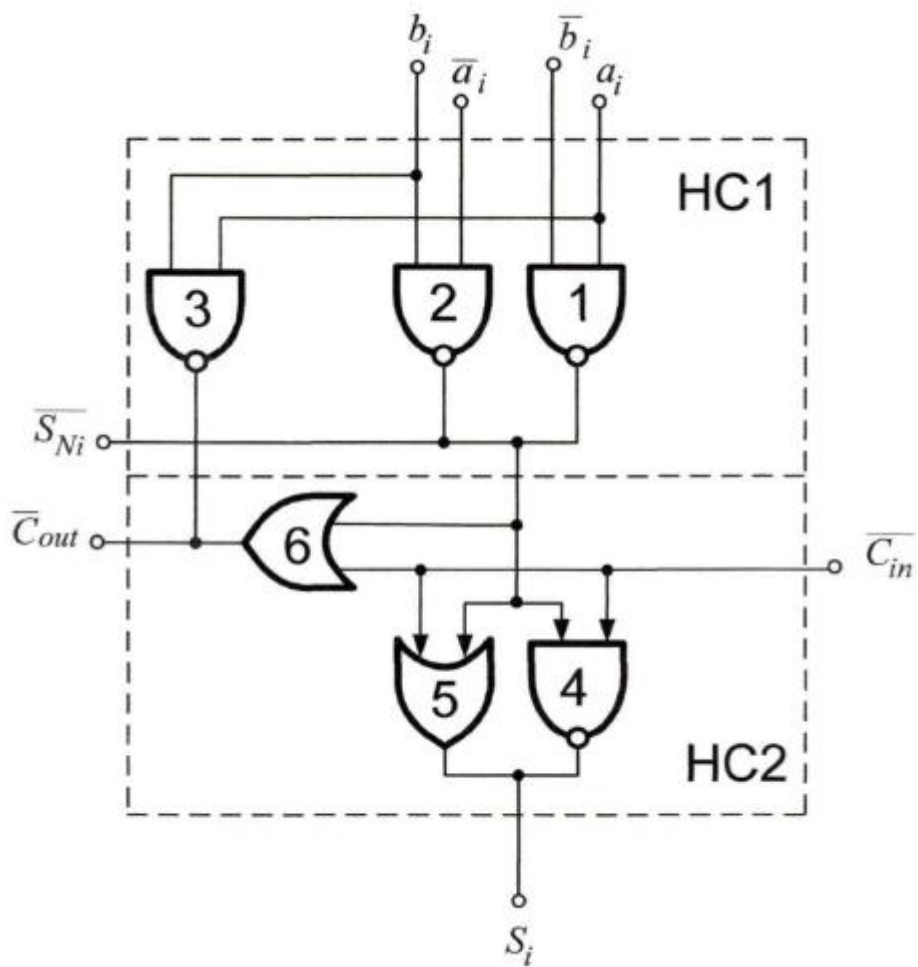
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

