



УКРАЇНА

(19) **UA** (11) **123924** (13) **C2**
(51) МПК
G06F 7/52 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

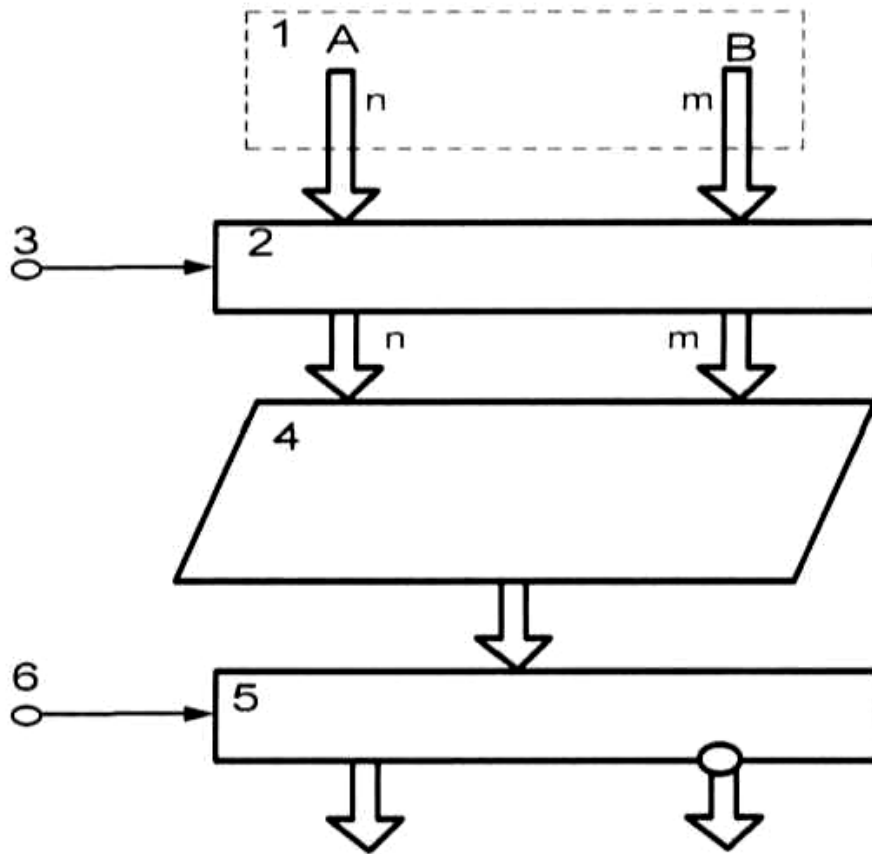
<p>(21) Номер заявки: a 2019 06534</p> <p>(22) Дата подання заявки: 11.06.2019</p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: 24.06.2021</p> <p>(41) Публікація відомостей про заявку: 10.01.2020, Бюл.№ 1</p> <p>(46) Публікація відомостей про державну реєстрацію: 23.06.2021, Бюл.№ 25</p>	<p>(72) Винахідник(и): Возна Наталія Ярославівна (UA), Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA)</p> <p>(73) Володілець (володільці): Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: SU 1615704 A1, 23.12.1990 US 2006064453 A1, 23.03.2006 CN 102866875 A, 09.01.2013 US 3866030 A, 11.02.1975 UA 82285 U, 25.07.2013 UA 132520 U, 25.02.2019 UA 109136 U, 10.0.2016</p>
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) МАТРИЧНИЙ ПЕРЕМНОЖУВАЧ

(57) Реферат:

Матричний перемножувач належить до засобів обчислювальної техніки і може бути використаний як компонент високопродуктивних проблемно-орієнтованих багаторозрядних процесорів опрацювання та шифрування інформації. Матричний перемножувач додатково містить у першому розряді матриці суматорів однорозрядних неповних суматорів з прямими входами та виходами, у другому розряді матриці суматорів містить однорозрядні повні суматори з прямими входами та інверсними виходами переносів, а у старшому розряді матриці суматорів містить повні однорозрядні суматори з інверсними входами переносів та прямими виходами переносів. Технічним результатом, що досягається даним винаходом, є зменшення структурної, апаратної складності, при збереженні однакової швидкодії у порівнянні з прототипом.

UA 123924 C2



СТРУКТУРНА СХЕМА МАТРИЧНОГО ПЕРЕМНОЖУВАЧА

Фіг. 1

Матричний перемножувач належить до засобів обчислювальної техніки і може бути використаний як компонент швидкодіючих спеціалізованих процесорів цифрового опрацювання та шифрування даних.

Відомий аналог - матричний перемножувач зі структурою Дадда [L. Dadda Some Schemes for Parallel Multipliers // Alta Frequenza, - 1965. - v.34. - P. 349-356. фіг.1], який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних кодів матриці неповних та повних однорозрядних суматорів, виходи якої є виходами перемножувача.

Недоліком такого матричного перемножувача є обмежені функціональні можливості, які обумовлені тим, що його структура не містить вхідного та вихідного регістрів пам'яті, що не дозволяє його використовувати як компонент розпаралеленого синхронізованого формування та зчитування цифрових добутків двійкових чисел, наприклад, у цифрових кореляторах, цифрових фільтрах та процесорах шифрування даних з глибоким розпаралеленням обчислювальних операцій. Іншим недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів не містить інверсних входів та виходів переносів і не дозволяє, у принципі, реалізувати відповідні горизонтальні переноси між виходами та входами однорозрядних суматорів з часовою затримкою 1 мікротакт.

Відомий прототип - матричний перемножувач [Давлетова А.Я., Грига В.М., Николайчук Я.М. / Матричний перемножувач. Патент на корисну модель UA № 132520. Бюл. № 4, 2019. - фіг. 2, фіг. 3], який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І". виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів, який містить перший регістр пам'яті на D-тригерах з прямими виходами, перші входи якого є вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим входом пристрою, виходи з'єднані з відповідними прямими виходами матриці однорозрядних повних двійкових суматорів з прямими входами та виходами сум та інверсними виходами переносів, прямі виходи якої з'єднані з відповідними першими входами другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім входом пристрою, а прямі та інверсні виходи є виходами перемножувача.

Недоліком такого матричного перемножувача є велика структурна складність, яка обумовлена тим, що матриця однорозрядних суматорів пристрою містить структурно складні повні однорозрядні суматори з парафазними входами та виходами, що приводить до значної кількості інформаційних зв'язків між утилітами мікроелектронного кристала матричного перемножувача.

Іншим недоліком такого перемножувача є застосування у його структурі апаратно складних повних однорозрядних суматорів з парафазними входами та виходами, які містять 20 логічних елементів [Круліковський Б.Б., Давлетова А.Я., Возна Н.Я., Николайчук Я.М. / Однорозрядний суматор. Патент на корисну модель UA № 109136, Бюл. № 15, 2016. - фіг. 2]

В основу винаходу поставлена задача зменшення структурної та апаратної складності швидкодіючого матричного перемножувача шляхом додаткового застосування у матриці суматорів пристрою однорозрядних неповних та повних суматорів з прямими входами та виходами сум та інверсними виходами наскрізних переносів, що дозволяє без зменшення швидкодії пристрою значно зменшити його структурну та апаратну складність.

Поставлена задача вирішується завдяки тому, що у першому розряді матриці суматорів матричного перемножувача додатково містяться однорозрядні неповні суматори з прямими виходами переносів, у другому ряді матриці суматорів додатково містяться повні однорозрядні суматори з прямими входами та інверсними виходами переносів, а у старшому розряді матриці додатково містяться однорозрядні повні суматори з прямими виходами переносів.

Винахід ілюструється кресленням, де на фіг. 1 показана структурна схема пристрою, який містить 1 - вхідну шину двійкових кодів перемножуваних чисел; 2 - перший регістр пам'яті; 3 - перший синхронізуючий вхід пристрою; 4 - матрицю однорозрядних суматорів; 5 - другий регістр пам'яті; 6 - другий синхронізуючий вхід пристрою. На фіг. 2 - граф формування пар бітів a_{ij} на входах логічних елементів "І"; на фіг. 3 - структурна схема матриці суматорів пристрою; на фіг. 4 - структура однорозрядного неповного суматора з прямими входами і виходами; на фіг. 5 - структура повного однорозрядного суматора з прямими входами та інверсним виходом переносів; на фіг. 6 - структура повного однорозрядного суматора з прямими входами та інверсними виходами переносів; на фіг. 7 - структура повного однорозрядного суматора з інверсними входами переносів та прямими виходами переносів.

Виходи вхідної шини перемножуваних чисел - 1 з'єднані з відповідними першими входами першого регістра пам'яті - 2, другий вхід якого з'єднаний з другим входом пристрою - 3, прямі

виходи першого регістра пам'яті - 2 з'єднані з відповідними прямими входами матриці однорозрядних суматорів - 4, прямі однофазні виходи якої з'єднані з відповідними входами другого регістра пам'яті - 5, прямі та інверсні виходи якого є вихідною шиною пристрою.

Пристрій працює наступним чином:

5 При подачі на синхронізуючий вхід (3) першого регістра пам'яті (2) вхідні коди (X і Y) перемножуваних чисел записуються у D-тригери, на прямих виходах першого регістра пам'яті (2) формуються прямі коди перемножуваних чисел, які надходять на відповідні прямі входи матриці однорозрядних суматорів (4), на однофазних виходах якої формується код добутку вхідних двійкових чисел, який по сигналу синхронізації третього входу пристрою (6) записується
10 у другий регістр пам'яті (5), на парафазних виходах якого формується вихідний код добутку двох двійкових чисел.

У результаті додаткового введення у структуру пристрою однорозрядних повних та неповних суматорів з інверсними виходами та входами переносів забезпечується висока швидкодія багаторозрядного матричного перемножувача із затримкою сигналів у
15 горизонтальних інформаційних зв'язках на 1 мікротакт.

Структурна складність матричного перемножувача розраховується згідно з виразом:

$$K_C = \sum_{i=1}^k \alpha_i K_{Ci}$$

де α_i - кількість однакових і-их компонентів; K_{Ci} - структурна складність і-го компонента. Оцінка структурної складності відомого пристрою наступна:

20 $K_{СП1} = 4n \cdot K_{C1} + K_{C2}$

де, K_{C1} - структурна складність тригерів; K_{C2} - структурна складність матриці суматорів, де

$$K_{C2} = (n^2 - n) \cdot K_{СПС} + K_{СЛЕ} + K_{CZ} = 12 \cdot 1057,4 + 112 + 158 = 12858$$

де $K_{СПС}$ - структурна складність повного однорозрядного суматора з парафазними входами
25 і виходами; $K_{СЛЕ}$ - структурна складність логічного елемента "І"; K_{CZ} - структурна складність інформаційних зв'язків.

$$K_{СП1} = 4 \cdot 4 \cdot 30 + 12858 = 13338$$

Структурна складність удосконаленого пристрою визначається згідно виразу:

$$K_{СП2} = 4n \cdot K_{C1} + K_{C2}, \text{ де}$$

30 $K_{C2} = 4 \cdot K_{СНС} + 2 \cdot K_{СПС1} + 6 \cdot K_{СПС2} + n^2 \cdot K_{СЛЕ} + K_{CZ} = 4 \cdot 115,2 + 2 \cdot 163 + 6 \cdot 1996 + 16 \cdot 112 + 72 = 22356.$

де $K_{СНС}$ - структурна складність напівсуматорів; $K_{СПС1}$ - структурна складність повних суматорів з інверсними виходами; $K_{СПС2}$ - структурна складність повних суматорів з інверсними входами та виходами.

35 $K_{СП2} = 4 \cdot 4 \cdot 30 + 22356 = 27156$

Апаратна складність відомого пристрою:

$$A_1 = 2A_{Pr} + (n^2 - n)A_{ПС} + A_{ЛЕ} = (4 + 4) \times 2 + 12 \times 20 + 1 = 16 + 240 + 1 = 257 \text{ (вентилі)}$$

Апаратна складність запропонованого пристрою:

$$A_2 = 2A_{Pr} + nA_{НС} + (2n - 2)A_{ПС} + n/2A_{ПС} + n^2A_{ЛЕ} = 2 \times 8 + 4 \times 3 + (8 - 2) \times 8 + 2 \times 6 + 16 = 16 + 12 + 48 + 12 + 16 = 104$$

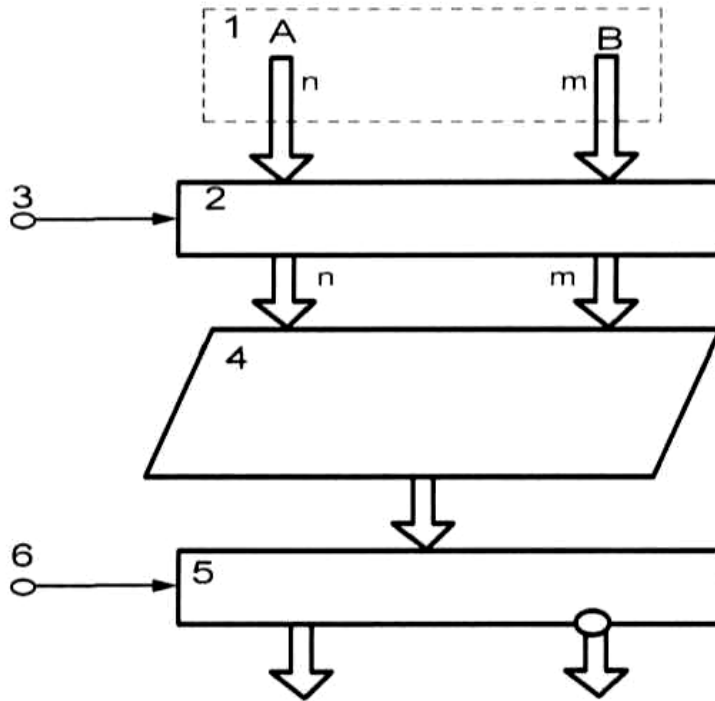
40 (вентилі)

Технічний результат: пристрій характеризується зменшеною структурною складністю у $K_{СП1}/K_{СП2} = 13338/27156 = 4,9$ рази та зменшеною апаратною складністю у $257/104 = 2,47$ рази при однаковій швидкодії у порівнянні з прототипом (3n-4).

45 **ФОРМУЛА ВИНАХОДУ**

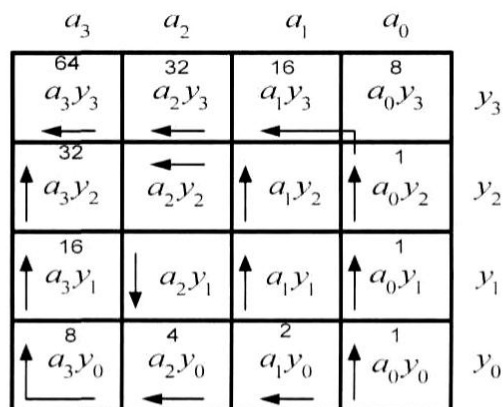
Матричний перемножувач, який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів, який містить перший регістр пам'яті на D-тригерах з прямими виходами, перші входи якого є вхідною шиною двійкових кодів
50

перемножуваних чисел, другий вхід з'єднаний з другим входом пристрою, виходи з'єднані з відповідними прямими входами матриці однорозрядних повних двійкових суматорів з прямими входами та виходами сум та інверсними виходами переносів, прямі виходи якої з'єднані з відповідними першими входами другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім входом пристрою, а прямі та інверсні виходи є виходами перемножувача, який відрізняється тим, що матричний перемножувач у першому розряді матриці суматорів додатково містить однорозрядні неповні суматори з прямими входами та виходами, у другому розряді матриці суматорів містить однорозрядні повні суматори з прямими входами та інверсними виходами переносів, а у старшому розряді матриці суматорів містить повні однорозрядні суматори з інверсними входами переносів та прямими виходами переносів.



СТРУКТУРНА СХЕМА МАТРИЧНОГО ПЕРЕМНОЖУВАЧА

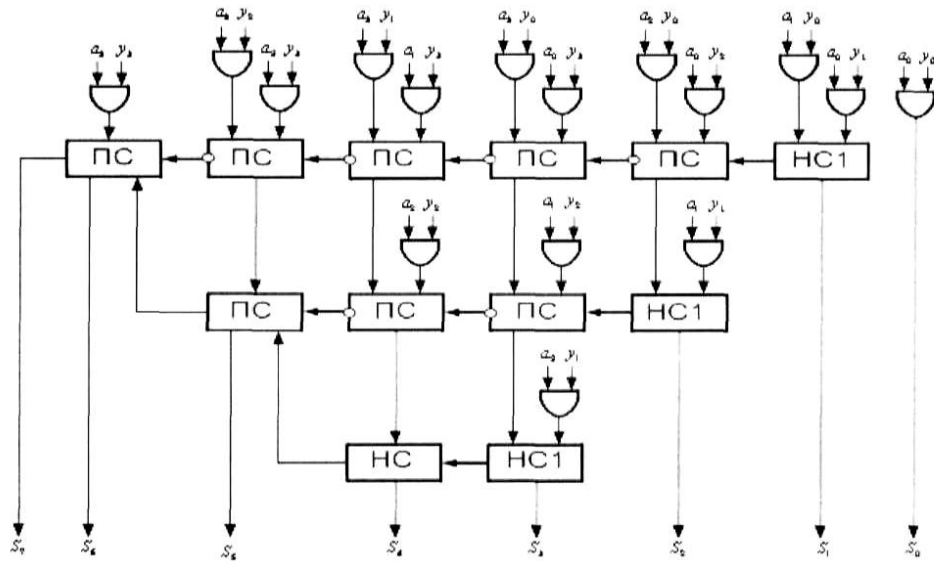
Фіг. 1



Такий граф дозволяє максимально використати затримки сигналів на 1 мікротакт наскрізних інверсних переносів у повних однорозрядних суматорах перемножувача матриці і мінімізувати кількість затримок сигналів на 2 мікротакти на виходах суми бітів повних однофазних суматорів.

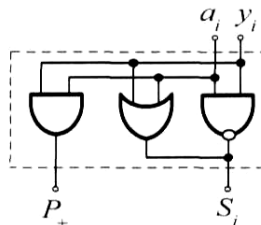
ГРАФ ФОРМУВАННЯ ПАР БІТІВ $a_i y_j$ НА ВХОДИ ЛОГІЧНИХ ЕЛЕМЕНТІВ "Г"

Фіг. 2



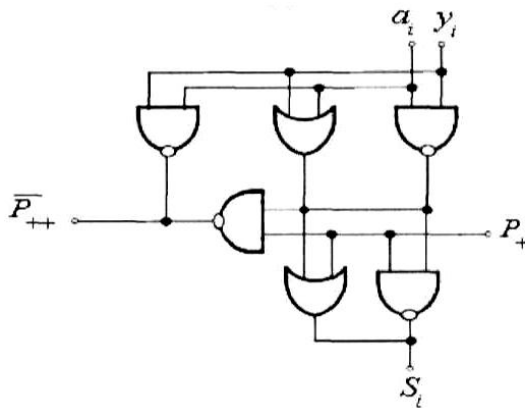
СТРУКТУРНА СХЕМА МАТРИЦІ СУМАТОРІВ

Фиг. 3



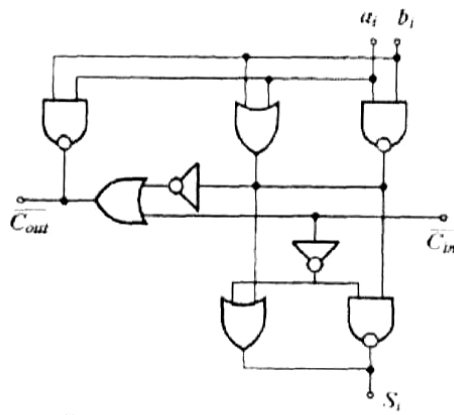
НЕПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР З ПРЯМИМИ ВХОДАМИ І ВИХОДАМИ

Фиг. 4



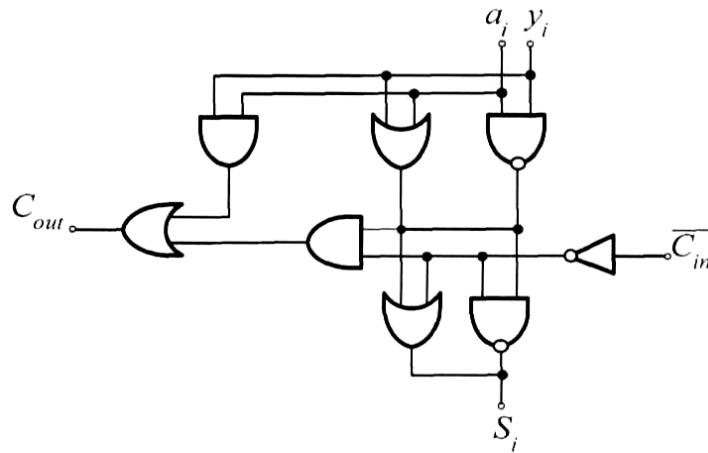
ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР З ПРЯМИМИ ВХОДАМИ ТА ІНВЕРСНИМИ ВИХОДОМ

Фиг. 5



ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР З ПРЯМИМИ ВХОДАМИ ТА ІНВЕРСНИМИ ВИХОДАМИ ПЕРЕНОСІВ

Фіг. 6



ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР З ІНВЕРСНИМИ ВХОДАМИ ПЕРЕНОСІВ ТА ІНВЕРСНИМИ ВИХОДАМИ ПЕРЕНОСІВ

Фіг. 7