

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Тернопільський національний економічний університет
Факультет комп'ютерних інформаційних технологій
Кафедра комп'ютерної інженерії

Шкодич Олександр Володимирович

**Оперативний запам'ятовуючий пристрій з
неповним асоціативним доступом / Operative
storage device with incomplete associative access**

спеціальність: 6.050102 - Комп'ютерна інженерія
освітньо-професійна програма - Комп'ютерні системи та мережі

Випускна кваліфікаційна робота

Виконав: студент групи КСМ-41/1
Шкодич Олександр Володимирович

Науковий керівник:
к.т.н., Масляк Б.О.

ТЕРНОПІЛЬ - 2019

РЕЗЮМЕ

Дипломний проект містить 55 сторінок пояснюючої записки, 21 рисунок, 7 таблиць, 3 додатки. Обсяг графічного матеріалу 3 аркуші А3.

Метою дипломної роботи є апаратна реалізація оперативного запам'ятовуючого пристрою з неповним асоціативним доступом.

З метою реалізації задачі спроектовано пам'ять з неповним асоціативним доступом. Розглянуто особливості побудови комірки асоціативної пам'яті.

Обґрунтовано та розроблено структуру модуля асоціативної пам'яті. В ролі асоціативного накопичувача використаємо мікросхеми статичного оперативного запам'ятовуючого пристрою. Приведено Алгоритм роботи пристрою. Запропонований алгоритм передбачає послідовне відкриття всіх комірок від першої до останньої. Вміст кожної комірки порівнюється з ознакою OZN. Коли вміст співпадає, то адреса комірки виводиться. Використовуючи даний алгоритм та структуру комірки розроблено структуру пристрою з неповним асоціативним доступом. Оскільки алгоритмом передбачено послідовний перебір адрес комірок, то в структурну схему введено генератор тактових імпульсів та лічильник адрес. Введення в схему лічильника та компаратора співпадань дозволяє уникнути помилок в асоціативному пошуку.

Релізовано модуль оперативної пам'яті з неповним асоціативним доступом.

Ключові слова: ОПЕРАТИВНИЙ ЗАПАМ'ЯТОВУЮЧИЙ ПРИСТРІЙ, АСОЦІАТИВНИЙ ДОСТУП ДО ПАМ'ЯТІ.

RESUME

The diploma project contains 55 pages of explanatory note, 21 figures, 7 tables, 3 appendices. Volume of graphic material 3 sheets A3.

The purpose of the thesis is the hardware implementation of random access memory with incomplete associative access.

In order to implement the task, a memory with incomplete associative access is designed. Peculiarities of associative memory cell construction are considered.

The structure of the associative memory module is substantiated and developed. As an associative drive, we use chips of static random access memory. The Algorithm of operation of the device is resulted. The proposed algorithm involves the sequential opening of all cells from the first to the last. The contents of each cell are compared to the OZN attribute. When the contents match, the cell address is displayed. Using this algorithm and cell structure, a device structure with incomplete associative access was developed. Since the algorithm provides a sequential search of cell addresses, the block diagram includes a clock generator and an address counter. The introduction of coincidences in the circuit counter and comparator avoids errors in associative search.

The RAM module with incomplete associative access is implemented.

Keywords: RAM MEMORY DEVICE, ASSOCIATIVE MEMORY ACCESS.

ЗМІСТ

Вступ.....	5
1 Особливості функціонування пристроїв асоціативної пам'яті	7
1.1 Модулі пам'яті в комп'ютерних системах.....	7
1.2 Методи побудови модулів асоціативної пам'яті	9
1.3 Обґрунтування вибору компонентної бази та постановка задачі.....	14
2 Проектування пам'яті з неповним асоціативним доступом	17
2.1 Особливості побудови комірки асоціативної пам'яті.....	17
2.2 Проектування структури модуля асоціативної пам'яті	19
2.3 Обґрунтування та вибір системи автоматизованого проектування	25
3 Апаратна реалізація та верифікація модуля асоціативної пам'яті	29
3.1 Розробка та налаштування схеми пошуку асоціативних даних	29
3.2 Модуль оперативної пам'яті з неповним асоціативним доступом	35
Висновки.....	39
Список використаних джерел.....	40

					БР.КСМ 07117/15.00.00.000 ПЗ		
Змн.	Лист	№ докум.	Підпис	Дата			
Розробив		Шкодич В.О.			Літ.	Арк.	Аркушів
Перевірив		Масляк Б.О.				2	
Затвердив		Березький О.М.			ТНЕУ. ФКІТ. КСМ-42		
ОПЕРАТИВНИЙ ЗАПАМ'ЯТОВУЮЧИЙ ПРИСТРІЙ З НЕПОВНИМ АСОЦІАТИВНИМ ДОСТУПОМ							

ВСТУП

Одним з найбільш важливих факторів, що визначають сучасні тенденції в розвитку інформаційних технологій, є орієнтація компаній-постачальників комп'ютерного обладнання на ринок прикладних програмних засобів. Це пояснюється перш за все тим, що для кінцевого користувача в кінці кінців важливо програмне забезпечення, що дозволяє вирішити його завдання, а не вибір тієї чи іншої апаратної платформи. Перехід від однорідних мереж програмно сумісних комп'ютерів до побудови неоднорідних мереж, що включають комп'ютери різних фірм-виробників, в корені змінив і точку зору на саму мережу: з порівняно простого засобу обміну інформацією вона перетворилася в засіб інтеграції окремих ресурсів - потужну розподілену обчислювальну систему, кожен елемент якої (сервер або робоча станція) найкраще відповідає вимогам конкретної прикладної задачі.

Одним з важливих пристроїв комп'ютера є пам'ять, або запам'ятовуючий пристрій (ОЗП). За визначенням, ОЗП - функціональна частина цифрової обчислювальної машини, призначена для запису, зберігання та видачі інформації, представлених в цифровому вигляді. Управляє цими процесами контролер пам'яті. Він містить логічні схеми, необхідні для проведення операцій читання і запису в оперативну пам'ять з дотриманням всіх необхідних затримок, наприклад, між читанням і записом. Однак під це визначення потрапляє як власне пам'ять, так і зовнішні запам'ятовуючі пристрої, які краще віднести до пристроїв введення / виводу інформації. Таким чином під комп'ютерною пам'яттю в подальшому буде розумітися тільки внутрішня пам'ять комп'ютера: ОЗП, ПЗП, кеш пам'ять і флеш-пам'ять.

Однак ОЗП працює набагато повільніше процесора. Інша справа – асоціативна пам'ять. Асоціативна пам'ять (АП) або асоціативний пристрій

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		5

(АЗП) є особливим видом машинної пам'яті, що використовується для дуже швидкого пошуку. Відома також як пам'ять, що адресується за вмістом, асоціативний пристрій, контентно-адресована пам'ять або асоціативний масив. Однак, останній термін частіше використовується в програмуванні для позначення структури даних.

Таким чином, розробка пристроїв швидкого пошуку інформації є актуальною.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		6

1 ОСОБЛИВОСТІ ФУНКЦІОНУВАННЯ ПРИСТРОЇВ АСОЦІАТИВНОЇ ПАМ'ЯТІ

1.1 Модулі пам'яті в комп'ютерних системах

Крім центрального процесора і мікропроцесорного комплекту (чіпсета) на материнській платі розташовано ще один дуже важливий пристрій - оперативна пам'ять або оперативний пристрій (RAM - Random Access Memory) або ОЗУ. Саме з неї процесор бере програми і вихідні дані для обробки, в неї він записує отримані результати. Назва «оперативна» ця пам'ять одержала тому, що вона працює дуже швидко, так що процесору практично не доводиться чекати при читанні даних з пам'яті запису в пам'ять. Від кількості встановленої в комп'ютері оперативної пам'яті безпосередньо залежить, з якими програмами користувач зможе працювати. При недостатній кількості оперативної пам'яті багато програм або зовсім не будуть працювати, або стануть працювати вкрай повільно.

Оперативна пам'ять, оперативний запам'ятовуючий пристрій (ОЗП), а в західній термінології - RAM, тобто "Random Access Memory" (пам'ять з довільним доступом) складається з комірок, кожна з яких призначена для зберігання певного обсягу даних. Чіпи пам'яті працюють синхронно з системною шиною.

Принцип роботи оперативної пам'яті можна представити в такий спосіб. Оскільки комірки організовані у вигляді двовимірної матриці, для отримання доступу до тієї чи іншої комірки необхідно вказати адресу відповідних рядка та стовпця. Для вибору адреси застосовуються імпульси RAS # (Row Access Strobe - стробуючий імпульс доступу до рядка) і CAS # (Column Access Strobe - стробуючий імпульс доступу до стовпця) при яких рівень сигналу (точніше, напруга) змінюється з високого на низький. Ці імпульси синхронізовані з тактовим імпульсом, тому оперативна пам'ять також називається синхронною (SRAM). При операції запису відбувається те ж саме, за винятком того, що в цьому випадку подається спеціальний імпульс

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		7

дозволу записи WE (Write Enable), який також повинен змінитися з високого на низький. Існують і інші сигнали, але їх можна упустити, щоб не ускладнювати матеріал.

Існує багато різних типів оперативної пам'яті, але з точки зору фізичного принципу дії розрізняють динамічну пам'ять (DRAM) і статичну пам'ять (SRAM).

В динамічній комп'ютерній оперативній пам'яті (DRAM або Dynamic RAM) комірками пам'яті в мікросхемах є конденсатори, які заряджаються в разі необхідності запису логічної одиниці, і розряджаються при записі нуля. Втрата даних в пам'яті в разі відсутності електроенергії здійснюється саме за рахунок витoku струмів з конденсаторів.

Недоліки цього типу пам'яті пов'язані, по-перше, з тим, що як при заряді, так і при розряді конденсаторів неминучі перехідні процеси, тобто запис даних відбувається порівняно повільно. Другий недолік пов'язаний з тим, що заряди комірок мають властивість розсмоктуватися в часі. Якщо ОЗП постійно не «заряджати», втрата інформації відбувається дуже швидко. Для усунення цього в комп'ютері відбувається постійна регенерація (підзарядка) комірок оперативної пам'яті. Регенерація здійснюється кілька разів на секунду і викликає непродуктивну витрату ресурсів обчислювальної системи.

Ці недоліки відсутні в пристроях статичної пам'яті. Елементи статичної пам'яті (SRAM) можна уявити як електронні мікроелементи - тригери, що складаються з декількох транзисторів. В тригерах зберігається не заряд, а стан, тому цей тип пам'яті забезпечує більш високу швидкодію, хоча технологічно він складний і, відповідно, дорожче.

Постійне вдосконалення методів побудови пристроїв оперативної пам'яті привела до створення асоціативної пам'яті. Асоціативна пам'ять (АП) (англ. Content-Addressable Memory) є особливим видом машинної пам'яті, що використовується для дуже швидкого пошуку інформації. Відома також як пам'ять, що адресується за вмістом (англ. Content-addressable memory, CAM),

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		8

або асоціативний масив, хоча останній термін частіше використовується в програмуванні для позначення структури даних.

На відміну від звичайної машинної пам'яті (пам'яті довільного доступу, RAM), в якій користувач задає адресу пам'яті і ОЗП повертає слово даних, що зберігається за цією адресою, АП розроблена таким чином, щоби користувач вказував слово даних, і АП шукала його у всій пам'яті, щоби з'ясувати, чи зберігається воно де-небудь. Якщо слово даних знайдено, АП повертає список однієї або більше адрес зберігання, де слово було знайдено (і в деяких архітектурах, також повертає саме слово даних, або інші пов'язані частини даних). Таким чином, АП — апаратна реалізація того, що в термінах програмування назвали б асоціативним масивом.

Деякі використання:

- пошук за MAC-адресою в маршрутизаторах;
- контролер кешу і буфер асоціативної трансляції (TLB) в процесорах.

Принципи функціонування пам'яті з асоціативним доступом (використовується в сучасних комп'ютерах при розробці кеш-пам'яті більшості комп'ютерів буферної пам'яті в конвеєрних процесорах. Наприклад в задачах буферизації попередньо вибраних команд. Особливо асоціативна пам'ять ефективна при виконанні операцій пошуку екстремумів чи в сортувальних процедурах (min, max, сортування).

1.2 Методи побудови модулів асоціативної пам'яті

Особливістю пристроїв пам'яті з асоціативним доступом є необхідність зберігання разом із адресою, даними ще і ознаки (шаблону). В ролі ознаки може бути як саме дане, так і його частина. Вибірка даних відбувається у випадку збігу їх ознак даних та шаблону. Тому цю пам'ять іще називають

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		9

для зчитування даних. $AC1 = 1$, $AC0 = 0$ означає порівняння з 0. $AC1 = 0$, $AC0 = 1$ означає порівняння даних, що зберігаються в комірці з 0.

Вихідний сигнал (В). На цьому виході при активному адресному вході А завжди видається інверсія зчитаного в комірці значення.

Розрядний вихід (Р). На розрядний вихід видається результат асоціативного порівняння (сигнали $AC1$, $AC0$).

Таким чином, розглянуто в загальних рисах алгоритм функціонування комірки асоціативної пам'яті. З цих комірок будується матриця ($N \times M$), так щоб шини А і Р були загальними в межах одного рядка, а шини даних D, асоціативного порівняння АС і вихідна шина були загальними в межах одного стовпчика. Отримана структура називається асоціативним накопичувачем. Створення накопичувача - важливий, але далеко не останній крок на шляху створення АЗП. На рисунку 1.2 представлена схема найпростішого асоціативного запам'ятовуючого пристрою. Розглянемо основні блоки пристрою:

1. Накопичувач. З пристроєм накопичувача ми познайомилися вище. Накопичувач складається з асоціативних комірок, але ми можемо розглядати кожен рядок матрицю, як одне слово, тоді наш накопичувач може зберігати N слів по M розрядів у кожному.

2. Регістр аргументу пошуку дійсно реалізується у вигляді простого регістра. У цей регістр ми записуємо будь-яке слово, яке хочемо знайти в накопичувачі або записати в нього.

Регістр маски. Поодинокі значення в цьому регістрі показують, які розряди аргументу пошуку будуть маскуватися при асоціативному порівнянні. Саме завдяки цьому регістру ми можемо виконувати пошук слів такого вигляду: 1? 1? 00? 1, де на місці? може стояти як 0, так і 1.

Вихідний регістр. У цей регістр записує слово, яке задовольняє результат асоціативного порівняння. Як цей регістр поводить при багаторазовому збігу залежить від конкретної реалізації.

					Регістр аргументів пошуку			
					БР.КСМ 07117/15.00.00.000 ПЗ		Арк.	
							11	
Змн.	Арк.	№ докум.	Підпис	Дата				

Рисунок 1.2 - Асоціативний запам'ятовуючий пристрій

Селектор адреси - це регістр, який зберігає значення шини А для кожного слова в накопичувачі.

Пам'ять фіксації реакції. У цьому регістрі зберігаються сигнали Р після виконання асоціативного порівняння.

Аналізатор багаторазових співпадань. Найчастіше, результатом пошуку є не одне слово накопичувача, а відразу декілька. Тобто в пам'яті фіксації реакції є кілька одиничних біт. Саме аналізатор багаторазових збігів «вирішує», що робити в таких випадках. Конкретна реалізація залежить від цілей АЗП. У найпростішому випадку АМС просто копіює дані з пам'яті фіксації реакції в селектор адреси.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		12

Внаслідок того, що результати пошуку можуть мати кілька варіантів, вміст реєстра збігів подається на пристрій керування, де формуються сигнали сповіщення про результати порівняння, а саме про те, що шукана інформація не знайдена, міститься в одному чи кількох реєстрах. Тому, при зчитуванні спочатку проводиться аналіз результатів порівняння. Потім, при наявності інформації про те, що шукана інформація не знайдена, зчитування відміняється. При повідомленні, що шукана інформація міститься в одному реєстрі, зчитується слово, на яке вказує одиниця в реєстрі збігів, а при повідомленні, що шукана інформація міститься в кількох реєстрах, скидається найстарша одиниця в реєстрі збігів і зчитується відповідне їй слово. Шляхом повторення цієї операції послідовно зчитуються всі слова.

Для цього пристрою характерна масова паралельність (всі слова обробляються одночасно). Але, на жаль, цю паралельність не так легко використовувати. Однак, в комп'ютерній техніці багатьох процесорів використовуються АЗП, коли необхідно визначити чи є в пам'яті слово з даною адресою.

Головна перевага пам'яті з асоціативним доступом визначається тим, що час пошуку інформації залежить тільки від числа розрядів в ознаці пошуку і швидкості опиту розрядів, і не залежить від числа реєстрів пам'яті.

Разом з тим, ця пам'ять також має ряд недоліків, до основних з яких слід віднести наступні:

- Необхідність двократного звернення до однієї комірки пам'яті при записі і при зчитуванні числа в два рази сповільнює взаємодію пристроїв комп'ютера з пам'яттю з асоціативним доступом в порівнянні з варіантом пам'яті, в якій можливе лише одне звернення.

- Ця пам'ять має досить складну організацію, яка вимагає забезпечення доступу до кожної комірки з входу та виходу пам'яті або з об'єднаного входу-виходу пам'яті, причому при зчитуванні необхідно проводити порівняння заданої ознаки з ознаками даних в реєстрах пам'яті, а також забезпечити пошук даних, ознаки яких співпали із заданою. Це вимагає

									Арк.
									13
Змн.	Арк.	№ докум.	Підпис	Дата	БР.КСМ 07117/15.00.00.000 ПЗ				

великих затрат на елементи доступу та сповільнює роботу пам'яті.

– При створенні на основі пам'яті з асоціативним доступом багатоканальної (багатопортової) пам'яті необхідно забезпечувати одночасний доступ із кожного каналу до кожної комірки пам'яті, з одночасним порівнянням всіх ознак у комірках із шуканими ознаками, а також забезпечити пошук даних, ознаки яких співпали із заданою, що є проблематичним завданням, особливо при великих об'ємах пам'яті.

Існують різні варіанти побудови пристроїв асоціативної пам'яті, серед яких виділяються схеми з неповним паралельним асоціативним доступом та послідовним асоціативним доступом.

Враховуючи складність побудови пристроїв з повним асоціативним пошуком, більш простим варіантом є пристрої з неповним асоціативним пошуком. Їх особливістю є те, що пошук збігів здійснюється порозрядно.

Третій тип організації пам'яті з асоціативним доступом - пам'ять з послідовним асоціативним доступом. Тут логічні операції порівняння виконуються лише над одним словом. Доступ до даних при цьому здійснюється послідовним застосуванням логічних операцій до окремих слів, які зберігаються в пам'яті. Оскільки при послідовній обробці слів такі властивості асоціативної пам'яті як одночасність операцій та майже не залежна від числа регістрів пам'яті тривалість пошуку відсутні, така пам'ять не в повній мірі відповідає поняттю пам'яті з асоціативним доступом.

Таким чином, аналіз методів побудови пристроїв асоціативної пам'яті показав особливості функціонування кожного виду та дозволив виділити, як актуальні, пристрої пам'яті з неповним асоціативним доступом.

1.3 Обґрунтування вибору компонентної бази та постановка задачі

Вимоги до розділу постановка задачі виконуються згідно з ГОСТ 24.204-80 і містять такі розділи:

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		14

- характеристики комплексу завдань-мета, призначення, техніко-економічну (організаційно-технічну) сутність комплексу задач і обґрунтування доцільності його рішення (зокрема для задач оптимізації - критерій управління та обмеження);
- перелік об'єктів (технологічних об'єктів управління, підрозділів, підприємств і т. д.), при управлінні якими вирішують комплекс завдань, при необхідності, - опис структури об'єктів управління і перелік показників, що характеризують їх стан;
 - опис призначення вихідної інформації;
 - періодичність рішення і обмеження по термінах видачі вихідної інформації;
 - вимоги до організації збору та передачі в обробку вхідної інформації (із зазначенням термінів її надходження), до порядку її контролю і коригування;
 - умови, при яких припиняється розв'язання комплексу задач автоматизованим способом;

Виходячи із рекомендованих ГОСТом (якщо відсутні ДСТУ по даній тематиці, то використовуються ГОСТи) розділів сформулюємо основні задачі, які потрібно виконати в наступних розділах. Здійснити детальний аналіз принципів роботи асоціативної комірки. на основі даної інформації слід розробити структуру пристрою та його схеми управління. Для розробки електричної схеми та моделювання її роботи слід обґрунтувати вибір системи автоматизованого проектування. При її виборі слід основну увагу звернути на наявність відповідних Spice-моделей мікросхем пам'яті. Основою для реалізації схеми пристрою у середовищі вибраної системи автоматизованого проектування повинна стати методика налаштування. Особливістю методики буде перевірка працездатності схеми для трьох випадків: відсутність збігів, наявність одного збігу, наявність декількох збігів.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		15

Таким чином, на основі аналізу особливостей функціонування пристроїв асоціативної пам'яті в комп'ютерних системах в даному розділі запропоновано та обґрунтовано апаратну реалізацію модуля з неповним асоціативним доступом.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		16

2 ПРОЕКТУВАННЯ ПАМ'ЯТІ З НЕПОВНИМ АСОЦІАТИВНИМ ДОСТУПОМ

2.1 Особливості побудови комірки асоціативної пам'яті

У асоціативної пам'яті елементи вибираються не за адресою, а по співпаданні значення вмісту із шаблоном. Для пам'яті з адресною організацією було введеться поняття мінімальної адресованої одиниці як порції даних, що має індивідуальну адресу. Аналогічне поняття для асоціативної пам'яті називають рядком асоціативної пам'яті. Кожний рядок містить два поля: поле тега (англ. Tag - ярлик, етикетка, ознака) і поле даних. Запит на читання до асоціативної пам'яті словами можна виразити таким чином: вибрати рядок (рядки), у яких тег дорівнює заданому значенню. Особливо відзначимо, що при такому запиті можливий один із трьох результатів: є один рядок із заданим тегом; є кілька рядків із заданим тегом; немає жодного рядка із заданим тегом. Пошук запису за ознакою - це дія, типова для звернень до баз даних, і пошук в базі часто чвляється асоціативним пошуком. Для виконання такого пошуку слід переглянути всі записи і порівняти заданий тег з тегом кожного запису. Це можна зробити і при використанні для зберігання записів звичайної адресованої пам'яті (і зрозуміло, що це вимагає досить багато часу - пропорційно кількості збережених записів). Про асоціативну пам'ять говорять тоді, коли асоціативна вибірка даних з пам'яті підтримана апаратно. При запису в асоціативну пам'ять елемент даних поміщається в рядок разом з властивим цьому елементу тегом. Для цього можна використовувати будь-який вільний рядок.

Особливістю пам'яті з неповним паралельним асоціативним доступом є здійснення процедури послідовного порівняння розрядів слова або шаблону. Логічна операція порівняння проводиться для одного (або декількох) розрядів ознаки та даних, а не для всіх розрядів одночасно, як це є в пам'яті з повним паралельним асоціативним доступом. Тобто якщо при

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		17

неповному пошуку компарація здійснюється тільки для одного розряду ознак даних. При пошуку 32 розрядних даних виконуються команди порівняння даних та ознаки в циклі від $i=1$ до 32. Таким чином, звідси випливає і основне обмеженні пристроїв пам'яті з неповним асоціативним доступом – тривалість циклу пошуку пропорційна розрядності даних. Крім того, пошук ускладнюється необхідністю вести підрахунок спів падань у в конкретних розрядах із шаблоном. Тому пам'ять даного типу має подібну структуру до пам'яті з повним асоціативним пошуком. Відмінністю полягає в наявності циклів операцій порівняння над окремими розрядами та необхідністю здійснювати їх підрахунок. Загальна тривалість операції пошуку пропорційна довжині поля ознаки (шаблону). Структура комірка даної пам'яті, що реалізує порівняння приведена на рисунку 2.1.

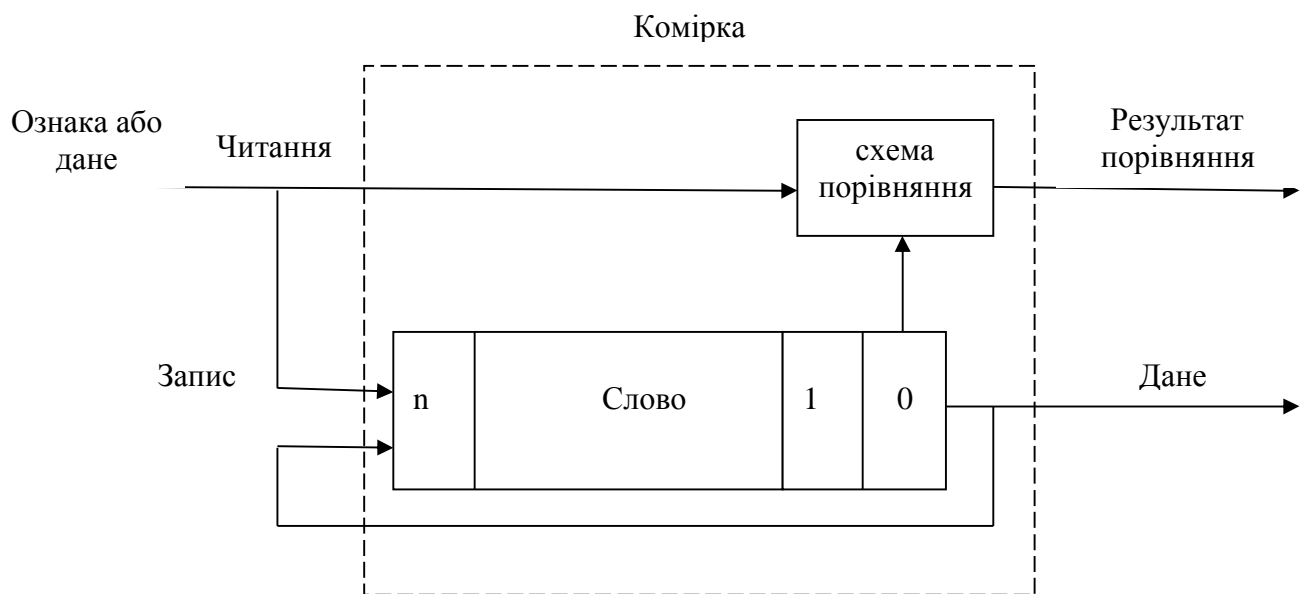


Рисунок 2.1 - Пам'ять з неповним паралельним асоціативним доступом

Прикладом пам'яті з неповним паралельним асоціативним доступом, в якій здійснюється послідовна обробка розрядів, може бути пам'ять системи STARAN.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		18

Таким чином, розглянутий процес функціонування асоціативної пам'яті з неповним доступом служить основою для розробки алгоритму пошуку та узагальненої структурної схеми пристрою. Ці завдання передбачається виконати в наступному розділі.

2.2 Проектування структури модуля асоціативної пам'яті

Проектування структури пристрою пам'яті з неповним асоціативним пошуком здійснимо відповідно з наступними міркуваннями. В ролі асоціативного накопичувача використаємо мікросхеми статичного оперативного запам'ятовуючого пристрою. Умовно-графічне позначення класичної мікросхеми оперативної пам'яті приведено на рисунку 2.2.

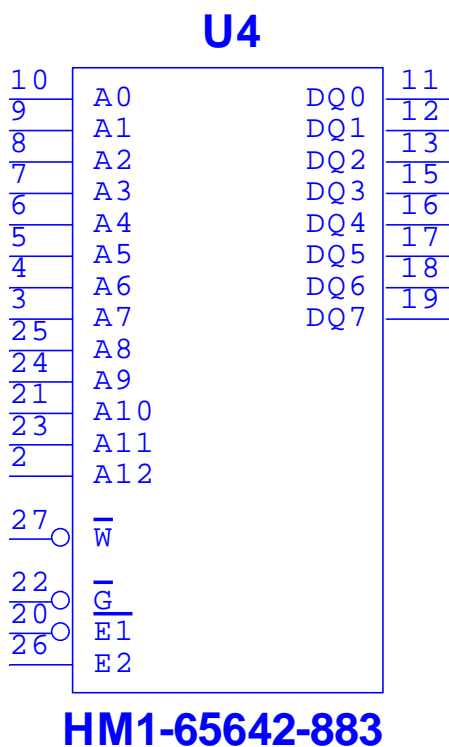


Рисунок 2.2 - Умовно-графічне позначення класичної мікросхеми оперативної пам'яті

Не вдаючись до деталізації принципів управління процесами запису та зчитування даних під управлінням керуючих сигналів \bar{W} , \bar{G} , $\bar{E1}$, $E2$, очевидним стає те, що одночасний доступ до i -го розряду всіх комірок пам'яті є неможливим. Дана вимога передбачає що для аналізу одночасного вмісту даних в першому розряді потрібно мати 2^{13} виводів, тобто 8К. Зрозуміло, що така ситуація неможлива. Тому замість аналізу першого розряду всіх комірок пропонується послідовний аналіз всіх розрядів комірки. Алгоритм роботи пристрою приведено на рисунку 2.3.

Запропонований алгоритм передбачає послідовне відкриття всіх комірок від першої до останньої ADR_{max} . Вміст кожної комірки порівнюється з ознакою OZN . Коли вміст співпадає, то адреса комірки виводиться. Дане порівняння продовжується в циклі аж до останньої комірки.

Використовуючи даний алгоритм та структуру комірки приведену на рисунку 2.1 розробимо узагальнену структуру пристрою з неповним асоціативним доступом – рисунок 2.4. Пам'ять складається з деякої кількості N комірок, в яких зберігаються дані. Кількість комірок визначається довжиною адресного слова. Кожна комірка може зберігати слово з деякою кількістю двійкових розрядів. Оскільки алгоритмом передбачено послідовний перебір адрес комірок, то в структурну схему слід ввести генератор тактових імпульсів ГТІ та лічильник адрес $Lч1$.

Сигнал на виході лічильника дозволяє послідовно задавати адреси комірок під впливом тактових імпульсів. Режимом запису даних та реєстрації адрес комірок де відбувся збіг з ознакою (реєстр ознаки) керує схема управління. В реєстр асоціативної ознаки поміщається код шуканої інформації (ознака пошуку). Розрядність цього реєстра зазвичай є меншою чи рівною довжині слова (розрядності комірки). Регістр маски дозволяє заборонити порівняння певних бітів даних комірки. Можливий також варіант, коли ці збіги не враховуються.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		20

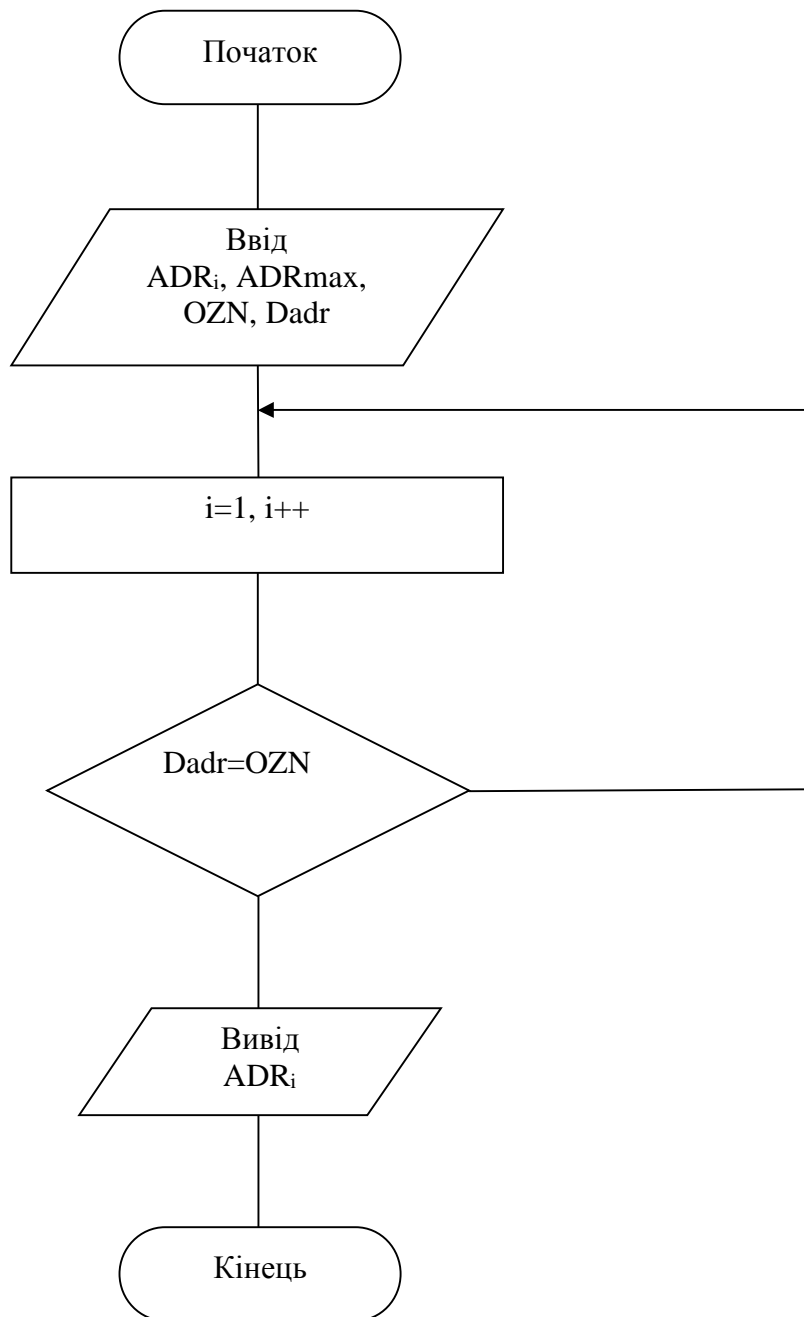


Рисунок 2.3 - Алгоритм роботи пристрою з неповним асоціативним доступом

Операцію порівняння вмісту комірки та значення ознаки виконують компаратори Кмп. Схеми порівняння, або цифрові компаратори - це арифметичні пристрої, що призначені для порівняння величин двох чисел, що подані у двійковому (двійково-десятковому) коді.

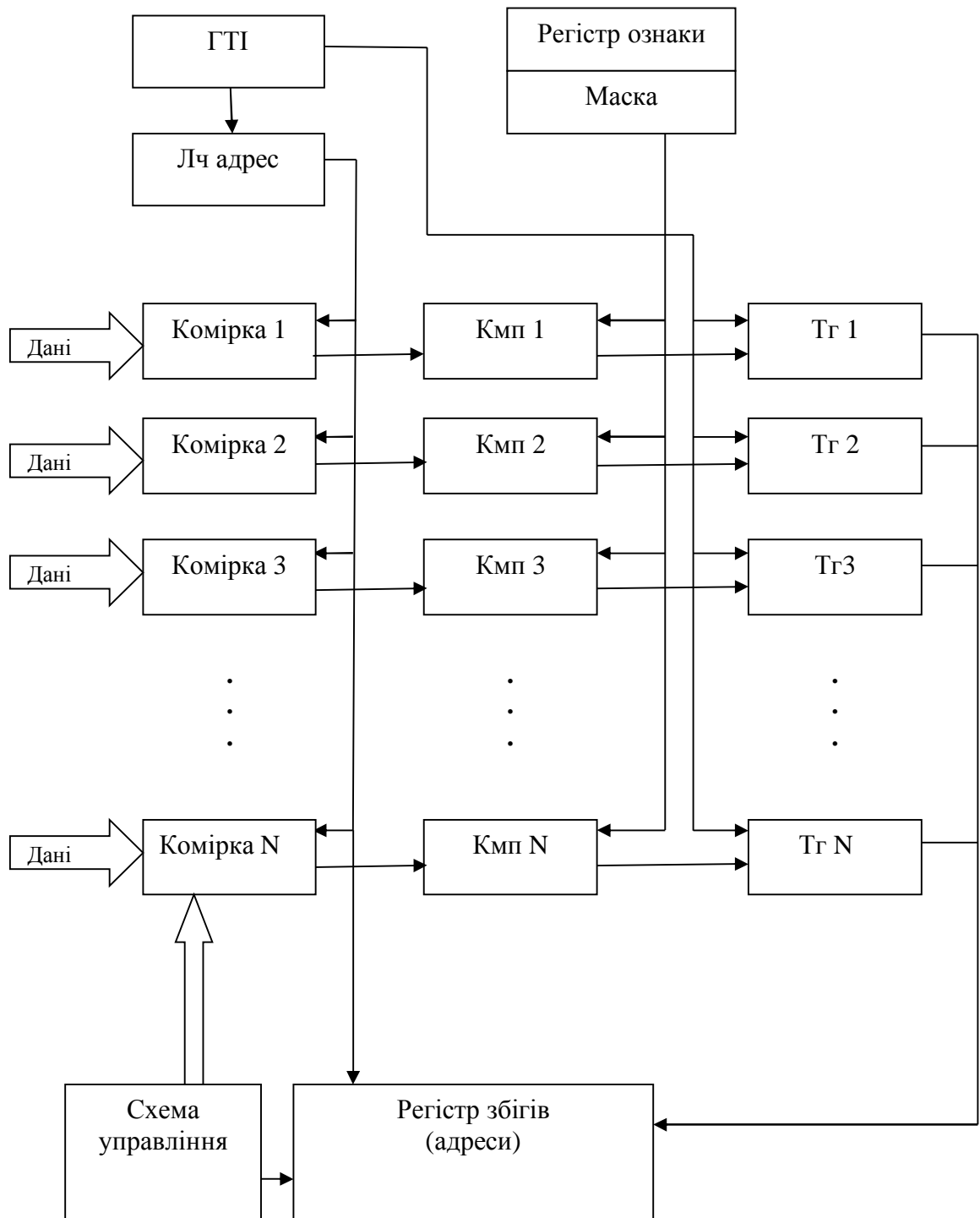


Рисунок 2.4 – Узагальнена структурна схема пристрою з неповним асоціативним доступом

Найпростіший компаратор виявляє факт рівності або нерівності двох поданих на його входи n -розрядних чисел (операндів) A і B і формує на виході однобітовий сигнал, рівності (1) або нерівності (0) цих чисел. Більш складна структура компаратора буде надлишковою і непотрібною.

Пристрій керування, який на основі зовнішніх сигналів керування здійснює запис асоціативної ознаки пошуку до відповідного регістра (зв'язок на схемі умовно упущений), встановлює маску в регістрі маски, та на основі даних порівняння на збіжність з тригера збігів здійснює запис в регістр збігів адреси комірки.

Як видно з рисунку 2.4 основним компонентом пам'яті є тригер та регістр. за допомогою тригера фіксується результат порівняння двох розрядів, який фіксується в регістрі збігів. В ролі регістру збігів (для зберігання адрес комірок) пропонується використати схему послідовного регістра – рисунок 2.5.

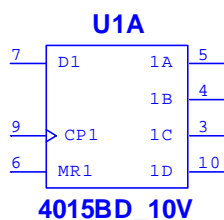


Рисунок 2.5 – Умовно-графічне позначення послідовного чотирирозрядного регістра з паралельним виходом

Регістр - це лінійка з декількох тригерів, яку застосовують для накопичення і зсуву даних. У найпростішому регістрі тригери з'єднані послідовно: вихід Q попереднього тригера передають біт даних на входи наступного. Все тактові входи С тригерів з'єднані паралельно. При такому включенні одиниця, записана у вигляді напруги низького і високого рівнів по входах першого тригера, після подачі одного тактового імпульсу перейде в другій тригер, потім під час наступного тактового імпульсу вона потрапить в третій тригер і так пройде далі, до кінця регістра. Аналогічно просуваються по регістру багаторозрядні слова.

Враховуючи, що в розрядах ознаки можуть бути присутні як лог.1, так і лог.0, і співпадання можливе як по 0, так і по 1, то структура на рисунку 2.4 потребує деталізації. Зокрема, в регістрі шаблонів можуть бути як критичні значення для пошуку, так і неважливі. Тому в регістр шаблону пропонується

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
						23
Змн.	Арк.	№ докум.	Підпис	Дата		

вносити інформацію як критичних, так і неважливих розрядів. Неважливі розряди в регістр шаблону пропонується вносити як лог.0 – рисунок 2.6. Для деталізації процесу асоціативного пошуку вводимо регістр співпадань. В цьому регістрі у розряди в яких необхідне співпадання вноситься значення лог.1, а в неважливі значення лог.0.

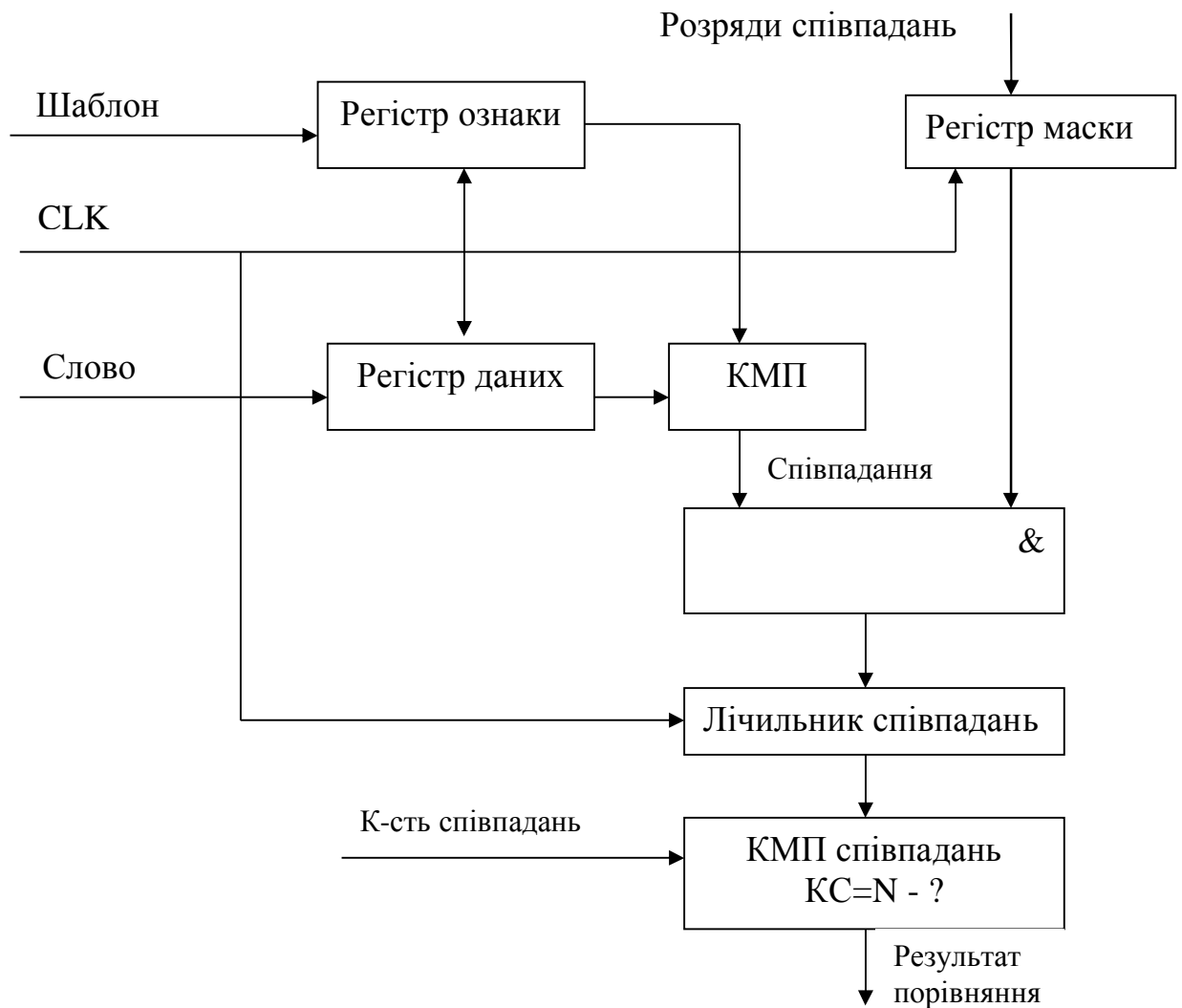


Рисунок 2.6 – Деталізована схема неповного асоціативного пошуку за значенням одного розряду

Введення в схему лічильника та компаратора співпадань дозволяє уникнути помилок в асоціативному пошуку.

Таким чином, в даному розділі розроблено структурну схему пристрою пам'яті з неповним асоціативним доступом та здійснено її деталізацію. Дану

схему пропонується реалізувати в середовищі автоматизованої системи розробки та моделювання роботи електричних схем.

2.3 Обґрунтування та вибір системи автоматизованого проектування

Розробка та моделювання роботи електронної схеми починається з ідеї, яка спочатку втілюється у вигляді структурної схеми. Швидко перевірити її працездатність і всі можливі варіанти побудови майбутньої системи можна за допомогою спеціальних програм моделювання. На функціональному рівні важливо оцінити поведінку кожного електронного компонента системи, а також забезпечити правильне їх з'єднання один з другим.

Тут можна порекомендувати програмні пакети - Proteus VSM, NI Multisim, Micro-Cap, Altium. Як правило, основою роботи таких систем є конструктор, в якому за допомогою стандартних бібліотечних "кубиків" (електронних компонентів) відтворюється структурна схема. У бібліотеці вибирають потрібний елемент, який потім переносять на схему.

Лідером серед пакетів імітаційного моделювання аналогових та цифрових схем є система автоматизованого проектування Proteus VSM [8]. Даний програмний продукт дозволяє зібрати електричну схему будь-якого пристрою та за допомогою приладів дослідити його роботу. При цьому виявляються помилки та неточності допущені як на стадії проектування, так і апаратній реалізації в середовищі пакету (рисунок 2.7).

Proteus є комерційним пакетом, що об'єднує в собі дві основні програми - ISIS та ARES . ISIS є засобом розробки і налагодження електричних схем в режимі реального часу. Пакет ARES використовується для розробки друкованих плат.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		25

виробників електронних виробів - National Semiconductor, Analog Devices, Філіпс, NXP.

Проведений аналіз пакетів імітаційного моделювання електронних схем з точки зору можливості/складність та наявність SPICE- моделей електронних компонентів, а також особливостей їх використання в навчальному процесі дозволив виділити як найприйнятніший варіант застосування пакету NI Multisim.

Аналіз застосування пакетів прикладних програм імітаційного моделювання електричних принципових схем засобів комп'ютерної техніки показав, що їх використання дозволяє студентам достатньо оперативно працювати з електричними схемами. Вони достатньо швидко можуть доопрацьовувати схеми, застосовувати широкий спектр моделей вимірювальної та тестуючої (генератори, аналізатори) техніки.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		28

3 АПАРАТНА РЕАЛІЗАЦІЯ ТА ВЕРИФІКАЦІЯ МОДУЛЯ АСОЦІАТИВНОЇ ПАМ'ЯТІ

3.1 Розробка та налаштування схеми пошуку асоціативних даних

Як було показано в другому розділі, основою роботи схеми з неповним паралельним асоціативним пошуком є схема порозрядного цифрового компаратора. Формалізованим описом її роботи є формула 3.1.

$$Y = a_i b_i + \bar{a}_i \bar{b}_i. \quad (3.1)$$

У відповідності з даною формулою (функція Виключаюче АБО) розроблено електричну схему та внесено в неї індикуючі елементи X4, X5, X6 та X7 для налаштування та виключення помилок – рисунок 3.1.

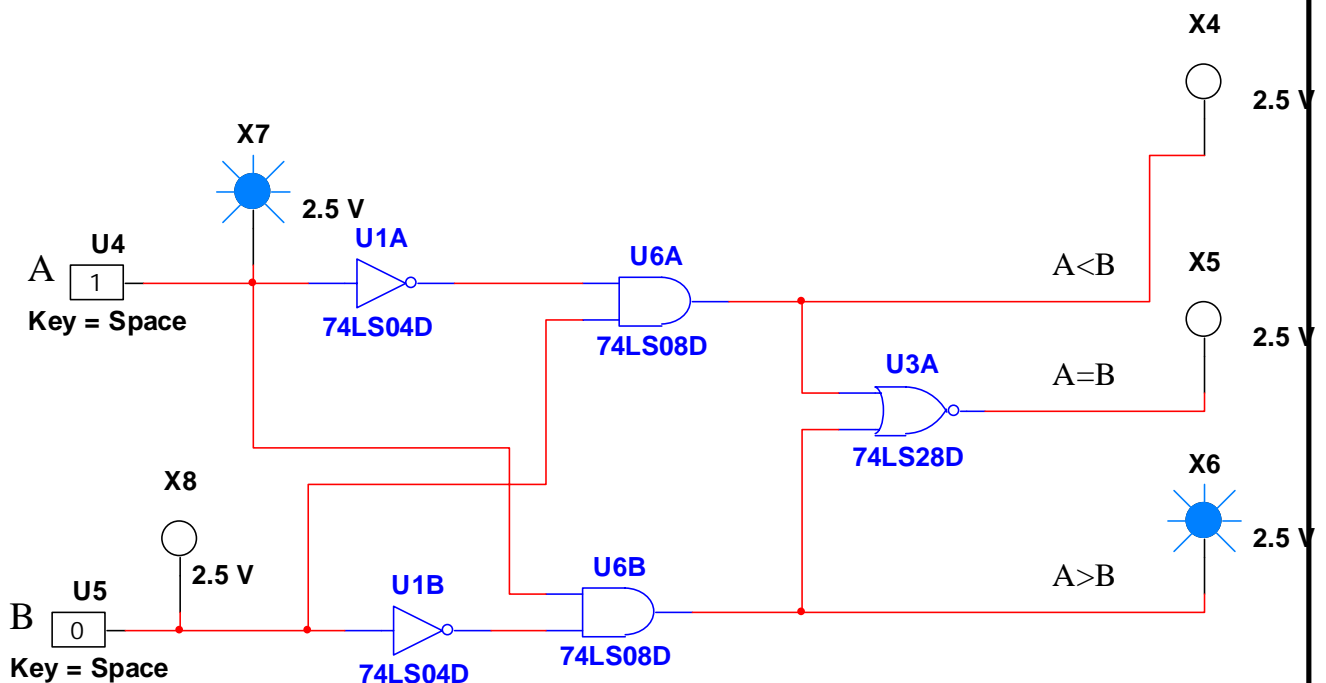


Рисунок 3.1 – Електрична схема однорозрядного цифрового компаратора

Наступним основним компонентом деталізованої схеми 2.6 є регістри ознаки (шаблону), даних та маски. Для моделювання роботи електричної схеми виберемо восьмирозрядний регістр 74LS164D. В принципі кількість розрядів регістру не має принципового значення, головне, щоб співпадала їх кількість. Схема включення регістру приведена на рисунку 3.2. Його алгоритм роботи описано в таблиці 3.1.

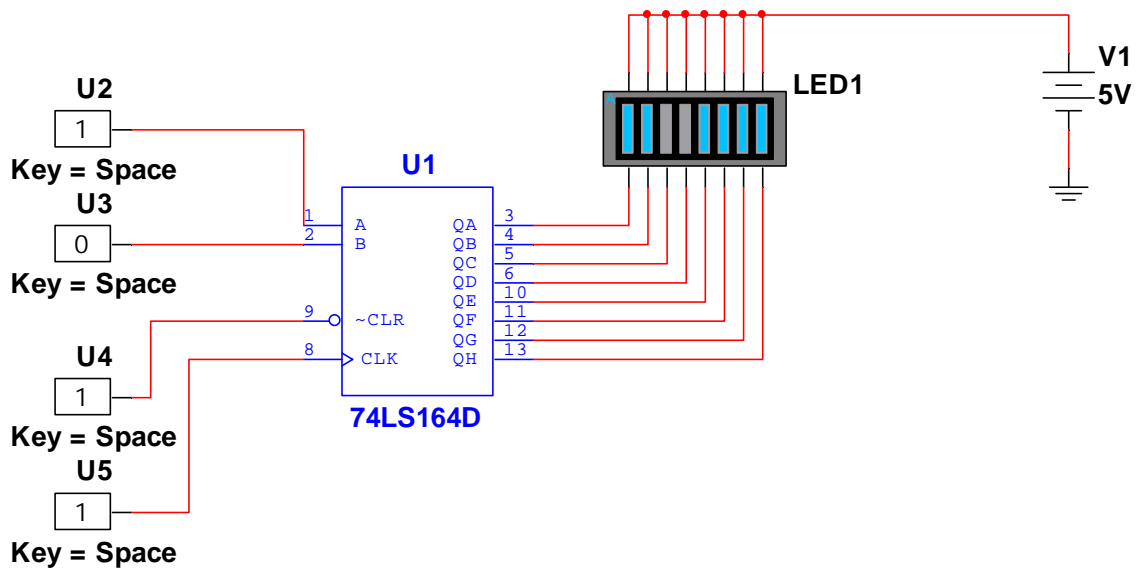


Рисунок 3.2 – Схема включення послідовного восьмирозрядного регістру 74LS164D

Таблиця 3.1 – Таблиця переходів восьмирозрядного регістру 74LS164D

Як видно зі схеми регістру 74LS164D його впевнена робота буде при паралельному з'єднанні входів А та В (виводи 1, 2).

Розробку та налаштування схеми проведемо для двох випадків. В першому передбачемо, що вміст досліджуваного регістру містить значення регістру ознаки (шаблону), а в другому не містить. Для ознаки вважаємо актуальне значення 1011, що міститься в перших чотирьох розрядах регістру ознаки. Тоді код, що заноситься в нього буде рівний 10110000.

Для першого випадку прийемо значення регістру даних (слово) рівним 10110011. Для другого випадку код слова, що не співпадає з ознакою прийемо рівним 11111111 – рисунок 3.3.

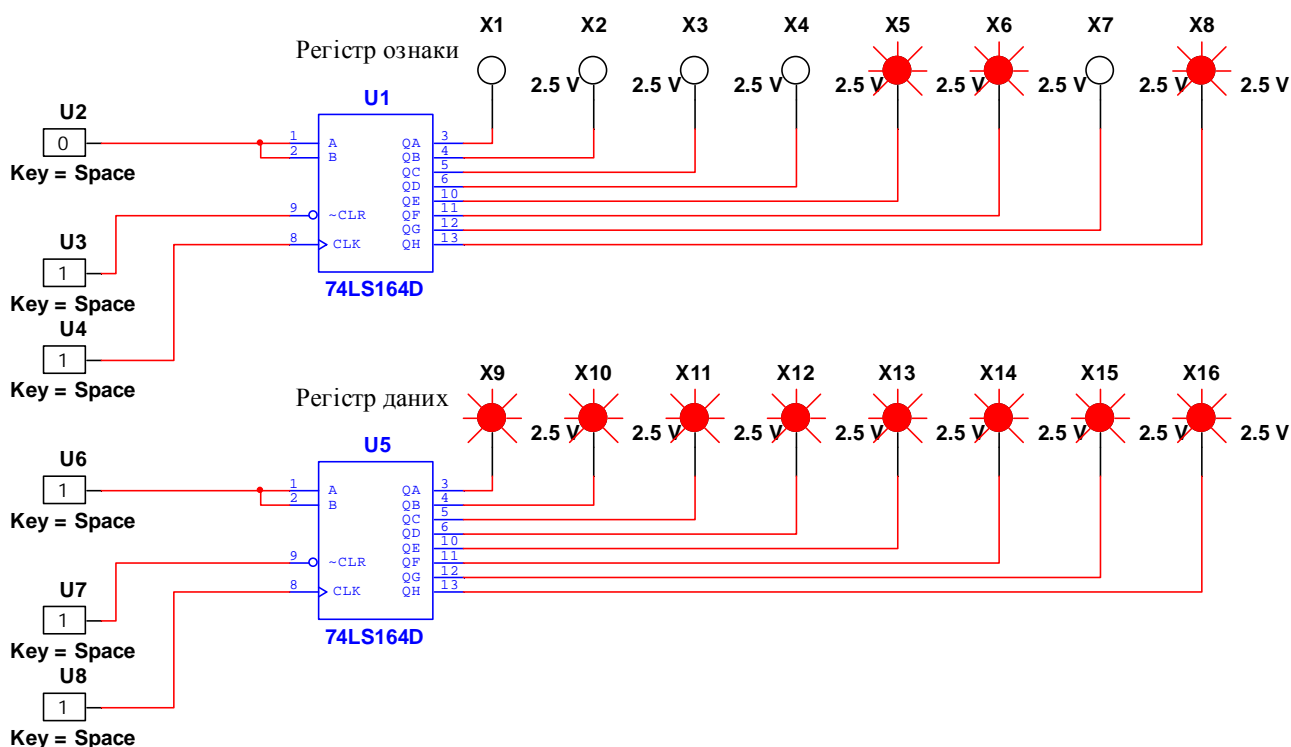


Рисунок 3.3 – Встановлення регістрів ознаки та даних для першого випадку

В дану схему введено введені індикатори X1-X16, які дозволяють контролювати значення сигналів на виході регістрів U1, U5. Синтез схеми однорозрядного суматора та регістрів ознаки та даних, тобто схеми послідовного асоціативного пошуку приведено на рисунку 3.4.

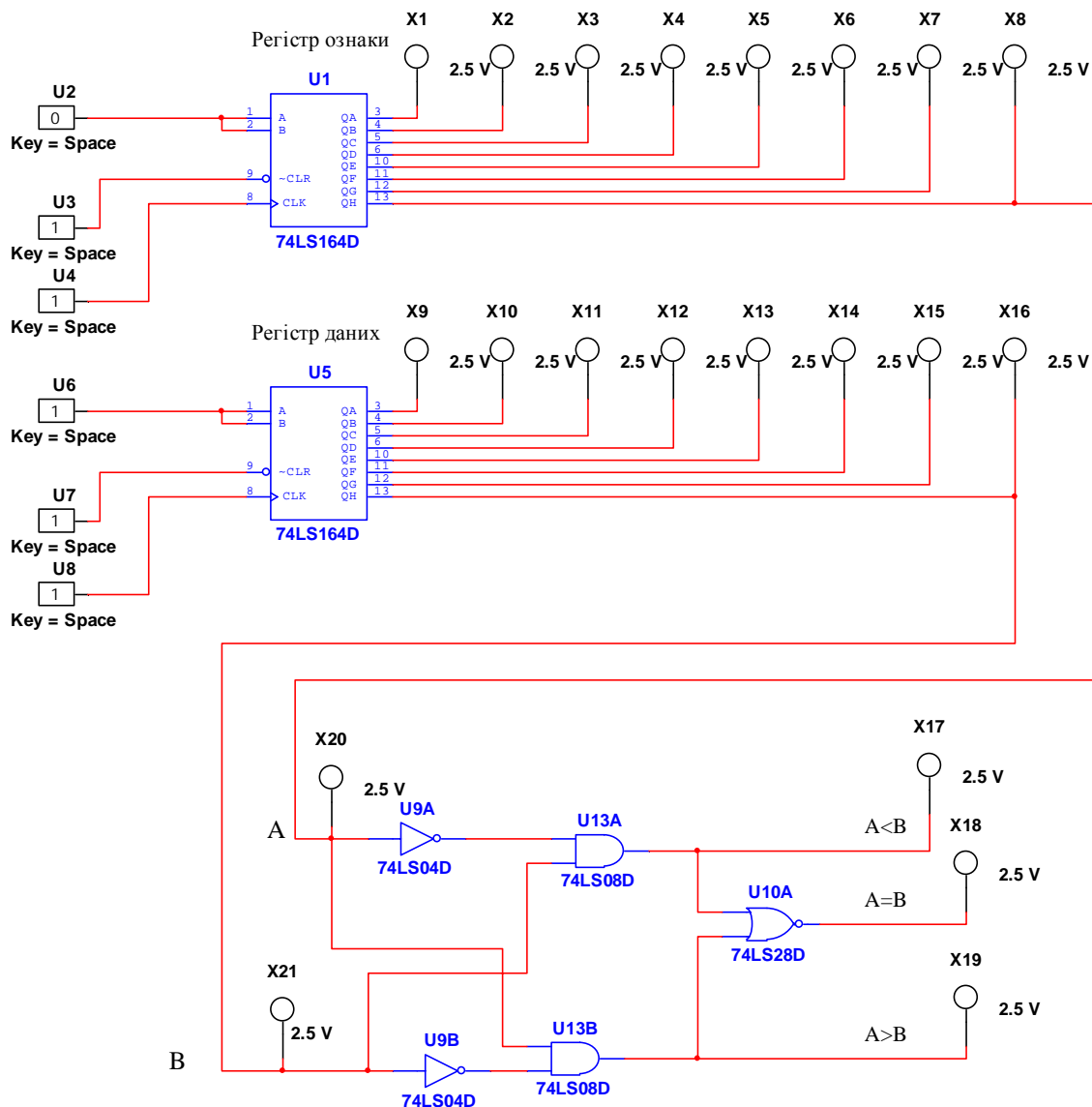


Рисунок 3.4 – Схема пошуку асоціативних даних

Налаштування схеми проводиться в режимі симуляції. Для цього виводи восьмого розряду регістрів U1 та U5 під'єднуємо до входів A та B одно розрядного компаратора. Результат налаштування контрольного прикладу приведено на рисунку 3.5, 3.6. На рисунку 3.5 приведені результати налаштування для старшого розряду кодів 1011000 (ознака) та 11111111 (слово даних).

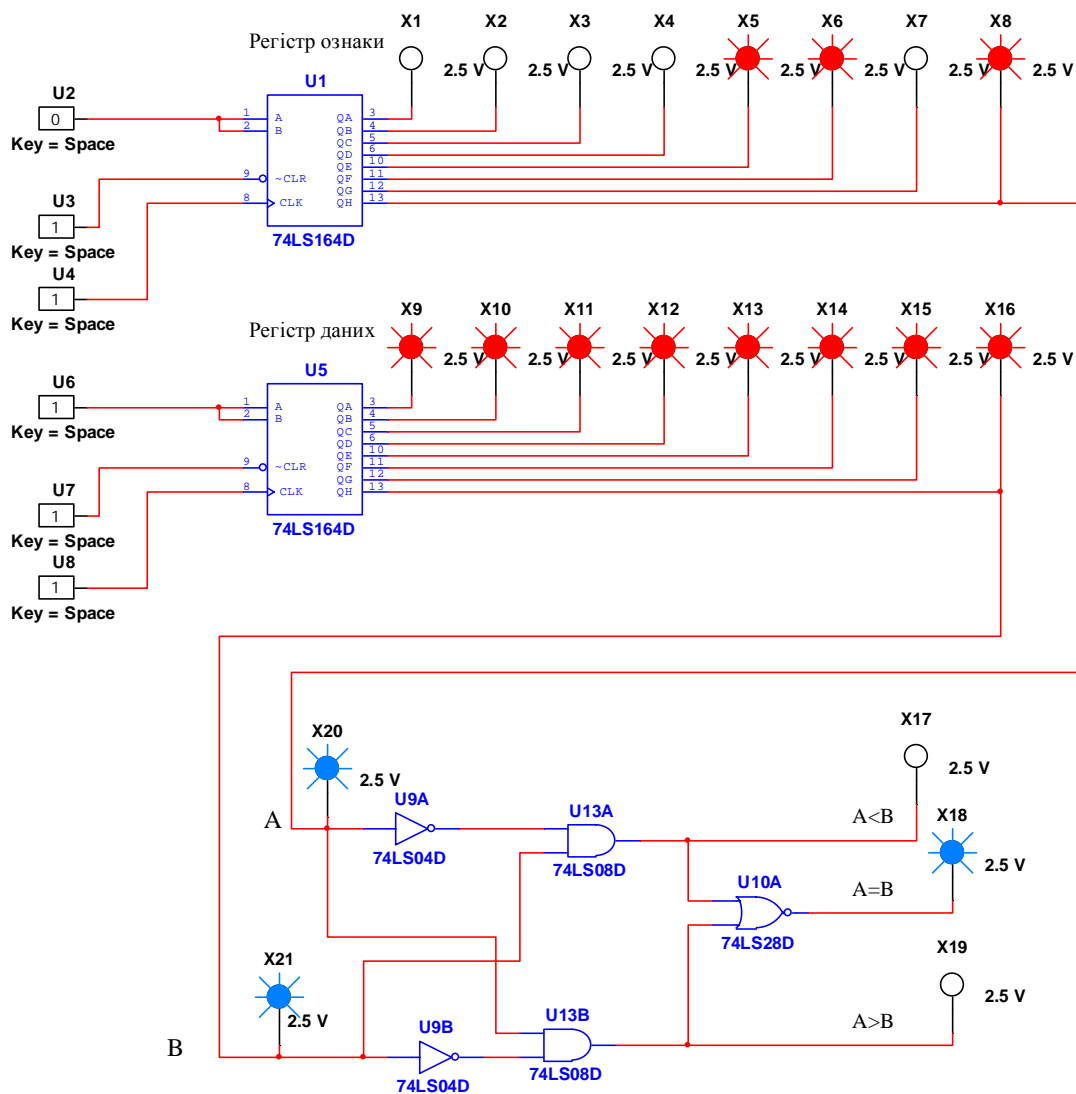


Рисунок 3.5 – Результат порівняння старшого розряду контрольного прикладу

Як видно з рисунку 3.5, на входи А та В однорозрядного компаратора подано дві лог.1 – свічення індикаторів X20 та X21. Результат порівняння – лог.1 з'явився на виході компаратора (A=B) U10A та X25. Виходи A<B та A>B перебувають в стані лог.0 – індикатори X17 та X19.

Результат порівняння другого розряду контрольного прикладу приведено на рисунку 3.6.

3.2 Модуль оперативної пам'яті з неповним асоціативним доступом

Схеми пошуку послідовного пошуку співпадань значень розрядів в регістрах ознаки та даних мало для визначення асоціативних даних. Це пояснюється тим, що результатами пошуку є співпадання в конкретних розрядах, тому в структурну схему вводиться регістр маски. Стосовно нашого прикладу значення регістру маски має бути рівним 11110000 – рисунок 3.6. Тобто повинні співпасти перші чотири розряди.

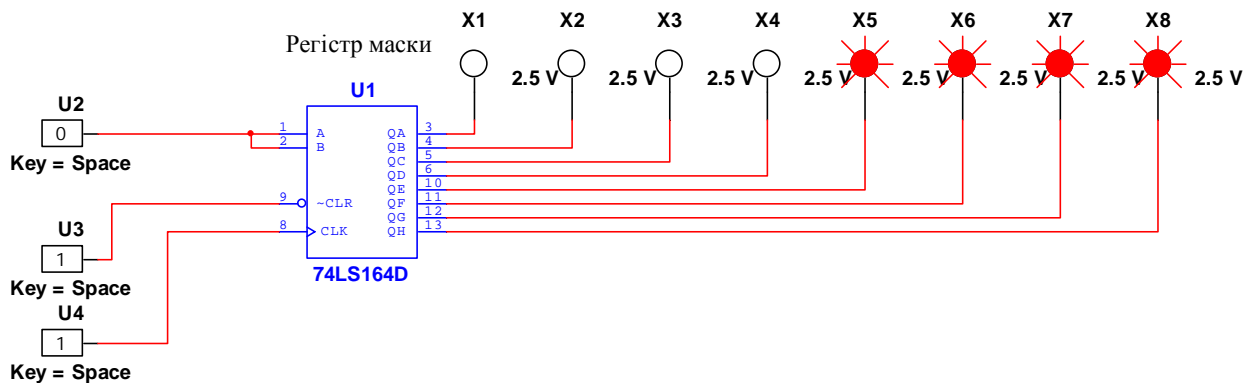


Рисунок 3.6 – Значення регістру маски

Виходячи з того, що в регістр маски занести іншу інформацію крім лог.0 та лог.1 неможливо, то на виході елемента & (рисунок 2.4) можливі і інші співпадання. Для уникнення помилок при визначенні асоціативних даних необхідно реєструвати кількість співпадань. при цьому вважається, що їх кількість повинна бути більше-рівна кількості лог.1 в регістрі маски. Для реалізації даної операції використаємо двійковий лічильник. Для аналізу восьми розрядного коду достатньо використання чотирьохрозрядного лічильника, наприклад 74STD93 (155IE5).

Мікросхема К155IE5, КМ155IE5 (7493), як і попередні, є чотирирозрядним асинхронним лічильником імпульсів. Його умовно-

графічне позначення, схема включення та позначення виводів приведені на рисунку 3.7. Лічильник K155IE5, KM155IE5 (7493) має дві частини: дільник на 2 (вихід Q0, тактовий вхід C0) і дільник на вісім, (виходи Q1 - Q3; тактовий вхід C1).

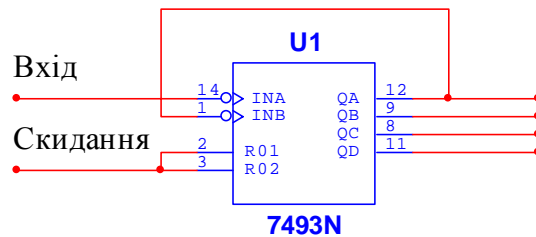


Рисунок 3.8 - Умовно-графічне позначення, схема включення та позначення виводів двійкового лічильника

Для моделювання сигналів на виході однорозрядного компаратора використаємо послідовний регістр, зокрема 74LS164D.

Для визначення порівняння кількості з маскою викоистаємо цифровий компаратор, який призначений для порівняння двох двійкових чисел. Як правило, компаратор має входи нарощування розрядності, що дозволяє збільшувати розрядність порівнюваних чисел. Роботу цифрового компаратора можна представити таким словесним описом:

- якщо число A більше числа B, то активний рівень присутній на виході «A > B»;
- якщо число A менше числа B, то активний рівень присутній на виході «A < B»;
- якщо число A дорівнює числу B, то активний рівень формується на однойменному виході.

Якщо використовується одиночна мікросхема, то для її належного функціонування достатньо подати одиницю на вхід $A = B$, а стани входів

$A < B$ і $A > B$ не важливі, на них можна подати як нуль, так і одиницю –
 рисунок 3.9.

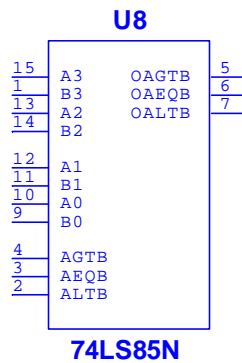


Рисунок 3.9 – Умовно-графічне позначення компаратора 74LS85N

З врахуванням вищесказаного, електрична схема підрахунку співпадань
 набуде вигляду – рисунок 3.9.

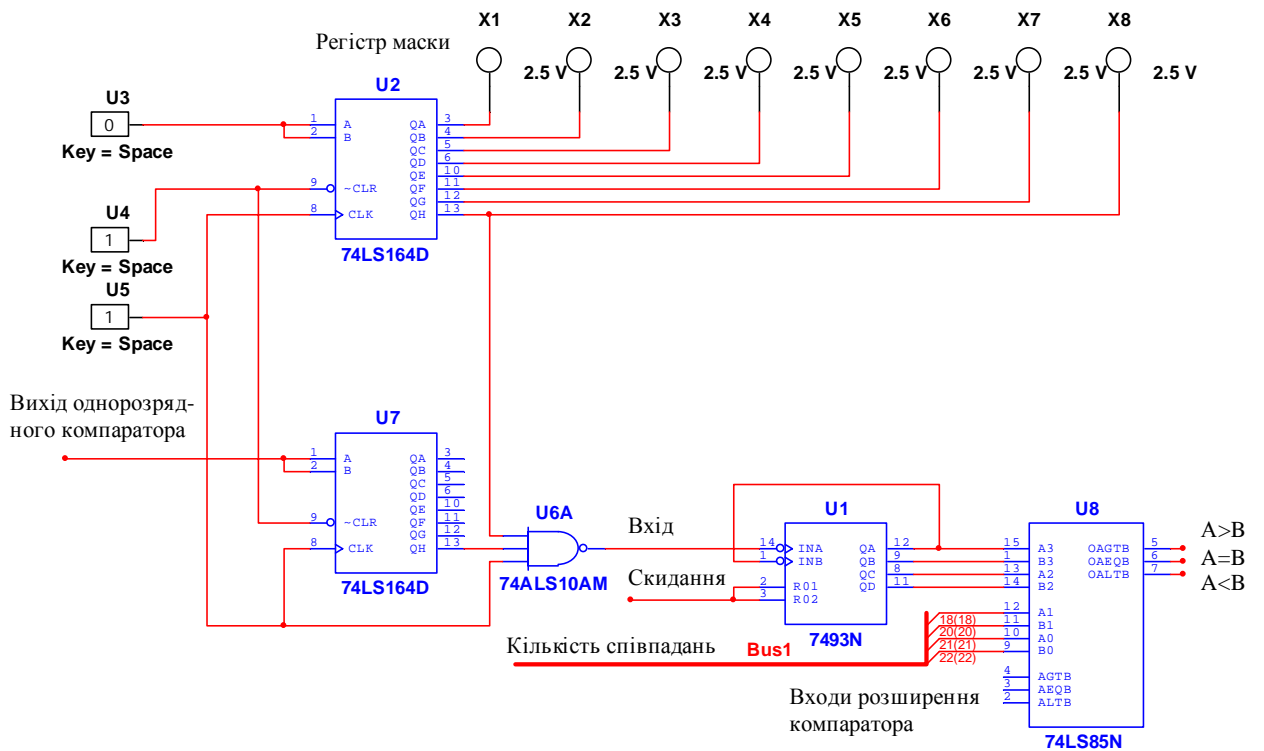


Рисунок 3.10 - Електрична схема підрахунку співпадань

Синтез схеми пошуку асоціативних даних в розрядах та підрахунку кількості співпадань забезпечило розробку схеми неповного асоціативного пошуку.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		38

ВИСНОВКИ

В результаті виконання дипломного проекту на тему «Оперативний запам'ятовуючий пристрій з неповним асоціативним доступом» отримано наступні результати.

1. Проведено аналіз сучасних тенденцій застосування модулів пам'яті в комп'ютерних системах. Розглянуто методи побудови модулів асоціативної пам'яті. Обґрунтовано вибір компонентної бази для реалізації поставлених задач.

2. З метою реалізації задачі спроектовано пам'ять з неповним асоціативним доступом. Розглянуто особливості побудови комірки асоціативної пам'яті.

3. Обґрунтовано та розроблено структуру модуля асоціативної пам'яті. В ролі асоціативного накопичувача використаємо мікросхеми статичного оперативного запам'ятовуючого пристрою. Приведено Алгоритм роботи пристрою. Запропонований алгоритм передбачає послідовне відкриття всіх комірок від першої до останньої. Вміст кожної комірки порівнюється з ознакою OZN. Коли вміст співпадає, то адреса комірки виводиться. Використовуючи даний алгоритм та структуру комірки розроблено структуру пристрою з неповним асоціативним доступом. Оскільки алгоритмом передбачено послідовний перебір адрес комірок, то в структурну схему введено генератор тактових імпульсів та лічильник адрес. Введення в схему лічильника та компаратора співпадань дозволяє уникнути помилок в асоціативному пошуку.

4. Релізовано модуль оперативної пам'яті з неповним асоціативним доступом. Для аналізу восьми розрядного коду використано чотирьохрозрядний лічильник 74STD93. Для моделювання сигналів на виході однорозрядного компаратора використано послідовний регістр 74LS164D.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		39

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Arduino Language Reference: веб-сайт.URL:
<http://www.arduino.cc/en/Reference/HomePage> (дата звернення: 07.03.2019).
2. Arduino LiquidCrystal I2C: веб-сайт. URL:
<https://github.com/fdebrabander/Arduino-LiquidCrystal-I2C-library> (дата звернення: 25.02.2019).
3. ATmega128 Datasheet – Atmel Corporation: веб-сайт.URL:
<http://www.gaw.ru/pdf/Atmel/AVR/atmega128.pdf> (дата звернення: 20.05.2019).
4. C++ Сайт документація бібліотеки: веб-сайт. URL:
<http://www.cplusplus.com/reference/cstring/?kw=string.h> (дата звернення: 20.04.2019).
5. I2C інтерфейс: веб-сайт. URL: http://itt-ltd.com/reference/ref_i2c.html
 (дата звернення: 15.05.2019).
6. LCD Datasheet: веб сайт. URL: <http://www.alldatasheet.com/datasheet-pdf/1358370/LCD.html> (дата звернення: 23.02.2019).
7. MCP23017 Datasheet: веб-сайт. URL:
<http://ww1.microchip.com/downloads/en/devicedoc/20001952c.pdf> (дата звернення: 13.04.2019).
8. Баранов В. Н. Применение микроконтроллеров AVR. / Додэка-XXI, 2004. 288 с
9. Баранов В.Н. Применение микроконтроллеров AVR: схемы, алгоритмы, программы. / Издательство: Додэка, 2004. 289 с.
10. Белов, А. В. Конструювання пристроїв на мікроконтролерах. / СПБ Наука і Техніка, 2005. С. 9–149.
11. Бхаргава А. Грокаем алгоритмы. Иллюстрированное пособие для программистов и любопытствующих / пер. с англ. Е. Матвеев. Питер, 2017. С 20-43.
12. Гоноровський, І. С. Ардуїно і програмування: Підручник для вузів. / Програмування, 2012. Т.4. 512 с.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		40

13. Гребнев В. В. Микроконтроллеры семейства AVR фирмы Atmel. / Издательство: РадиоСофт, 2002. С. 110–138.
14. Иванов Ю. І. Мікропроцесорні пристрої систем управління: Навчальний посібник / Видавництво ТРТУ, 2005. С. 135–180.
15. Каштелян І.В, Данило А.М. Мікроконтролерні системи – складова розподілених систем автоматизації: зб. матеріалів доп. учасн. наук.-практ. конф. Тернопіль: Тернопіль 2019. С.16.
16. Коффон Д. Технические средства микропроцессорных систем; Практический курс. / Пер. с англ. Д. Коффон. Мир, 1983. 178с
17. Майоров В. Г., Гаврилов А. И. Практический курс программирования микропроцессорных систем / Машиностроение, 2009. 272с.
18. Методичні вказівки до оформлення курсових проектів, звітів про проходження практики, випускних кваліфікаційних робіт для студентів спеціальності «Комп'ютерна інженерія» /І.В.Гураль, Л.О.Дубчак / Під ред. О.М,Березького . Тернопіль: ТНЕУ, 2019. 33с.
19. Методичні рекомендації до виконання дипломного проекту з освітньо-кваліфікаційного рівня “Бакалавр” напряму підготовки 6.050102 «Комп'ютерна інженерія» фахового спрямування «Комп'ютерні системи та мережі» / О.М. Березький, Л.О.Дубчак, Р.Б. Трембач, Г.М. Мельник, Ю.М. Батько, С.В. Івасьєв / Під ред. О.М. Березького. - Тернопіль: ТНЕУ, 2013.– 65с.
20. Монк С. Програмируем Arduino. Профессиональная работа со скетчами / Питер, 2015. С. 25-55.
21. Новицкий А. Синхронный последовательный интерфейс SPI в микроконтроллерах от «А до Я» и его реализация на примере ADuC70xx фирмы analog devices: Компоненты и технологии. 2009. N 3.С. 37-48.
22. Паздрій І.Р. Методичні вказівки до написання техніко-економічного розділу дипломних проектів освітньо-кваліфікаційного рівня «бакалавр» – Тернопіль: Економічна думка 2014.- 36 с.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		41

23. Пархоменко Д. А. Розробка радіоелектронних схем на основі мікроконтролерів (на прикладі AVR мікроконтролерів фірми Atmel): методичний посібник до курсу "Проектування радіоелектронних схем" для студентів радіофізичного факультету / Радіофізичний факультет КНУ ім. Тараса Шевченка, 2013. С. 35–74.

24. Послідовний інтерфейс SPI: веб-сайт. URL: <http://www.gaw.ru/html.cgi/txt/interface/spi/index.htm> (дата звернення: 27.04.2019).

25. Сайт програмного середовища Fritzing: веб сайт. URL: <http://fritzing.org/learning/get-started/> (дата звернення 21.03.2019).

26. Сайт програмного середовища компанії Arduino: веб-сайт. URL:<https://www.arduino.cc> (дата звернення: 23.02.2019).

27. Соммер, У. Программирование микроконтроллерных плат Arduino/Freduino / пер. с нем. Букирева В. Петербург, 2012. 241 с.

					БР.КСМ 07117/15.00.00.000 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		42