МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Тернопільський національний економічний університет
Факультет комп'ютерних інформаційних технологій
Кафедра комп'ютерної інженерії

Загорулько Артур Андрійович

Надоперативна пам'ять на основі архітектури розподіленого регістрового файлу з керованою комутацією / Excessive memory based on the architecture of a distributed registry file with controlled switching

спеціальність: 6.050102 - Комп'ютерна інженерія
освітньо-професійна програма - Комп'ютерні системи та мережі

Випускна кваліфікаційна робота

Виконав: студент групи КСМ-41/1
Загорулько А.А.
_____

Науковий Керівник
к.т.н. Маслияк Б.О
_____

Тернопіль – 2019

Тернопільський національний економічний університет
Факультет комп'ютерних інформаційних технологій
Кафедра комп'ютерної інженерії
Освітній ступінь "бакалавр"
напрям підготовки: 123 - Комп'ютерна інженерія
фахове спрямування - Комп'ютерна інженерія

"Затверджую"
Завідувач кафедри
комп'ютерної інженерії
д.т.н., проф. О.М.Березький
_____
"____"_____2018 р.

З А В Д А Н Н Я
НА БАКАЛАВРСЬКУ РОБОТУ СТУДЕНТУ
Загорулько Артуру Андрійовичу
(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) "Надоперативна пам'ять на основі архітектури розподіленого регістрового файлу з керованою комутацією"

керівник проекту Маслияк Богдан Олексійович , к.т.н., доцент
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом ТНЕУ від 14 листопада 2018 р. №804

2. Строк подання студентом проекту (роботи) 15.05. 2019 року

3. Вихідні дані до проекту (роботи) Технічне завдання

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити)

- здійснити аналіз особливостей побудови та застосування пристроїв пам'яті;
- розглянути структури запам'ятовуючих пристроїв;
- здійснити аналіз програмного та апаратного забезпечення сучасних систем автоматизованого проектування електронних пристроїв;
- запропонувати та обґрунтувати структуру бездротового заряджаючого пристрою;
- розробити структурні схеми основних компонентів бездротового заряджаючого пристрою;
- розробити та налаштувати електричні схеми основних компонентів

бездротового заряджаючого пристрою.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

– структурна схема бездротового заряджаючого пристрою;

– структурна електрична схема модуля знаходження кореня числа за модулем.

6. Консультанти розділів проекту

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Техніко-економічний розділ	Паздрій І.Р., доцент		
Нормоконтроль	Гураль І.В.Є викладач		
Перевірка на плагіат	Мельник Г.М., доцент		

7. Дата видачі завдання «20» жовтня 2018 р.

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проекту	Строк виконання етапів проекту	Примітка
1	Огляд та аналіз предметної області	25.10.2018 – 1.01.2019	
2	Вибір та обґрунтування структури регістрового файлу та його інтерфейсу	2.01.2019 – 14.02.2019	
3	Апаратна реалізація компонентів регістрового файлу	15.02.2019 – 5.05.2019	
4	Техніко-економічний розділ	6.05.2019 – 14.05.2019	

Студент_____ Загорулько А.А.
(підпис) (прізвище та ініціали)

Керівник проекту, доц. _____ Маслияк Б.О.
(підпис) (прізвище та ініціали)

РЕЗЮМЕ

Дипломний проект містить 59 сторінок пояснюючої записки, 17 рисунків, 8 таблиць, 1 додаток. Обсяг графічного матеріалу 2 аркуші формату А3.

Метою дипломної роботи є апаратна реалізація основних компонентів пристрою дешифрації інформації за несиметричним криптоалгоритмом Рабіна.

Методи досліджень – методи побудови моделей та електричних схем цифрових пристроїв.

В дипломній роботі, на основі аналізу стандартів підготовки фахівців з комп’ютерної інженерії, програм курсу захист інформації в комп'ютерних мережах та комп’ютерна схемотехніка, навчальної та наукової літератури поставлена та реалізована задача розробки апаратної реалізація основних компонентів пристрою дешифрації інформації за несиметричним криптоалгоритмом Рабіна. В роботі послідовно розглянуті питання сучасних тенденцій циркуляції інформаційних потоків та актуальність застосування симетричних та несиметричних криптосистем. Аналіз методів побудови апаратно-програмних систем захисту показав трудомісткість, але разом з тим перспективність апаратної реалізації. Здійснено обґрунтування вибору напрямку дослідження та розроблено структури апаратного модуля дешифрації та його основних компонентів. В середовищі NI Multisim здійснена схеми апаратна реалізація та верифікація електричних схем знаходження модуля числа, підкореневого виразу та знаходження кореня;

Ключові слова: МІКРОСХЕМА, СТРУКТУРНА СХЕМА, ЕЛЕКТРИЧНА СХЕМА, КОМБІНАЦІЙНА ЛОГІКА, ШИФРАТОР, ЛІЧИЛЬНИК, МУЛЬТИПЛЕКСОР, ПРОГРАМОВАНА ЛОГІЧНА МАТРИЦЯ, КОНТРОЛЕР.

SUMMARY

The diploma project contains 59 pages of explanatory note, 17 figures, 8 tables, 1 appendix. Volume of graphic material 2 sheets of A3 format.

The purpose of the thesis is the hardware implementation of the main components of the information decryption device by the asymmetric Rabin cryptoalgorithm.

Research methods - methods of building models and electrical circuits of digital devices.

In the thesis, based on the analysis of training standards in computer engineering, course programs information protection in computer networks and computer circuitry, educational and scientific literature, the task of developing hardware implementation of the main components of the device for decrypting information by asymmetric cryptoalgorithm Rabbi. The issues of modern tendencies of information flows circulation and urgency of application of symmetric and asymmetric cryptosystems are consistently considered in the work. Analysis of methods for building hardware and software protection systems showed the complexity, but at the same time the viability of hardware implementation. The choice of the direction of research is substantiated and the structures of the hardware decryption module and its main components are developed. In the NI Multisim environment the schemes of hardware implementation and verification of electric schemes of finding the modulus of a number, subroot expression and finding the root are carried out;

Keywords: MICROSCHEME, STRUCTURAL SCHEME, ELECTRICAL SCHEME, COMBINATION LOGIC, CODER, COUNTER, MULTIPLEXOR, PROGRAMMED LOGGING.

ТЕХНІЧНЕ ЗАВДАННЯ

1. НАЙМЕНУВАННЯ ТА ОБЛАСТЬ ЗАСТОСУВАННЯ

1.1. Надоперативна пам'ять на основі архітектури розподіленого регістрового файлу з керованою комутацією

1.2 Область застосування – комп’ютерні системи та спеціалізовані комп’ютерні системи із застосуванням мікроконтролерів.

2. ОСНОВА ДЛЯ РОЗРОБКИ

Основою для розробки є завдання на дипломний проект, затверджене кафедрою комп’ютерної інженерії факультету комп’ютерних інформаційних технологій Тернопільського національного економічного університету.

3. ПРИЗНАЧЕННЯ РОЗРОБКИ

Метою дипломного проекту є апаратна реалізація пристрою надоперативної пам'яті на основі архітектури розподіленого регістрового файлу з керованою комутацією.

4. ДЖЕРЕЛА РОЗРОБКИ

Джерелами даної розробки є матеріали освітньо-професійної програми підготовки фахівців з комп’ютерної інженерії, програми курсів проектування комп'ютерних систем, архітектура комп'ютера, комп’ютерна схемотехніка, комп'ютерна електроніка, науково-технічна література, технічна документація на електронні компоненти, результати науково-дослідних робіт, журнали.

5. ТЕХНІЧНІ ВИМОГИ

5.1 Функціональні вимоги до апаратних засобів:

5.1.1 Цифрові пристрої та режими їх функціонування повинні відповідати завданням проекту;

5.1.2 Реалізація завдань повинна здійснюватися в програмному середовищі NI Multisim;

5.2 Вимоги до параметрів - напруга живлення електричних схем – 5 В;

5.3 Вимоги до надійності.

5.3.1 Середній час безвідмовної роботи повинен складати 10000 годин.

5.4 Вимоги безпеки.

5.4.1 Технічне забезпечення системи повинна відповідати вимогам електробезпеки (ГОСТ 25.861-85).

5.5 Умови експлуатації.

5.5.1 Мікроклімат в приміщеннях повинен відповідати нормам виробничого мікроклімату для обчислювальних центрів (ГОСТ 12.1.005-88).

5.5.2 Для нормальної роботи системи необхідно підтримувати (по ГОСТ 23.865-85):

- температуру повітря в межах від +18°С до +28°С;
- відносну вологість повітря при +25°С в межах від 40% до 80%;
- атмосферний тиск 760±25 мм.рт.ст.

5.2 Вимоги до програмної системи.

5.2.1 Функціональні вимоги.

5.2.1.1 Забезпечення збору інформації: вхідна інформація отримується у відповідності із завданням та вказівками викладача.

5.2.1.3 Вихідна інформація:

- формування інформації здійснюється в реальному часі;
- вихідна інформація виводиться у текстовому, табличному, графічному (графіки, діаграми, структурні, функційні та електричні схеми) форматах.

5.2.3 Вимоги до програмного забезпечення:

5.2.3.1 Операційна система сімейства Windows;

5.2.3.2 Програма NI Multisim14.

5.2.4 Вимоги до програмної документації

5.2.4.1 Розроблена електрична схема модуля надоперативної пам'яті на основі архітектури розподіленого регістрового файлу з керованою комутацією та його основних компонентів, моделі електричних схем.

7. ПОРЯДОК КОНТРОЛЮ

7.1 Представлення дипломного проекту на попередній захист.

7.2 Представлення дипломного проекту на захист.

Завдання прийняв до виконання _____ Загорулько А.

(підпис) П.І.П. студента

Керівник дипломного проекту _____ Маслияк Б.О.

(підпис)

ЗМІСТ

Вступ……..... 10

1 Особливості побудови та функціонування пристроїв пам'яті ……. 13

1.1 Застосування оперативної пам'яті в комп'ютерних системах …... 13

1.2 Особливості побудови пристроїв надоперативної пам'яті ..……. 17

1.3 Обґрунтування вибору структури пам'яті та постановка задачі …. 20

2 Проектування пристрою надоперативної пам'яті ..…….. 23

2.1 Структура пристрою надоперативної пам'яті …….……. 23

2.2 Проектування інтерфейсу обміну інформацією між операційними пристроями та локальним регістровим файлом …… 27

2.3 Структура контролера мережі та локального регістрового файлу . 30

3 Апаратна реалізація та верифікація пристрою надоперативної пам'яті . 34

3.1 Розробка схеми комутатора комунікаційної мережі та її налаштування …… 34

3.2 Апаратна реалізація схеми управління локальним регістровим файлом ……..…..…… 41

4 Техніко-економічний розділ ……..…..… 46

4.1 Розрахунок витрат на розробку апаратного модуля …….…… 46

4.2 Визначення експлуатаційних витрат ...……..…….. 52

4.3 Розрахунок зведених економічних показників …….. 53

Висновки ……..…… 55

Список використаних джерел ……..…….. 56

Додаток А Довідка про використання ……..……... 59

					БР.КСМ. 07088/15.00.00.000ПЗ		
Зм.	*Арк*	*№ докум.*	*Підпис*	*Дата*			
Розробив		Загорулько А.			НАДОПЕРАТИВНА ПАМ'ЯТЬ НА ОСНОВІ АРХІТЕКТУРИ РОЗПОДІЛЕНОГО РЕГІСТРОВОГО ФАЙЛУ З КЕРОВАНОЮ КОМУТАЦІЄЮ	*Літ.*	*Аркуш*	*Аркушів*
Перевірив		Маслияк Б.О.					
Консульт.		Паздрій І.Р.				ТНЕУ, ФКІТ, КСМ-41/1	
Н. Контр.		Гураль І.В.					
Затв.		Березький О.					

ВСТУП

Електронна пам'ять застосовується у всіх комп'ютеризованих системах, виступаючи в якості оперативної пам'яті, кеш-пам'яті, постійної пам'яті, буферної пам'яті чи зовнішньої пам'яті. Основна, або оперативна, пам'ять (main memory) комп'ютера використовується для оперативного обміну інформацією (командами та даними) між процесором, пристроями зовнішньої пам'яті та периферійними підсистемами (графіка, введення-виведення, комунікації). Її інша назва - ОЗП (оперативний запам'ятовуючий пристрій) - приблизно відповідає англійському терміну RAM (Random Access Memory - пам'ять з довільним доступом). Довільність доступу передбачає можливість операції запису/зчитування інформації з довільної комірки ОЗП.

Вимоги, що пред'являються до основної пам'яті:

- обсяг;
- швидкодія та продуктивність, що дозволяють реалізувати обчислювальну потужність сучасних процесорів;
- висока надійність зберігання.

Кеш-пам'ять (cache memory) є високошвидкісною пам'яттю, яка є буфером між ОЗП і її «клієнтами» - процесором (одним або декількома) і іншими абонентами системної шини. Кеш-пам'ять не є самостійним сховищем; інформація в ній не адресуються клієнтами підсистеми пам'яті, присутність кеша для них «прозоро». Кеш зберігає копії блоків даних тих областей ОЗП, до яких відбувалися останні звернення, і дуже ймовірне подальше звернення до тих же даних. Обслуговання кеш-пам'яттю інформаційних потреб процесора істотно швидше, ніж оперативною пам'яттю. Від ефективності алгоритму кешування залежить вірогідність знаходження потрібних даних в кеш-пам'яті і, отже, виграш в продуктивності пам'яті і комп'ютера в цілому.

Постійна пам'ять використовується для енергонезалежного зберігання системної інформації - BIOS, таблиць знакогенераторов. Ця пам'ять при звичайній роботі комп'ютера тільки зчитується, а запис в неї (програмування) здійснюється спеціальними пристроями - программаторами. Звідси і її назва - ROM (Read Only Memory - пам'ять тільки для читання), або ПЗП (постійний запам'ятовуючий пристрій). Необхідний обсяг пам'яті цього типу невеликий: наприклад, обсяг BIOS в сучасних комп'ютерах знаходиться в межах 2 Мбайт. В останні роки постійну пам'ять витісняють флеш-пам'ять, запис в яку можлива в самому комп'ютері в спеціальному режимі роботи, і інші типи незалежної пам'яті (EEPROM, FRAM). Напівпостійна пам'ять використовується для зберігання інформації про конфігурацію комп'ютера. Традиційна пам'ять конфігурації разом з годинником і календарем (CMOS Memory і CMOS RTC) має обсяг кілька десятків байт, ESCD (Extended System Configuration Data) - область незалежної пам'яті, яка використовується для конфігурації пристроїв Plug and Play - кілька кілобайт.

Буферна пам'ять адаптерів і контролерів (комунікаційних, дискових) розділяється між процесором (абонентами системної шини) і контролерами пристроїв. До цієї пам'яті відносяться FIFO-буфери COM-порту, і кеш-буфери високопродуктивних пристроїв зберігання. Специфічним типом буферної пам'яті є відеопам'ять дисплейного адаптера - до неї здійснюється звертання центрального процесора і графічного акселератора одночасно з безперервним процесом регенерації зображення.

Особливим видом над швидкої пам'яті є регістрова пам'ять процесора. Її призначення полягає в забезпеченні неперервної роботи процесора, тобто збільшення швидкодії обробки інформації. Інтенсивний розвиток цифрової техніки, виготовлення процесорів з декількома обчислювальними ядрами, що можуть реалізовувати паралельні обчислення, зробили актуальною задачу організації регістрового файлу процесора.

В даній роботі розглядаються питання пов'язані з розробкою та моделюванням роботи регістрового файлу з керованою комутацією. В

першому розділі розглядаються питання організації оперативної пам'яті та особливості роботи окремих її видів. В результаті розгляду пропонується проаналізувати сучасні структури побудови регістрового файлу та виділити як актуальну структуру з керованою комутацією.

В другому розділі розробляється та уточнюється структурна схема регістрового файлу з керованою комутацією, деталізовується процес обміну (запис/читання) інформацією по шині FSB та пропонується структура контролера (схеми управління) регістрового файлу.

В третьому розділі роботи здійснюється обґрунтування і вибір електронних компонентів реалізації запропонованих структур та моделювання та налаштування електричних схем.

1 ОСОБЛИВОСТІ ПОБУДОВИ ТА ФУНКЦІОНУВАННЯ СТАТИЧНОЇ ПАМ'ЯТІ

1.1 Застосування оперативної пам'яті в комп'ютерних системах

Пам'ять є другим за значимістю пристроєм в обчислювальних системах після центрального процесора (ЦП). Вона призначена для прийому, зберігання та виведення інформації в ЦП та інші блоки системи. Пам'ять організовується за багаторівневою ієрархічною системою і складається з різних блоків запам'ятовуючих пристроїв (ЗП), які можна класифікувати за рядом ознак.

Так як вимоги до ємності і швидкодії ЗП є суперечливими, пам'ять в сучасних комп'ютерах і комп'ютерних системах організується як багаторівнева За розташуванням в системах пам'ять поділяється на внутрішню і зовнішню – рисунок 1.1. До внутрішньої пам'яті відносяться оперативний запам'ятовуючий пристрій (ОЗП), регістрова пам'ять процесора (РОП), постійні запам'ятовуючі пристрої (ПЗП), КЕШ-пам'ять.

До зовнішньої пам'яті відносяться магнітні, оптичні диски, Flash-пам'ять, накопичувачі на магнітних носіях.

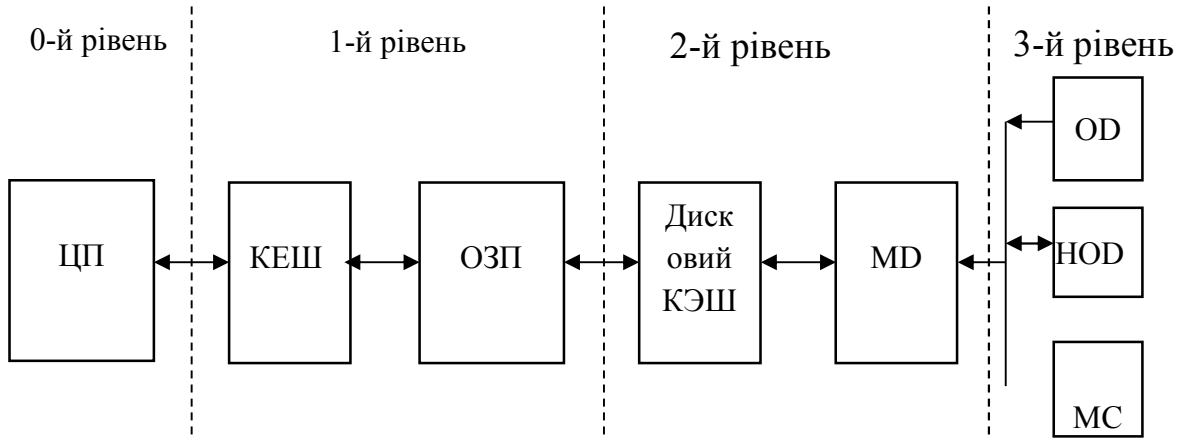


Рисунок 1.1 – Ієрархічна структура пам'яті

Звернення до цих запам'ятовуючих пристроїв і їх підключення відповідає аналогічним діям з периферійними пристроями.

За способом організації доступу до інформації ЗП поділяють на ЗП з прямим (довільним) доступом. Вони характеризуються незалежністю від часу звернення в режимах читання/запису і від значення. В залежності від часу доступу характеризуються ЗП з циклічним та послідовним доступом (оптичні,магнітні диски та стрічки).

За способами адресації поділяються на адресні (ОЗП, РОН, деякі види КЕШ, всі види ПЗП) та безадресні. Безадресні працюють за певними алгоритмами - стеки FIFO/LIFO, ЗП асоціативного типу, в яких пошук інформації здійснюється не за адресами, а по асоціації, деякі види КЕШ.

Основними характеристиками запам'ятовуючих пристроїв є ємність пам'яті та швидкодія. Ємність пам'яті визначається кількістю збережених одиниць інформації в бітах, байтах або словах.

Швидкодія визначається наступними часовими характеристиками:

$$Tзв.зп = tдос + tзп;$$

$$Tзв.чт = tдос + tчт. \quad (1.1)$$

де Тзв - це мінімально допустимий відрізок часу між двома послідовними зверненнями до ЗП, протягом якого відбувається або повний цикл запису інформації, або повний цикл читання, включаючи регенерацію, якщо вона необхідна;

tдос - визначається затримками всередині електричних схем під час дешифрування і вибрати комірку за адресою;

tзап - час зміни стану запам'ятовуючого елементу.

Крім того, швидкодія характеризується часом вибірки (Твиб) - часом від моменту приходу на вхід ЗП коду адреси комірки і сигналу "читання" до появи на виході ЗП інформації з цієї комірки.

Кількість рівнів ієрархії залежить від класу машини. Процесорний рівень завжди активний. В цей рівень входить надоперативна пам'ять, до якої можна віднести регістри загального призначення (РОН). Перший рівень - рівень оперативної, другий – дискової а, третій - архівна пам'ять (оптичні диски ОД, магнітні стрічки). Між рівнями для їх узгодження за швидкодією встановлюється буферна пам'ять: між нульовим і першим рівнями КЕШ-пам'ять, що узгоджує часові характеристики роботи процесора і ОЗП. Для узгодження швидкості роботи дискової пам'яті і ОЗП між першим і другим рівнями ставиться дисковий КЕШ. Обмін інформацією завжди здійснюється між сусідніми рівнями. Наприклад, процесор завжди запитує інформацію в КЕШ – пам'яті. Якщо вона там відсутня, то адреса надходить в ОЗП і блок інформації копіюється в КЕШ- пам'ять. Аналогічні процедури виконуються між ОЗП і дисковою пам'яттю при відсутності необхідної інформації в ОЗП. Коли процесору потрібно звернутися в пам'ять для читання або запису осередку, він спочатку перевіряє, чи доступна копія необхідних даних в кеші. У разі успіху перевірки процесор відразу може призвести операцію роботи з пам'яттю, використовуючи кеш. В іншому випадку процесору довелося б очікувати проходження запиту в основну пам'ять, яка є в кілька разів більше повільної.

Більшість сучасних мікропроцесорів для побутових комп'ютерів і серверів мають як мінімум три незалежних кеша: кеш інструкцій для прискорення завантаження машинного коду мікропроцесора, кеш даних для прискорення читання і запису даних, і буфер асоціативної трансляції (TLB) для прискорення трансляції віртуальних (математичних) адрес в фізичні , як для інструкцій, так і для даних.

Кеш центрального процесора розділений на кілька рівнів. Найшвидшою пам'яттю є кеш першого рівня - L1-cache. Невелика (кілька десятків кілобайт) надшвидкої пам'яті, призначена для зберігання проміжних результатів обчислень. Вона є невід'ємною частиною процесора, оскільки розташована на одному з ним кристалі і входить до складу функціональних

блоків. Більшість процесорів без L1 кешу не можуть функціонувати. L1 кеш працює на частоті процесора, і, в загальному випадку, звернення до нього може проводитися кожен такт. Латентність доступу зазвичай дорівнює 2-4 тактів ядра. Обсяг зазвичай невеликий - не більше 128 Кбайт.

Другою за швидкодією є L2-cache - кеш другого рівня. Хоча ця пам'ять трохи повільніша, зате її обсяг більший. Як правило, вона розташована на кристалі, як і L1. Обсяг L2 кеша від 128 Кбайт до 1-12 Мбайт. В сучасних багатоядерних процесорах кеш другого рівня, перебуваючи на тому ж кристалі, є пам'яттю роздільного користування - при загальному обсязі кеша в nM Мбайт на кожне її ядро доводиться по nM / nC Мбайта, де nC кількість ядер процесора. Зазвичай латентність L2 кешу, розташованого на кристалі ядра, становить від 8 до 20 тактів ядра.

Проблему синхронізації між різними кешами (як одного, так і багатьох процесорів) вирішується за рахунок забезпечення когерентності кеша. Існує три варіанти обміну інформацією між кеш-пам'яттю різних рівнів, або, як кажуть, кеш-архітектури: інклюзивна, ексклюзивна і неексклюзивними. Інклюзивна архітектура передбачає дублювання інформації кеша верхнього рівня в нижньому (фірма Intel). Ексклюзивна кеш-пам'ять передбачає унікальність інформації, що знаходиться в різних рівнях кеша. У неексклюзивної кеші можуть вести себе як завгодно.

Як було вищесказано, проміжною ланкою між L1 – кеш пам'яттю та процесором виступає регістровий файл. Регістровий файл (register file) є модулем мікропроцесора (CPU), що реалізований як багатопортовий масив швидкої статичної пам'яті SRAM. Такі масиви SRAM відрізняються поділом портів читання і запису, тоді як класична SRAM дозволяє як читати, так і записувати через будь-який порт.

Традиційно регістровий файл реалізується як масив запам'ятовуючих комірок. Слова розташовані в горизонтальних рядках (word lines), і при читанні комірки видають своє значення на вертикальні бітові лінії (Bit lines). Ці лінії підключені до підсилювачів, які перетворять сигнали з комірок,

ослаблені при передачі, в булеві сигнали повної амплітуди. У лівій частині розташовані декодери, що активують рядок, відповідно до адреси комірки. Регістрові файли виконують функції подучі процесору значень операндів та запису значення результату.

Таким чином, від особливостей побудови процесора використовують різні способи побудови регіонального файлу.

1.2 Особливості побудови пристроїв надоперативної пам'яті

Як було сказано в попередньому розділі, структура регістрових файлів залежить від особливостей побудови апаратної частини процессора. Розглянемо особливість функціонування процессора та надоперативної пам'яті (регістрового файлу) в сучасних комп'ютерних системах.

Сучасна операційна система віртуально створює для себе множину потоків і виконує процеси обробки інформації як би одночасно, навіть якщо процесор містить одне ядро. Цей принцип реалізує багатозадачність Windows, наприклад, одночасне прослуховування музики та набір тексту. Реалізація данного підходу забезпечується перемиканням між виконанням цих двох потоків. Таким чином, виникає враження від одночасного виконання двох задач. Недоліком даного підходу є зменшення швидкодії.

В випадку застосування багатоядерних процесорів цього перемикання не буде. Система чітко буде посилати кожен потік на окреме ядро, що в результаті дозволить уникнути згубного для продуктивності перемикання з потоку на потік.

Багатоядерні процесори призначені для застосування в високопродуктивному мережевому обладнанні, бездротових телекомунікаційних системах, а також серверах для потокової обробки відеоданих. Вони дозволяють використовувати у вбудованих додатках

потужні обчислювальні ресурси при досить низьких енерговитратах. Коло цільових завдань для даних процесорів наступний. Процесори здатні працювати в мережах з рівнем трафіку близько 10-20 Гб / с, забезпечуючи підтримку наступних сервісів: виявлення / запобігання вторгнень (IDS / IPS); загальне управління ризиками (UTM); аналіз пакетів 4-7 рівнів; моніторинг мережі; планування якості обслуговування (QoS).

Мультимедіа-додатки, перш за все включають цифрову обробку даних, легко заміщаючи кілька цифрових сигнальних процесорів (ЦПС) або FPGA: Сервери багатопотокової обробки відеоданих здійснюють кодування/декодування відео; потокове і IP-відео (IPTV); діагностику проблем обробки відеоданих; пост-обробку відеоданих.

Застосування в області бездротових комунікацій включає роботу в існуючих мережах GSM/CDMA і в мережах наступного покоління WiMAX&LTE. Перш за все, це: базові приймально-передавальні станції (BTS); контролери базових станцій (BSC); шлюзи кампусової зони (GGSN, SGSN, media gateway).

Узагальнена структура мультипроцесорної системи може мати принципово два крайні варіанти – рисунок 1.2, 1.3. Можливі також гібридні підходи, що базуються на основі вищеприведених.

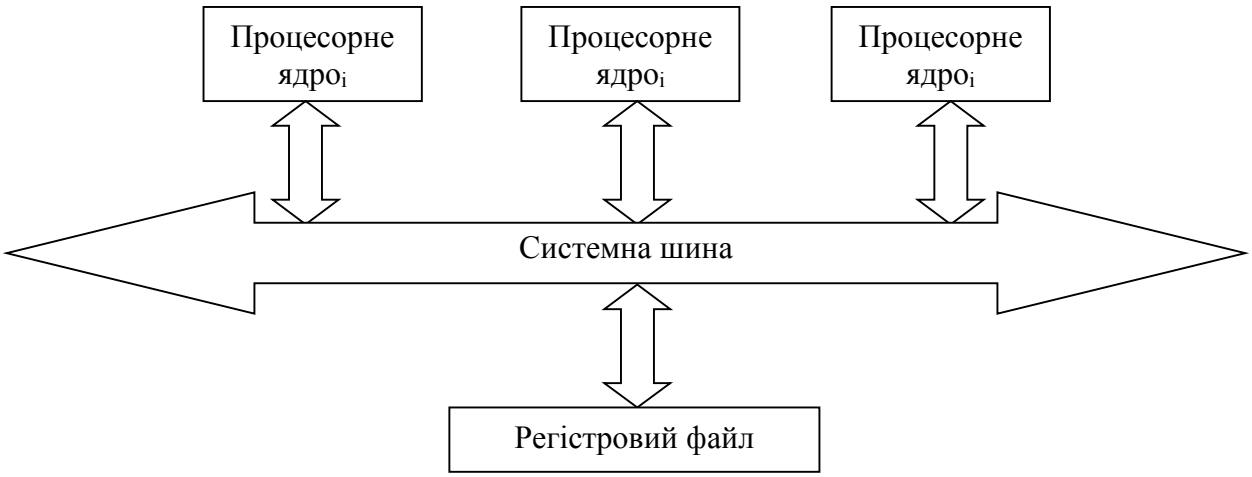


Рисунок 1.2 - Мультипроцесорна система з спільним регістровим файлом

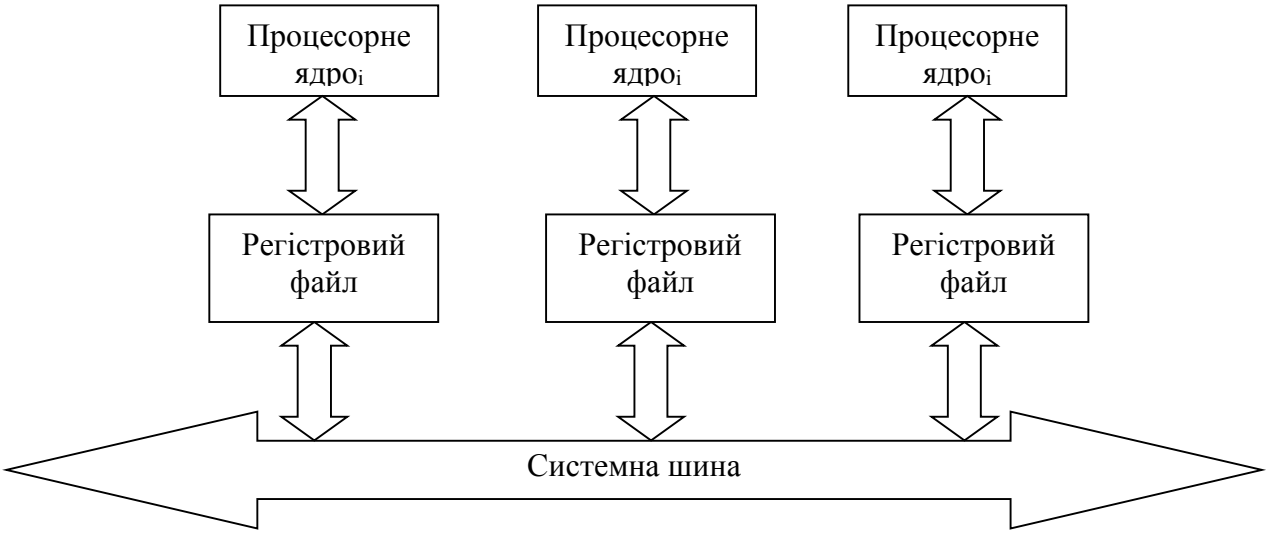


Рисунок 1.3 - Мультипроцесорна система з розділеним регістровим файлом

Особливості функціонування регістрового файлу розглянемо на базі узагальненої структурної схеми пристрою пам'яті - рисунок 1.4. Основою блоку пам'яті є накопичувальний блок (НК), що складається з запам'ятовуючих елементів (ЗЕ), призначених для зберігання інформації. Схема модуля включає два буферних регістра - регістр адреси (РА) і регістр

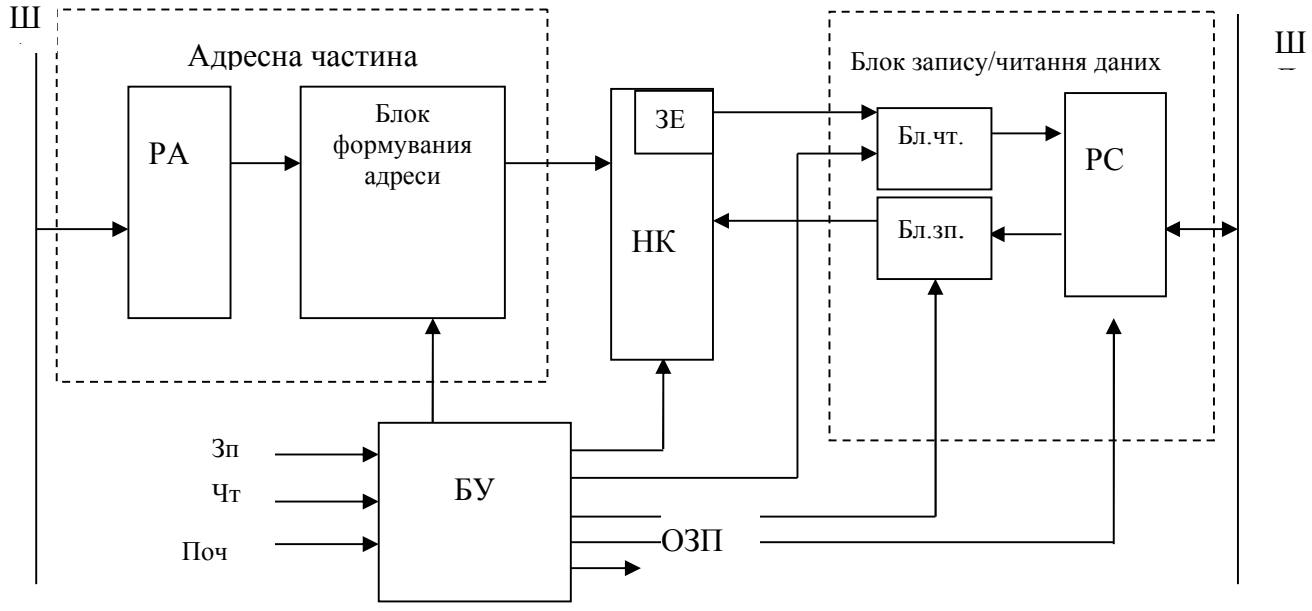


Рисунок 1.4 – Узагальнена структура модуля пам'яті

слова (РС), дешифратор адреси, що забезпечує вибірку необхідного запам'ятовуючого елементу. Блок запису здійснює перетворення стану запам'ятовуючих елементів накопичувального блоку. Блок читання здійснює опитування обраних запам'ятовуючих елементів слова і їх перетворення до стандартного рівня сигналів, прийнятому в процесорі. На блок управління пам'яті (БУП) від процесора приходять сигнали, що забезпечують режими запису або читання. В режимі запису на РА виставляється адреса, на РС - записується інформація. За сигналом "початок звернення" (Поч) здійснюється дешифрування адреси, вибірка необхідного елементу пам'яті, і по сигналу "запис" слово з РС записується в НК.

В режимі читання адреса слова заноситься на РА і подається сигнал "початок звернення" (Поч). Після дешифрування адреси по сигналу "читання" здійснюється читання інформації з вибраної комірку НК, і результат фіксується в РС.

При зверненні встановлюється прапор зайнятості ОЗП (ОЗУ), по завершенні звернення прапор скидається, і процесор може виставляти нову адресу (принцип роботи прапорця аналогічний сигналу ГОТОВНІСТЬ периферійних пристроїв).

Для кожного процесора потрібна наявність ОЗП заданої ємності і розрядності. Ці характеристики повинен забезпечити НК, який реалізується на мікросхемах універсального регістру.

1.3 Обґрунтування вибору структури пам'яті та постановка задачі

Як було сказано в попередньому розділі, основою для побудови регістрового файлу є схема універсального регістру. Регістр - пристрій для зберігання даних. Являє собою набір тригерів, який дозволяє зберігати і видозмінювати багаторозрядних бінарний код (слово) – рисунок 1.5.

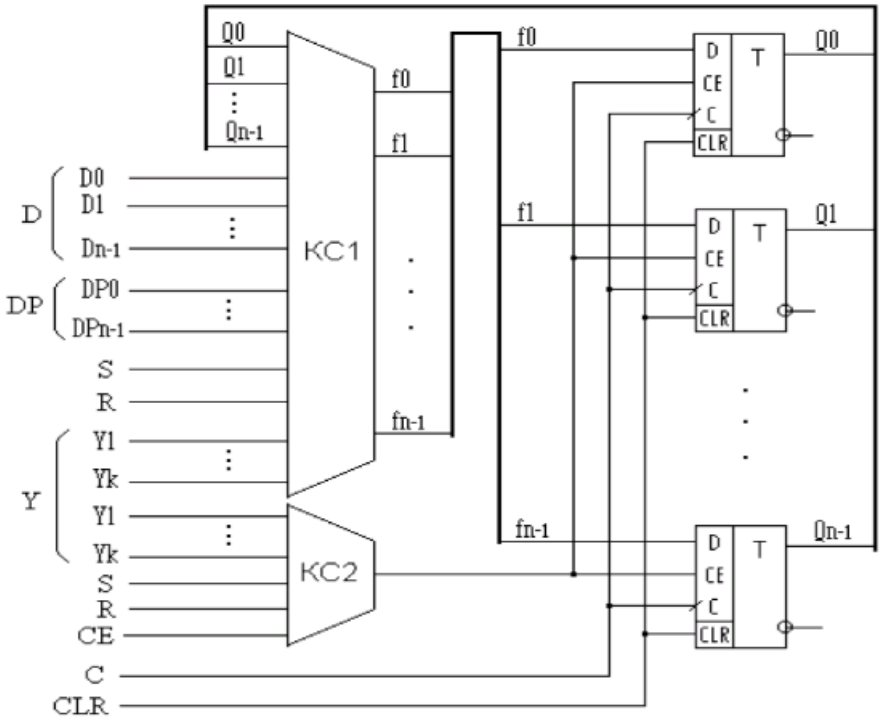


Рисунок 1.5 – Узагальнена схема регістру

На даному рисунку позначено наступні виводи даної схеми: С – синхронізуючий вхід; СЕ – вхід дозволу синхронізації; CLR – асинхронний вхід установки регістру в стан лог. 0; R, S – входи установки тригорів регістру в стан лог. 0, 1; D – входи паралельного запису інформації; DP - входи послідовного запису інформації, а Y- входи управління.

На логічні входи тригерів регістра інформація може надходити як з зовнішніх входів, так і по зворотньому зв'язку з виходів тригерів через комбінаційну схему КС1. З її допомогою можна реалізувати широкий набір мікрооперацій (логічні і арифметичні операції, отримання зворотного коду, зсув інформації). Вибір необхідної мікрооперації здійснюється за допомогою керуючих входів У. Виконання обраної микрооперации відбувається з надходженням імпульсу на синхронізуючий вхід С при наявності дозволяючого сигналу РЄ. Комбінаційна схема КС2 забезпечує пріоритет в роботі регістру по керуючих та установчих входах. Синхронна установка в лог. 0 реалізується подачею імпульсу на синхровхід С при R = 1.

При проектуванні регістрового файлу перш за все необхідно визначити число керуючих входів і задати їх пріоритет. Далі завдання логічного проектування схеми регістра полягає в складанні функцій збудження кожного тригера. Оскільки структура регістра регулярна, то достатньо отримати вирази тільки для одного тригера.

Таким чином, в наступному розділі слід здійснити проектування та деталізацію модуля надоперативної пом'яті на основі регістрового файлу з керованою комутацією. Основою для її проектування є схема приведена на рисунку 1.5. Завданням деталізації є детальний розгляд особливостей роботи внутріпроцесорної системної шини та проектування на цій основі схеми управління (контролер) регістровим файлом.

Розроблені структури послужать основою для розробки електричної схеми в середовищі системи автоматизованого управління та забезпечення процесу її налаштування.

2 ПРОЕКТУВАННЯ ПРИСТРОЮ НАДОПЕРАТИВНОЇ ПАМ'ЯТІ

2.1 Структура пристрою надоперативної пам'яті з керованою комутацією

Надоперативна пам'ять комп'ютера - це набір програмно-доступних регістрів, що знаходяться в регістровому файлі процесора. В структурі сучасних мікропроцесорів регістровий файл займає важливе місце. Він використовується для локального збереження операндів, адрес команд та даних, індексів, а також дозволяє організувати обмін інформацією між операційними пристроями процесора та оперативною пам'яттю. Вибір ефективної організації регістрового файла є одним із підходів, що дозволяє підвищити продуктивність комп'ютера. Як правило, організація регістрового файла належить до технічних характеристик комп'ютера.

Розглянемо процес функціонування регістрового файлу більш детально. Коли ми отримуємо результат операції над двома операндами, що зберігаються у вхідних регістрах, перш ніж переходити до наступної операції необхідно цей результат зберегти.

В загальному випадку, дані можна зберігати і в оперативній пам'яті. Однак звертання до оперативної пам'яті займає значну кількість тактів синхронізації. Тому, для збільшення швидкодії, використовується регістровий файл в якому пропонується зберігатися результат виконаної операції. Але при цьому, для виконання операції необхідно отримувати дані, що зберігаються в регістровому файлі для використання в якості аргументів для операції – рисунок 2.1. Виходить, що вихід схеми зсуву повинен бути з'єднаний з входом регістрового файлу, а вихід регістрового файлу з входом вхідних регістрів АЛУ.

Однак на рисунку 2.1 не відображені вузли, які потрібні для обробки даних в процесорі. Необхідні деякі допоміжні вузли, що створюють

можливість для передачі даних в ці вузли з тракту даних, і навпаки, з цих вузлів в тракт даних. До цих вузлів належить:

- лічильник команд для зберігання адреси поточної команди, з можливістю автоматичного збільшення (схема зсуву), а також зчитування і запису даних.
- спеціальний регістр стану для зберігання ознак результату виконання операції, таких як рівність операндів, перенесення при додаванні, перенесення при зсуві.

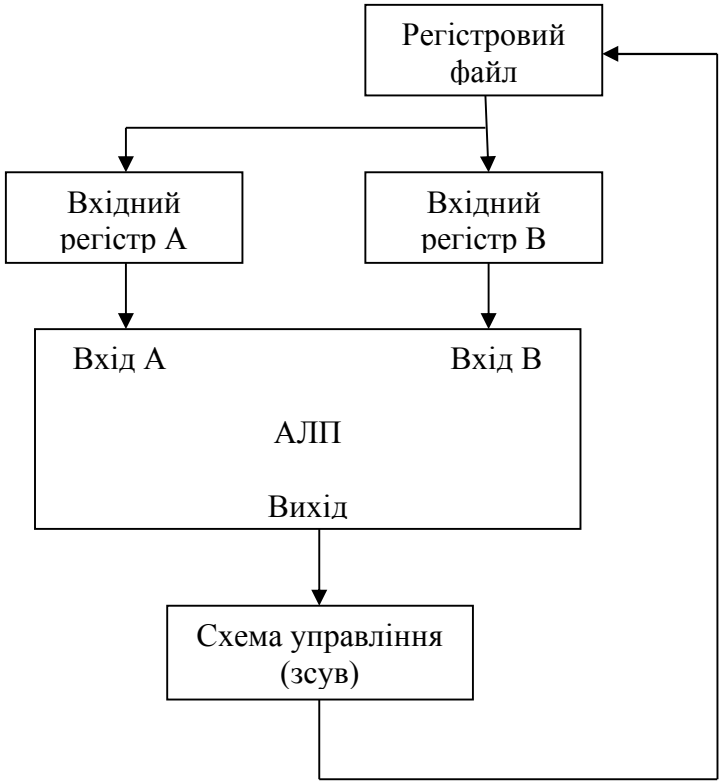


Рисунок 2.1 – Схема (тракт) функціонування операційного пристрою та регістрового файлу

Крім того, необхідно мати можливість прийому і передачі даних в ОЗП (кеш-пам'ять) і зовнішні пристрої. Для цього використовують зовнішню

шину. Для організації взаємодії процесора із зовнішньою шиною, необхідно мати наступні можливості:

- приймати дані з зовнішньої шини, і зберігати їх, для подальшої передачі іншим вузлам - необхідний регістр вхідних даних шини;
- приймати дані від інших вузлів процесора, для передачі на шину даних - необхідний регістр вихідних даних шини;
- приймати дані від інших вузлів процесора, для передачі на шину адреси при зверненні до аргументів команд, що зберігаються в оперативній пам'яті - необхідний регістр адреси шини;
- передавати на шину адреси вміст регістра адреси шини при зверненні до пам'яті в процесі виконання команди і вміст лічильника команд при вибірці самої команди - необхідний селектор адреси шини.

Необхідний також регістр для зберігання самої команди в процесі виконання. Цей регістр повинен приймати дані з шини і передавати їх керуючим схемам. Частина вмісту регістра команд - адреси регістрів, в яких зберігаються операнди, повинна комутуватися і передаватися в регістровий файл. Для цього необхідний спеціальнй комутаційний пристрій.

Використання багатоядерних процесорів, як було показано в розділі 1, вимагає розподілення регістрового файла для кожного операційного вузла процесора. Відповідно, такі регістрові файли містять меншу кількість портів та регістрів, що зменшує затрати обладнання на їх реалізацію. В даний час існує три типи розподілених регістрових файлів: кластерні, з керованою комутацією та з віконною організацією

Недоліком використання кластерного розподіленого регістрового файлу є обмежені можливості пересилки даних з одного локального регістрового файлу до іншого. Організація регістрового з віконною структурою є неефективною для систем з високим рівнем паралелізму, так як не можна організувати паралельний доступ до будь-якого регістру в один

момент часу. Перспективною архітектурою є розробка файлового регістру з керованою комутацією.

Якщо будь-якій групі функціональних елементів процесора доступні дані з будьякого локального регістрового файла, то це буде інший варіант організації розподіленого регістрового файла. Його називают ь розподіленим регістровим файлом з керованою комутацією. Розподілений регістровий файл з керованою комутацією, структура якого приведена на рис. 9.12, складається з локальних регістрових файлів (ЛРФ), що зв'язані з функціональними елементами (ФЕ) процесора через комутуючу мережу, керування якою виконує контролер комутуючої мережі (ККМ).

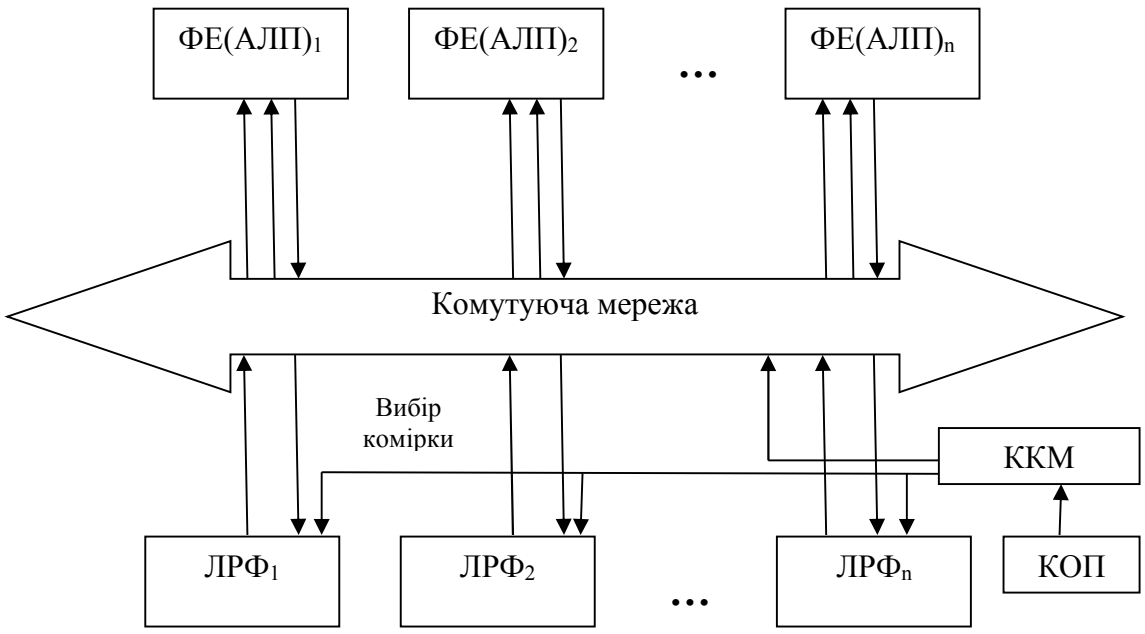


Рисунок 2.2. - Розподілений регістровий файл з керованою комутацією

Тут для кожного входу функціонального елемента ФЕ процесора (АЛП) виділяється окремий локальний регістровий файл (ЛРФ) з одним портом для зчитування та одним портом для запису даних. Тому кількість локальних регістрових файлів є в два рази більшою кількості функціональних

елементів процесора. Об'єм (кількість регістрів) кожного локального регістрового файла є сталим, і не залежить від кількості ФЕ. Порівняно з багатопортовим інтегрованим регістровим файлом тут додатково введена комутуюча мережа та її контролер, що потребує додаткових затрат обладнання. Час доступу до регістрів розподіленого регістрового файла з керованою комутацією складається з затримки в комутуючій мережі, яка не є значною через невелику кількість входів, та з часу доступу до ЛРФ, який не залежить від кількості ФЕ процесора і є сталою величиною для заданої кількості регістрів. В сумі ця величина є меншою часу доступу до регістра багатопортового інтегрованого регістрового файла з тією ж сумарною кількістю регістрів.

Таким чином, в даному розділі розроблено узагальнену структуру системи взаємодії функціональних вузлів процесора з розподіленим регістровим файлом з віконною організацією. Завданням наступних розділів є деталізація структури комутуючої мережі, контролера комутуючої мережі, локального регістрового файлу.

2.2 Проектування інтерфейсу обміну інформацією між операційними пристроями та регістровим файлом

Комунікаційні пристрої ПК призначені для обміну даними між комп'ютерами, комп'ютером і віддаленим пристроєм введення-виведення, а внашому випадку між функціональним елементом та довільним локальним регістровим файлом.

Реалізація цих з'єднань може здійснюватися по різному. Конкретна реалізація з'єднань такого роду називається комунікаційним середовищем комп'ютера. Одна з найпростіших варіантів - це використання спільної шини, до якої підключаються компоненти цифрової техніки. Сама шина складається

з певного числа ліній зв'язку, необхідних для передачі адрес, даних і керуючих сигналів між процесором і пам'яттю.

Існують і інші підходи до побудови комутаційних мереж, наприклад комутатор Клозе, Баньян-мережі чи розподілені складені комутатори. Однак їх реалізація в умовах реалізації мікропрограмного управління обчислювальним процесом є достатньо складною і невиправданою.

Виходячи з структури розподіленого регістрового файлу з керованою комутацією основними режимами роботи є:

- зчитування інформації з довільної комірки довільного регістрового файлу на вхід довільного функціонального елементу (АЛП);
- запис результату перетворення довільним функціональним елементом в довільну комірку довільного локального регістрового файлу;

Тому процес обміну інформації між функціональним вузлом процесора та локальним регістровми файлом слід організувати по інтерфейсу, який побудований по аналогії з системною шиноб персонального комп'ютера (PCI). Пропонується, що вона має мати три складові:

- шину адрес;
- шину даних;
- шину мікрокоманд.

Розрядність шини адрес визначається кількістю ФЕ та ЛРФ. Виходячи зі структури сучасних процесорів, де кількість ядер лежить в межах 8, то розрядність шини адрес приймаємо рівною 3. Розрядність шини даних є непринциповою, тому що передача даних відбувається паралельно. Виходячи з кількості режимів роботи ФЕ та ЛРФ обов'язковими сигналами шини мікрокоманд є "зчитування " та "запис", що аналогічні вводу/виводу. Наступними обов'язковими сигналами шини мікрокоманд є сигнали "готовність" як ФЕ, так і ЛРФ. Синхронізація процесів запису/зчитування повинна здійснюватися по сигналу тактового генератора CLK.

Виходячи зі структури системної шини (комутуючої мережі) процес передачі даних (тракт) повинен проходити під управлінням контролера комп'ютерної мережі. Роботу контролера ККМ пропонується реалізувати апаратно по жорсткому алгоритму. Вхідний сигнал ККМ – командне слово – повинно містити наступні блоки:

- адреса ФЕ (три розряди);
- адреса ЛРФ (три розряди);
- адреса комірки пам'яті (регістр) – 8 розрядів;
- режим запису/зчитування (2 розряди).

З врахуванням вищесказаного, структурну схему, яка пояснює принцип роботи НОЗП приведено на рисунку 2.3.

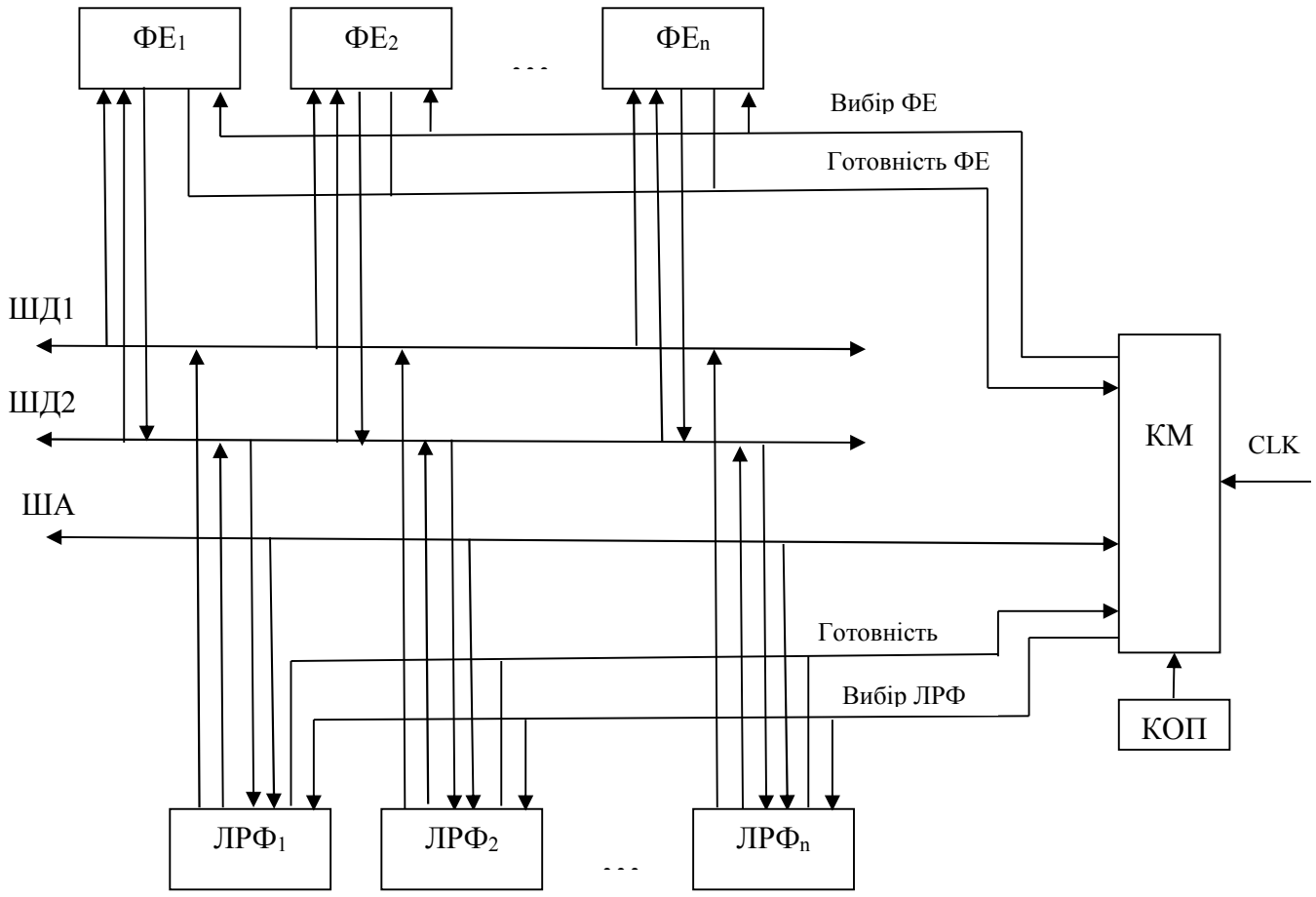


Рисунок 2.3 – Деталізована структурна схема спільного функціонування операційних пристроїв та регістрової пам'яті

В даній структурній схемі схемі деталізовано інтерфейс функціонування операційни пристроїв АЛП та НОЗП, тобто уточнюється структура системної шини та сигналів, що забезпечують це функціонування.

Таким чином, розроблена в даному розділі структура системної шини служить основою для детального проектування системи управління контролером комутуючої мережі та контролера регістрового файлу.

2.3 Структура контролера комутаційної мережі та локального регістрового файлу

Структуру контролеру управління комутаційною мережею (системною шиною) виходячи з аналізу роботи інтерфейсу (розділ 2.2) пропонується виконати по жорсткому алгоритму (апаратна реалізація). Вхідним сигналом, для ККМ є, як вже планувалося в розділі 2.2, є код операції (КОП) та тактовий сигнал (CLK) – рисунок 2.4.

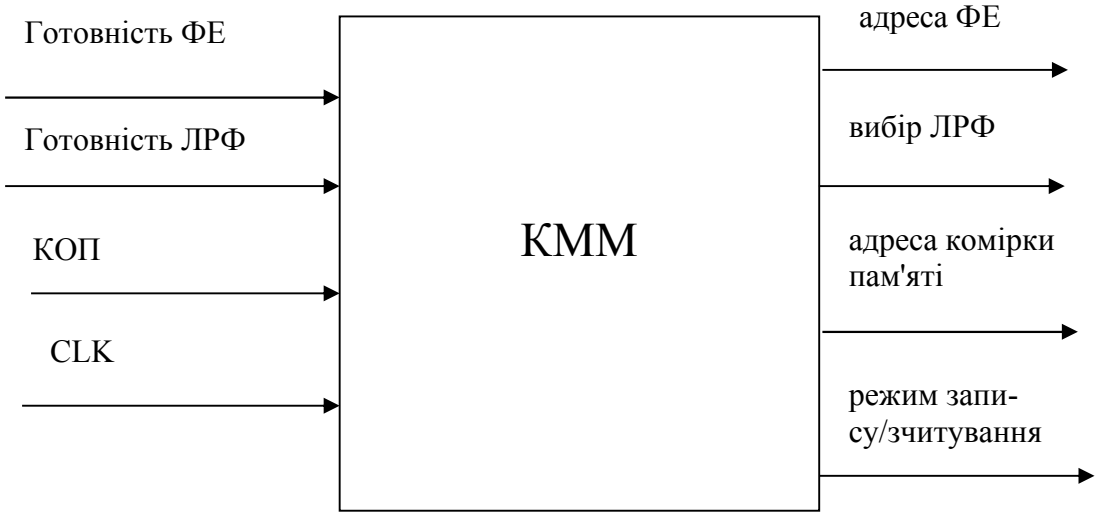


Рисунок 2.4 – Схема взаємозв'язків ККМ

В результаті функціонування КММ формує наступні вихідні сигнали:

- адреса ФЕ (три розряди);
- вибір ЛРФ (три розряди);
- адреса комірки пам'яті (регістр) – 8 розрядів;
- режим запису/зчитування (2 розряди).

Деталізація схеми ККМ проводилась наступним чином. Для формування сигналу адреса ФЕ в ККЬ вводиться тривходовий дешифратор. Даний дешифратор забезпечує вибір одного з 8 ФЕ – рисунок 2.5.

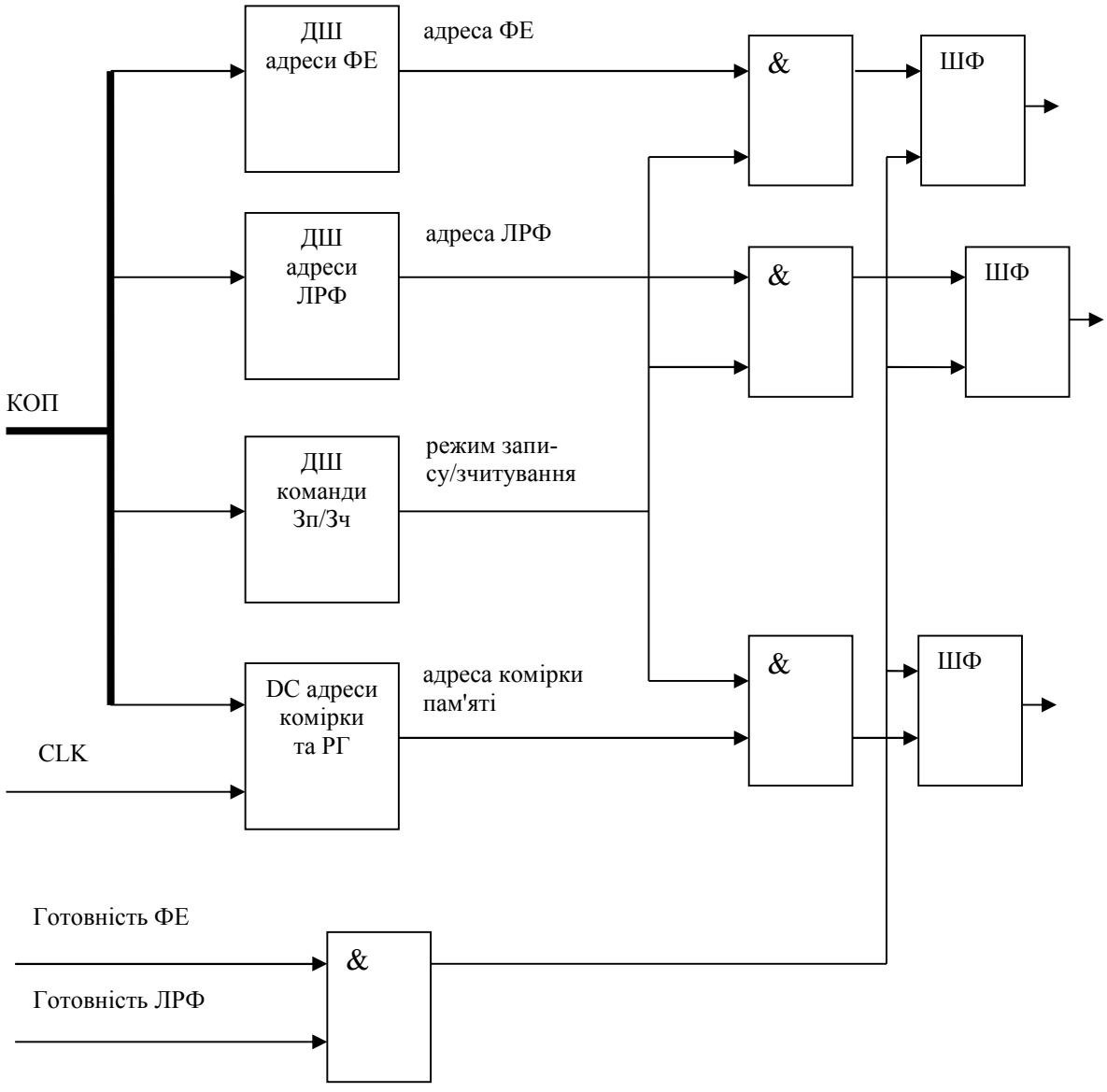


Рисунок 2.5 – Деталізована структура КММ

Аналогічний дешифратор пропонується використати і для вибору ЛРФ. Враховуючи, що застосування режимів/запису інформації в ЛРФ містить ще режим зберігання, то в структурну схему вводимо двохвходовий дешифратор режимів роботи. Для зберігання адреси регістру в ЛРФ в схему ККМ вводимо паралельний регістр. В результаті деталізована структурна схема контролера комутаційної мережі набере наступного вигляду.

Таким чином, розроблена структуру ККМ може служити основою для його апаратної реалізації.

Аналогічним чином слід деталізувати схему управління (апаратний контролер) ЛРФ. Розробку його структури будемо здійснювати виходячи з інформацію про функціонування системного інтерфейсу (розділ 2.2). основна інформація до ЛРФ поступає по шині ША, ШД2 та шині мікрокоманд – рисунок 2.6.

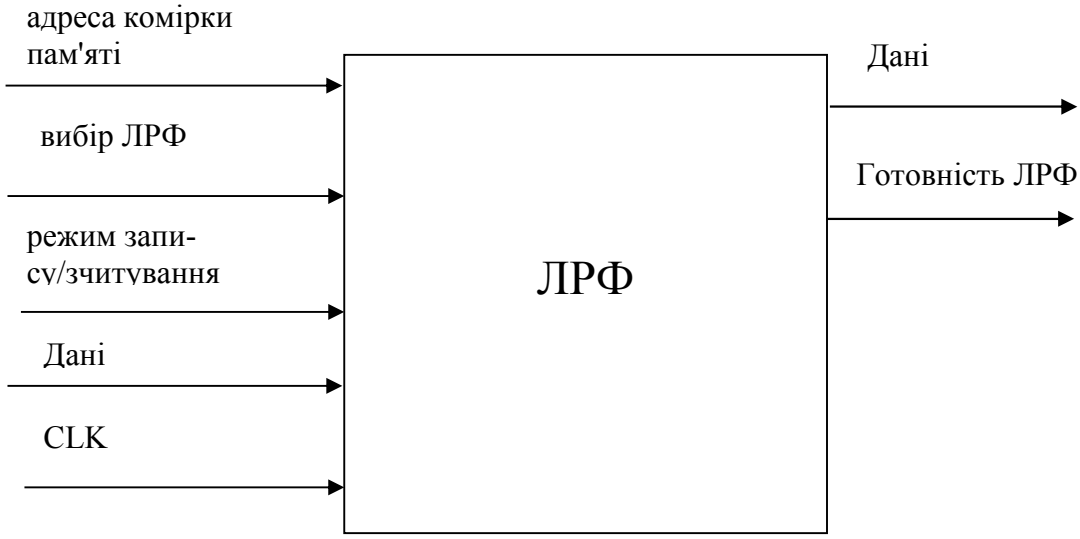


Рисунок 2.6 - Схема взаємозв'язків ЛРФ

Деталізацію схеми взаємозв'язків проводимо враховуючи той факт (розділ 2.1), що інформація на вхід ЛРФ поступає по одній шині даних, а вихідна інформація може може поступати з двох регістрів (два операнди).

Деталізована структура схеми управління ЛРФ з врахуванням приведеного обґрунтування зображена на рисунку 2.7.

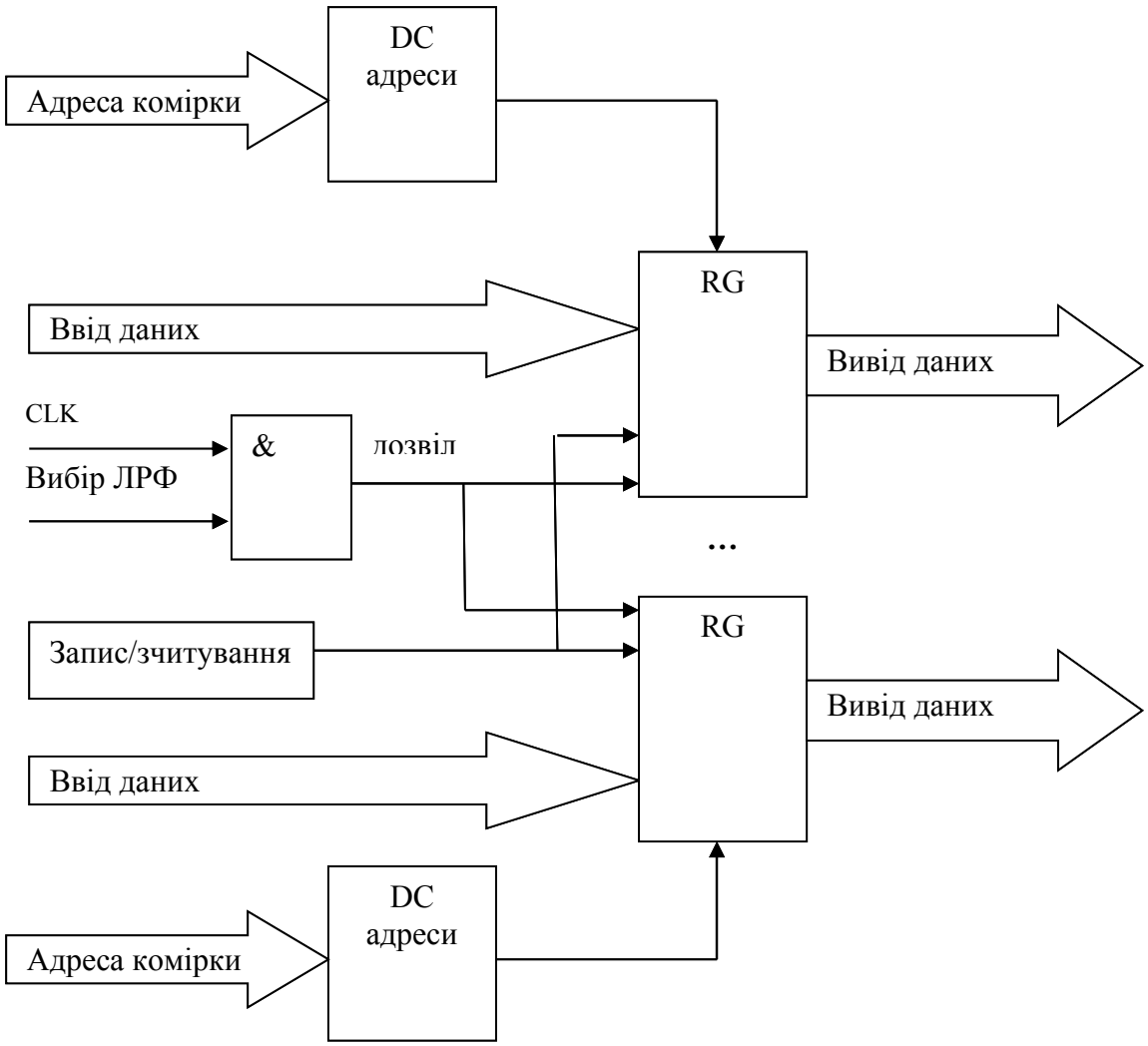


Рисунок 2.7 – Деталізована схема управління ЛРФ

Таким чином, розроблені в даному розділі інтерфейс обміну інформацією між ФЕ процесора та ЛРФ з керованою комутацією, деталізовані структурні схеми КММ та ЛРФ служать основою для їх апаратної реалізації в наступному розділі.

3 АПАРАТНА РЕАЛІЗАЦІЯ ТА ВЕРИФІКАЦІЯ ПРИСТРОЮ НАДОПЕРАТИВНОЇ ПАМ'ЯТІ

3.1 Розробка схеми комутатора комунікаційної мережі та її налаштування

Апаратну реалізацію схеми комутатора комунікаційної мережі та її налаштування пропонується здійснити за допомогою системи автоматизованого проектування NI Multisim. Пакет прикладних программ NI Multisim є емулятором електронних схем, що дозволяє оптимізувати час розробки електричних схем цифрових пристроїв. Робота базується на основі технології віртуальних електронних приладів (SPICE-моделі) та аналізу функціонування електричних схем та їх тестуванні.

Інтерфейс користувача, системи NI Multisim, приведений на рисунку 3.1.

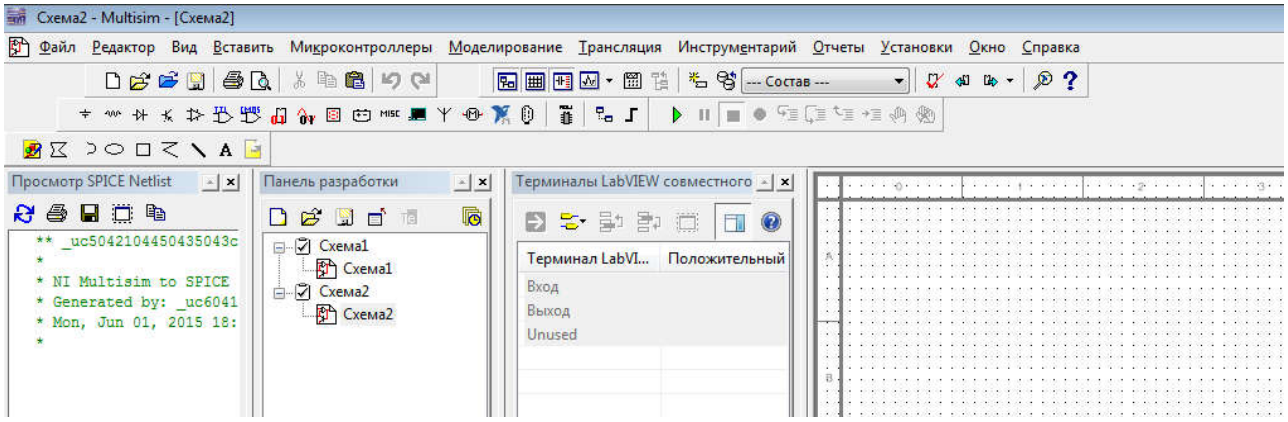


Рисунок 3.1 – Середовище NI Multisim

Структура вікна програми містить головне меню, піктограми швидкого доступу до електронних компонентів та пристроїв контролю та службові вікна, що надають розширені можливості для моделювання.

Основою для розробки електричної схеми комутатора комп'ютерної мережі є деталізована структурна схема, що приведена на рисунку 2.5. Основними електричними компонентами я кої є двох-, трьох- та восьмивходові дешифратори.

Функція мікросхем дешифраторів полягає в тому, щоб перетворювати вхідний двійковий код в номер вихідного сигналу, кількість яких відповідає кількості станів двійкового коду, тобто 2^N, де N - кількість розрядів двійкового коду (кількість інформаційних входів дешифратора). Для позначення мікросхем дешифраторів на принципових схемах ставлять букви DC.

У стандартних серіях мікросхем існують дешифратори на 4, 8 або 16 виходів, відповідно вони мають 2, 3 або 4 входи. Ще відмінності між мікросхемами включають в себе входи управління і типи виходів мікросхем (звичайний 2С вихід або вихід із загальним колектором). Входи дешифраторів зазвичай позначають цифрами, яким відповідає вага розряду двійкового числа (1, 2, 4 або 8), а виходи також позначають цифрами (1, 2, 3 і т.д.). Для прикладу розглянемо кілька мікросхем дешифраторів: К555ИД14, К555ИД7, К555ИД3.

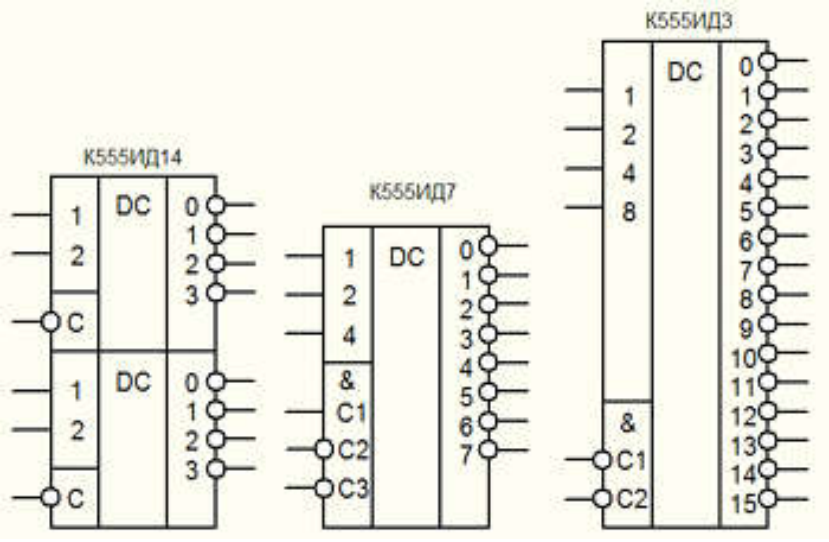


Рисунок 3.2 – Умовно-графічне позначення мікросхем дешифраторів

Оскільки, NI Multisim містить в своїй базі даних Spice-моделей тільки зарубіжні мікросхеми, потрібно знайти їх аналоги.

Мікросхема К555ИД7 (74LS138N) - високошвидкісний дешифратор - демультиплексор, що перетворює трьохрозрядний код в напруге низького логічного рівня, що з'являється на одному з восьми виходів – рисунок 3.3 та таблиці істинності3.1.

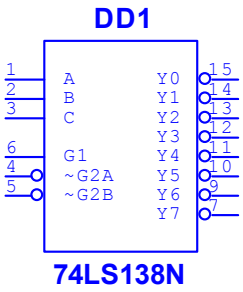


Рисунок 3.3 – Умовно-графічне позначення дешифратора

Таблиця 3.1 - Стани дешифратора К555ИД7 (74LS138N)

Входи						Виходи							
E1(G2A)	E2(G2D)	E3(G1)	A0	A1	A2	0	1	2	3	4	5	6	7
В	X	X	X	X	X	В	В	В	В	В	В	В	В
X	В	X	X	X	X	В	В	В	В	В	В	В	В
X	X	Н	X	X	X	В	В	В	В	В	В	В	В
Н	Н	В	Н	Н	Н	Н	В	В	В	В	В	В	В
.	.	.	.	.	.	.	.	.	.	.	.	.	.
Н	Н	В	В	В	В	В	В	В	В	В	В	В	Н

Дешифратор має три входовий логічний елемент дозволу, що дозволяє реалізувати різні режими управління. Схема вибору локального регістрового файлу, що відповідає вхідному коду 111 (7) приведена на рисунку 3.4.

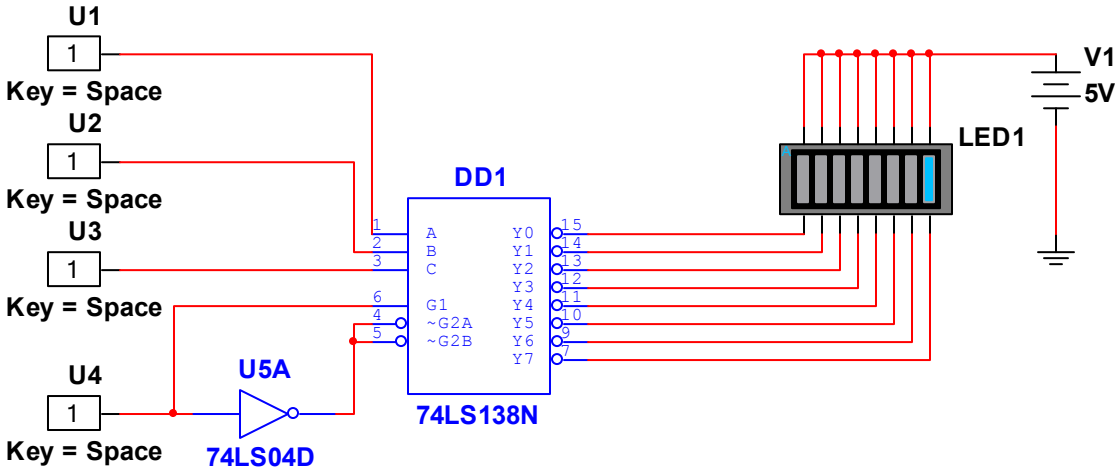
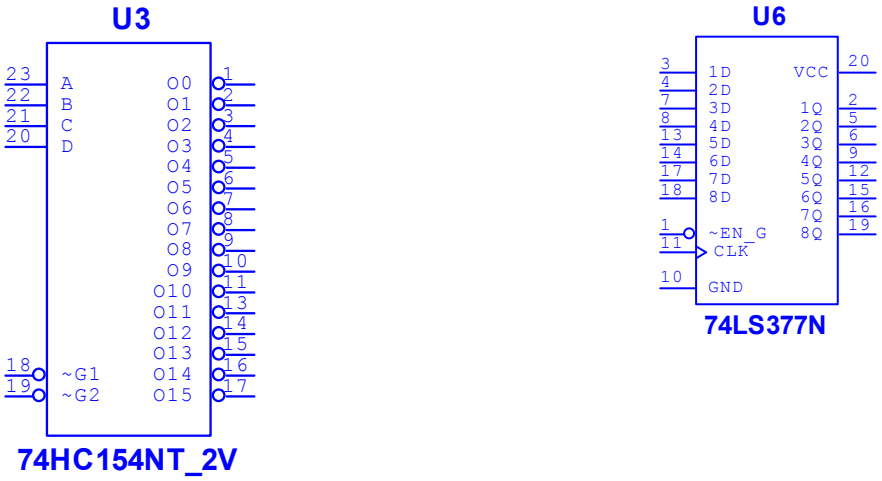


Рисунок 3.4 - Схема вибору локального регістрового файлу

Наступним кроком є розробка схеми функціонування дешифратора адреси та безпосередньо регістру пам'яті. Враховуючи той факт, що в ЛРФ може бути значна кількість регістрв та і кількість розрядів може бути різною, в якості одиниці пам'яті приймемо 8-ми розрядний регістр. З тією ж метою кількість регістрів в ЛРФ приймемо рівною 16. Для реалізації даного фрагменту схеми КММ пропонуються мікросхеми дешифратора та регістра приведені на рсиунку 3.5.



а) б)

Рисунок 3.5 – Мікросхеми дешифратора –а) та регістра – б)

Фрагмент схеми контролера з налаштованими дешифратором вибору ЛРФ та дешифратором регістру приведено на рисунку 3.6.

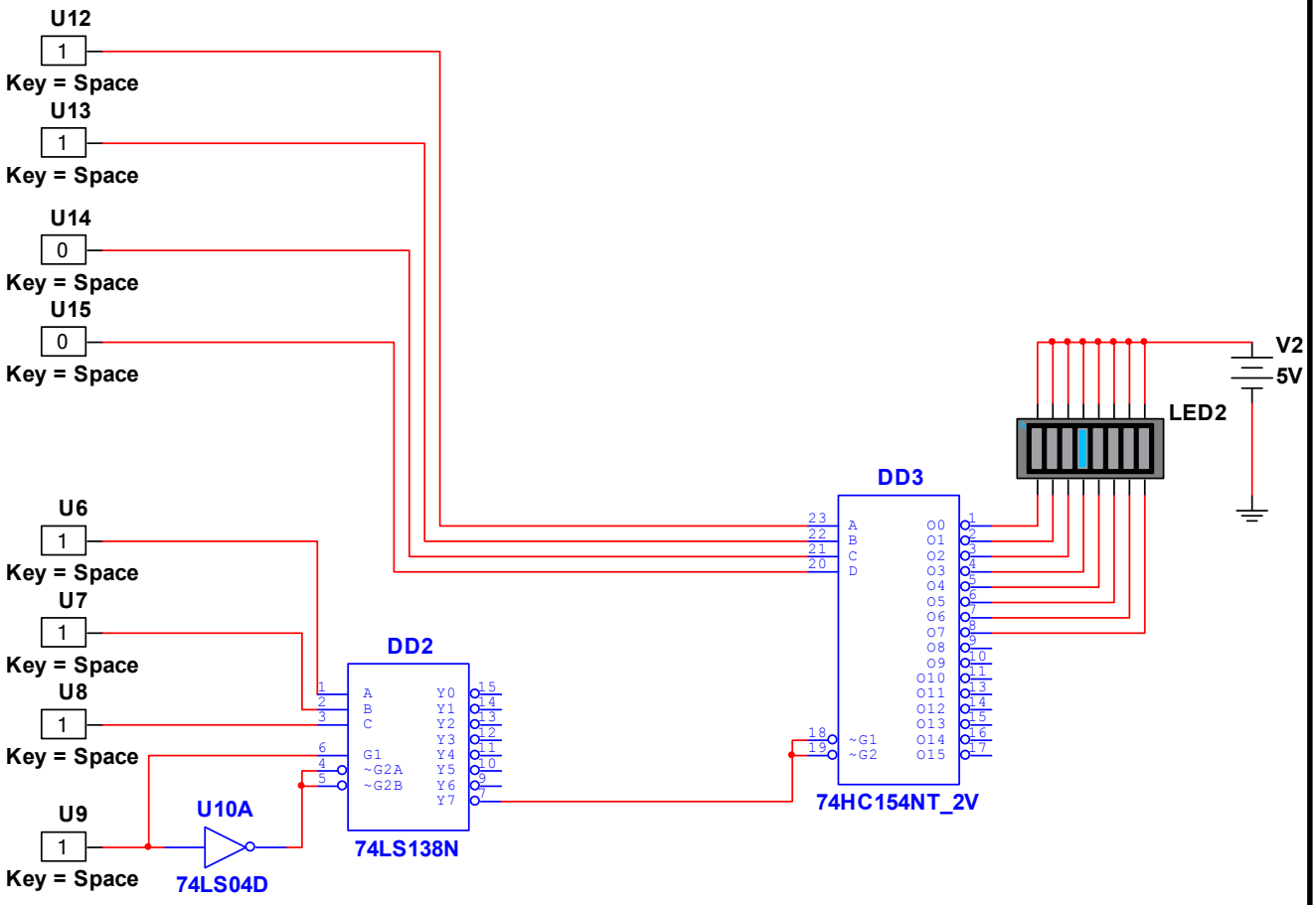


Рисунок 3.6 - Фрагмент схеми контролера з налаштованими дешифратором вибору ЛРФ та дешифратором регістру

Як видно зі схеми лог.0 на виході Y7 поданий на входи управління G1, G2 дозволяє роботу дешифратора DD3. Код на вході DD3 1100, то активний сигнал з'явиться на виході O3 DD3 (рисунок 3.6). Цей сигнал використовується для активації регістру ЛРФ в якому знаходиться потрібний код.

Наступним кроком є розробка та налаштування схеми дешифрації кода команд ЛРФ (запис/зчитування). Оскільки режим запису/зчитування

передбачає ще операцію зберігання інформації, то для ідентифікації операції достатньо використати двох входовий дешифратор, наприклад 74LS155N. Схема використання мікросхеми 74LS155N приведена на рисунку 3.8.

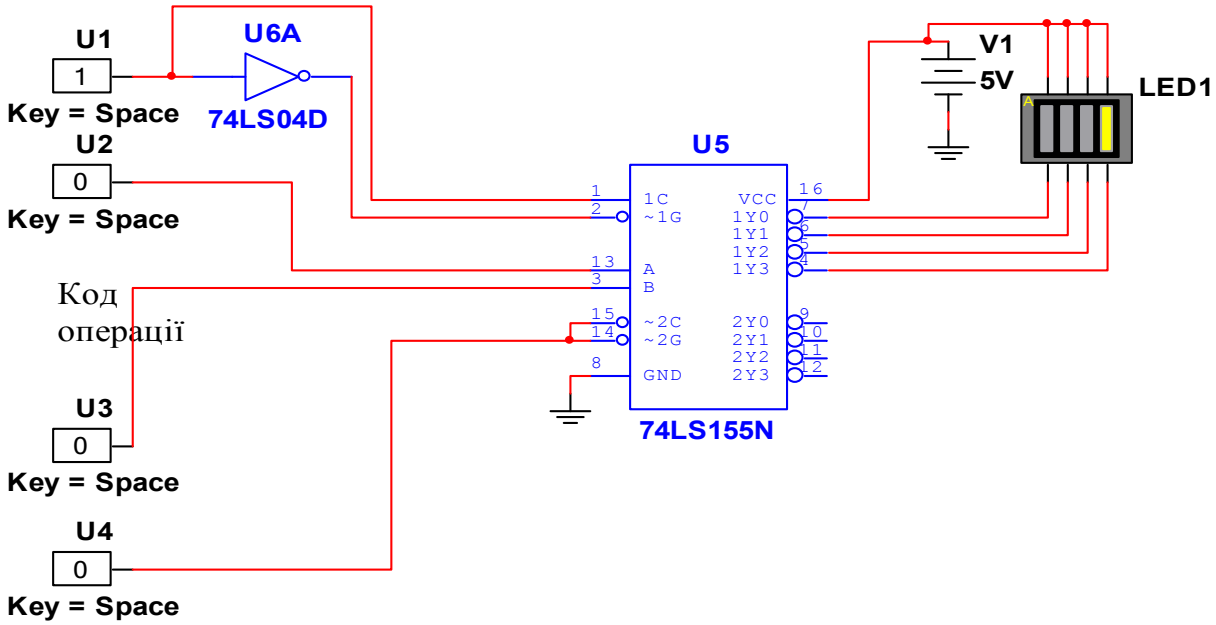


Рисунок 3.8 - Схема використання мікросхеми 74LS155N

В результаті синтезу розроблених підсхем елементів отримуємо електричну схему контролера, яку приведено на рисунку 3.9. Враховуючи громіздкість схеми контролера обумовленою необхідністю формувати сигнали управління для ЛРФ дана схема потребує доповнення. Доповнення полягає в паралельному підключенні до кожного виводу дешифратора аналогічного DD3 та відповідної логіки. Схема контролера також доповнюється логічними схемами (ще сім наборів) аналогічними U3, U4, U5, що опрацьовують сигнали готовності як від ФЕ, так і від ЛРФ.

Таким чином, деталізована схема управління ЛРФ та розроблена в даному розділі схема контролера комутаційної мережі служать основою для побудови драйвера (схеми управління) ЛРФ з керованою комутацією.

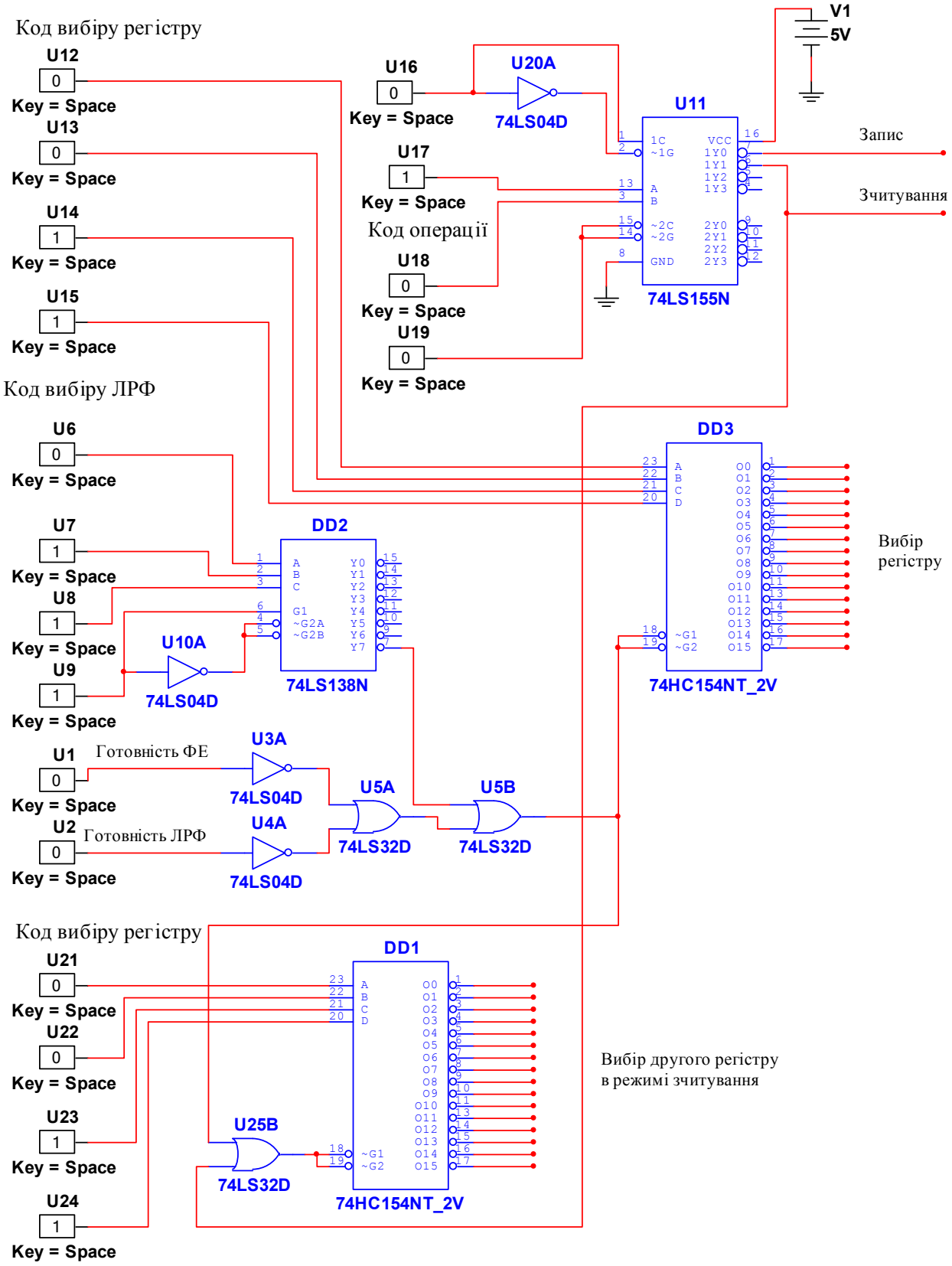
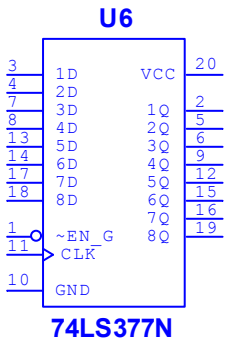


Рисунок 3.9 – Спрощена електрична схема контролера

3.2 Апаратна реалізація схеми управління локальним регістровим файлом

Апаратна реалізація схеми управління локальним регістровим файлом передбачає, що на його вхід поступають сигнали його ініціалізації, адреси регістру та команди запису чи зчитування інформації. В ролі накопичувача інформації використаємо регістр, наприклад, мікросхему 74LS377N (К555ИР27). Призначення виводів наступне. 1D…8D – інформаційні входи регістру, Q_i – інформаційні виходи, EN_G – вхід дозволу запису (активний рівень лог.0), CLK – вхід синхросигналу – рисунок 3.7.



а)

Входи			Вихід	Режим
EN_G	CLR	D1-D8	Q_i	
1	x	x	Q_{n-1}	Заборона запису
0	0	D	D	Запис
0	1	x	Q_{n-1}	Зберігання

б)

Рисунок 3.7 – Мікросхема регістру 74LS377N – а) та його таблиця переходів

Враховуючи, що входи регістрів, які виконують роль комірок пам'яті, підключені до двух шин даних (рисунок 2.7), то для реалізації схеми управління ЛРФ в його схему управління доцільно ввести шинні формувачі та відповідну логіку управління ними та регістрами.

Шинні формувачі (ШФ), що називаються також прийомопередавачами, шинними драйверами або магістральними вентиль-буферами, включаються між джерелом інформації (в нашому випадку регістром) і шиною. Вони

підсилюють сигнали по потужності при роботі на шину, відключають джерело інформації від шини, коли воно не бере участі в обміні, формують при необхідності, потрібні рівні сигналів лог.1 або 0. Двонаправлені ШФ дозволяють в залежності від сигналу управління передавати сигнали в шину або, навпаки , приймати їх з шини і передавати приймача даних.

Класифікувати ШФ можна за напрямком передачі інформації:

- односпрямовані шинні драйвери (тут дані передаються в одному напрямку, тобто певні виводи мікросхеми є вхідними і певні вихідними);
- двохнаправлені шинні драйвери (тут одні і ті ж виходи можуть бути як вхідними, так і вихідними).

Двохнаправлені шинні формувачі мають три n-розрядних канали A, B, C. Канал A (DI) призначений тільки для прийому інформації, канал B - для прийому інформації з видачею її в канал C (DO) або для видачі інформації, прийнятої через канал A. Крім того, до складу схеми входять спеціальні буферні пристрої, які служать для дозволу або заборони передачі через них інформації, і логічні елементи, які відіграють керуючу роль. Умовно-графічне позначення дохнаправленого шиного формувача приведено на рисунку 3.8.

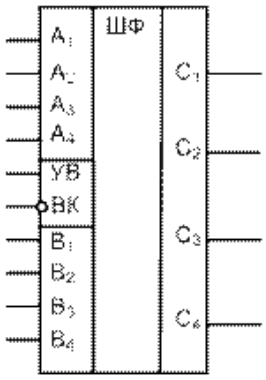
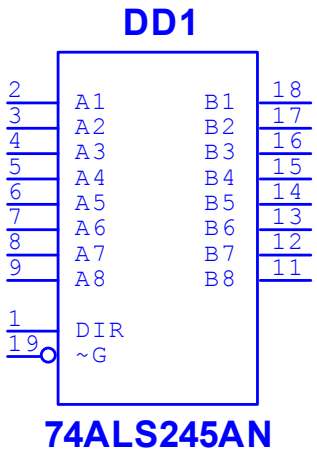


Рисунок 3.8 - Умовно-графічне позначення дохнаправленого шинного формувача К589АП16

Крім того, шинні драйвери можуть мати третій стан виходів (стан високого імпедансу Z) або відкритий колекторний вихід.

Враховуючи відсутність в базі даних NI Multisim Spice-моделей двохнаправлених ШФ, то доцільно використати однонаправлений ШФ 74ALS245 (вітчизняний аналог 1533АП6). Його графічне позначення та таблиця істиності приведені на рисунку 3.9.



а)

Enable $\overline{G}$	Direction Control DIR	Operation
L	L	B Data to A Bus
L	H	A Data to B Bus
H	X	Isolation

H = HIGH Level
L = LOW Level
X = Irrelevant

б)

Рисунок 3.9 - Умовно- графічне позначення – а) та таблиця істиності – б) однонаправленого шинного формувача 74ALS245

Враховуючи однонаправленість ШФ в схемі управління ЛРФ їх потрібно використовувати як по входу регістрів пам'яті, так і по виходу. За допомогою керуючих входів регістрів, ШФ та сигналів КММ та логіки організовано схему управління ЛРФ. При її розробці забезпечено три режими роботи.

В першому режимі (запис інформації в регістр DD2) схема управління забезпечує підключення входів регістрів пам'яті до системної шини через ШФ DD1. Дане підключення та запис інформації в регістр забезпечується використанням логічних елементів U5A, U6A, U7A, U8A. При зміні сигналу

КММ "запис" з лог.0 на лог. 1, входи регістра шиним формувачем відключаються від системної шини, а стан керуючих входів регістра переводять його в режим зберігання. Електрична функціональна схема ЛРФ приведена на рисунку 3.10.

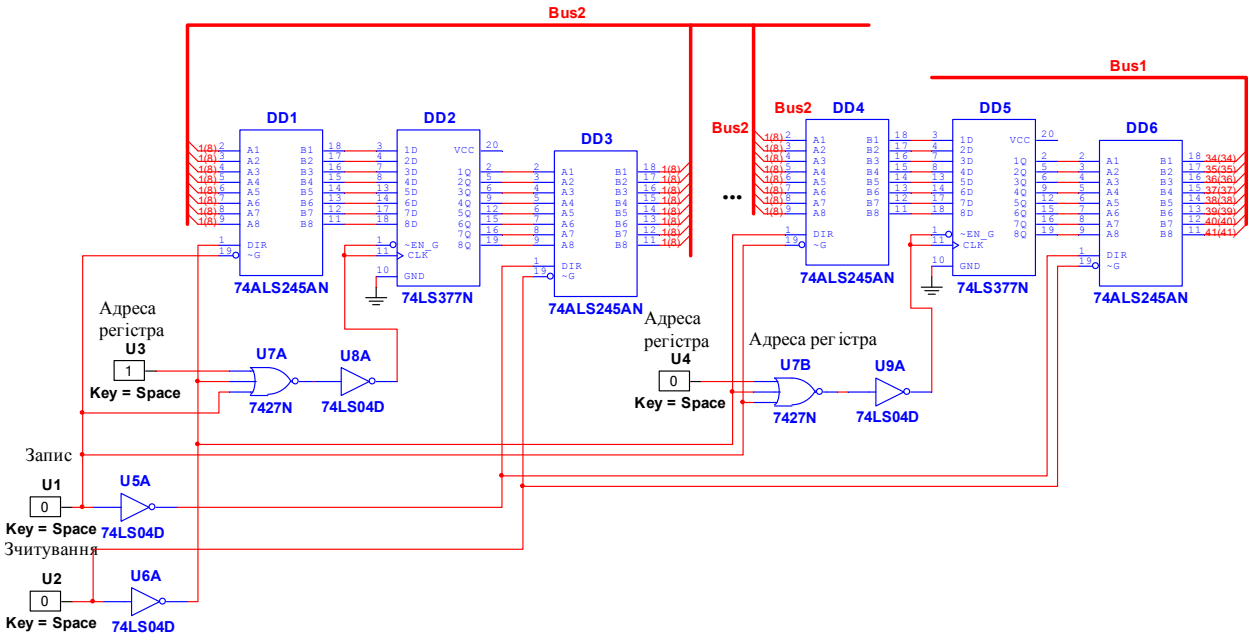


Рисунок 3.10 - Електрична функціональна схема ЛРФ

Другий режим (зчитування з регістру) здійснюється при наступних значеннях вхідних сигналів:

– "запис" – лог.1;

– "зчитування" – лог.0;

– "адреса регістру" – лог. 0.

Подача керуючих сигналів забезпечується тією ж логікою, однак при цьому ШФ DD1 переходить в Z-стан, а ШФ DD3 забезпечує підключення виходу регістру пам'яті ЛРФ до системної шини.

В третьому режимі – значення сигналів "адреса регістру" "запис" та "зчитування" рівні лог.1 і ЛРФ відключається від системної шини.

З метою спрощення схеми комірки ШФ-Регістр-ШФ (логіка управління) на рисунку 3.10 умовно не показані.

Таким чином, в даному розділі здійснено розробку та налаштування комутатора комунікаційної мережі та локального регістрового файлу, що реалізують архітектуру надопративної пам'яті з керованою комутацією.

4 ТЕХНІКО-ЕКОНОМІЧНИЙ РОЗДІЛ

Метою техніко – економічного розділу дипломного проекту є здійснення економічних розрахунків, спрямованих на визначення економічної доцільності апаратного засобу дешифрації за алгоритмом Рабіна. Потрібно визначити доцільність вибраного обладнання, провести розрахунок витрат на розробку даного проектного рішення, визначити прогнозовану ціну апаратного засобу, визначити показники економічної ефективності, зробити відповідні висновки.

4.1 Розрахунок капіталовкладень на розробку апаратного засобу

При загальному підході до розрахунку капіталовкладень, які необхідні на розробку та впровадження апаратного засобу дешифрації, можна записати:

$$K = K_{пр} + B_{пр} + B_{м} \quad (4.1)$$

де K – капіталовкладення на створення і впровадження;

$K_{пр}$ – витрати на виконання проектних робіт;

$B_{пр}$ – кошторисна вартість приладів та обладнання проектованого рішення;

Основними факторами при розрахунку витрат на виконання проектних робіт, що впливають на суму є: затрати часу на виконання проекту, необхідна кількість спеціалістів, їхня заробітна плата.

4.1.1 Розрахунок витрат на оплату праці

Витрати на оплату праці включають заробітну плату (ЗП) всіх категорій працівників, безпосередньо зайнятих на всіх етапах проектування. Розмір ЗП обчислюється на основі трудоємності відповідних робіт та середньої ЗП відповідних категорій працівників.

У розробці проектного рішення задіяні наступні спеціалісти - розробники, а саме: керівник проекту; студент-дипломник; консультант техніко-економічного розділу (таблиця 4.1).

Таблиця 4.1 - Вихідні дані для розрахунку витрат на оплату праці

Посада виконавців	Місячний оклад, грн.
Керівник ДП, викладач	6026
Консультант техніко-економічного розділу, доцент	6026
Студент	1100

Витрати на оплату праці розробників проекту визначаються за формулою (4.1):

$$B_{ОП} = \sum_{i=1}^{N} \sum_{j=1}^{M} n_{ij} \cdot t_{ij} \cdot C_{ij}, \quad (4.1)$$

де n_{ij} – чисельність розробників i – ої спеціальності j – го тарифного розряду, осіб;

t_{ij} – затрачений час на розробку проекту співробітником i – ої спеціальності j – го тарифного розряду, год;

C_{ij} – годинна ставка працівника i – ої спеціальності j – го тарифного розряду, грн.,

Годинну ставку працівника можна розрахувати за формулою:

$$C_{ij} = \frac{C_{ij}^{0}(1+h)}{РЧ_{i}}, \quad (4.2)$$

де C_{ij} – основна місячна заробітна плата розробника i – ої спеціальності j – го тарифного розряду, грн.;

h – коефіцієнт, що визначає розмір додаткової заробітної плати (при умові наявності доплат);

$РЧ_i$ – місячний фонд робочого часу працівника i – ої спеціальності j – го тарифного розряду, год. (приймаємо 168 год.).

Коефіцієнт h, який визначає розмір додаткової заробітної плати, для керівника та консультанта техніко-економічного розділу дорівнює 1,47.

Середня годинна ставка керівника та консультанта техніко-економічного розділу бакалаврської роботи дорівнює:

$$C_{ij} = \frac{5470 \cdot (1 + 1{,}47)}{168} = 80{,}42 \text{ грн./год.}$$

Середня годинна оплата студента дорівнює:

$$C_{ij} = \frac{1200}{168} = 7{,}14 \text{ грн./год.}$$

Витрати на оплату праці складають:

$$B_{ОП} = 20{,}5 \cdot 80{,}42 + 2 \cdot 80{,}42 + 144 \cdot 7{,}14 = 2837{,}45 \text{ грн.}$$

Результати розрахунку записують до таблиці 4.2.

Таблиця 4.2 - Розрахунок витрат на оплату праці

Посада виконавців	Час розробки, год	Погодинна заробітна плата, грн/год.	Витрати на розробку, грн
Керівник ДП, доцент	16	80,42	1648,61
Консультант техніко-економічного розділу, доцент	2	80,42	160,84
Студент	144	7,14	1028
Разом			2837,45

4.1.2 Відрахування на соціальні заходи

Величну відрахувань у спеціальні державні фонди визначають у відсотковому співвідношенні від суми основної та додаткової заробітних плат. Згідно діючого нормативного законодавства єдиний соціальний внесок складає 16,4% від суми заробітної плати:

$$B_{Ф} = 0{,}164 \cdot B_{\text{ОП}}$$

$$B_{Ф} = \frac{16{,}4}{100} \cdot 2837{,}45 = 465{,}34 \text{ грн.}$$

4.1.3 Розрахунок витрат на матеріали та комплектуючі

Загальна сума витрат на матеріальні ресурси (ВМ) визначається за формулою:

$$B_M = \sum_{i=1}^{n} K_i \cdot Ц_i \quad , \qquad (4.3)$$

де *Кі* - витрата і-го типу матеріалу, натуральні одиниці вимірювання;

Ці - ціна за одиницю *і* – го типу матеріалу, грн.;

і – тип матеріального ресурсу;

n – кількість типів матеріальних ресурсів.

Таблиця 4.3 - Зведені розрахунки матеріальних витрат

Найменування матеріальних ресурсів	Од. виміру	Факт. витрачено матеріалів	Ціна за одиницю, грн.	Сума, грн	Транспортні витрати (10% від суми)	Загальна сума, грн
М/сх. середньої складності	шт	18	45	810	81	891
М/сх. логіки	шт.	5	10	50	5	55
Папір (формат А4)	уп	2	80	160	16	176
Р а з о м						1041

4.1.4 Витрати на використання комп’ютерної техніки

Витрати на використання комп’ютерної техніки складаються з витрат на амортизацію комп’ютерної техніки, витрат на користування програмним забезпеченням, витрат на електроенергію, що споживається комп’ютером. За даними обчислювального центру ТНЕУ для комп’ютера типу IBM PC/ATX вартість години роботи дорівнює 5,23 грн. Середній щоденний час роботи на комп’ютері – 2 години. Розрахунок витрат на використання комп’ютерної техніки приведений в таблиці 4.4.

Таблиця 4.4- Розрахунок витрат на використання комп’ютерної техніки

Назва етапів робіт, при виконанні яких використовується комп’ютер	Час використання комп’ютера, год.	Витрати на використання комп’ютера грн.
Проведення досліджень та оформлення їх результатів	60	313,8
Оформлення техніко-економічного розділу	8	41,84
Оформлення ДП	12	62,76
Разом	80	418,4

Якщо для розробки КС купується і монтується спеціальне обладнання, то необхідно врахувати також витрати на доставку і монтаж. Ці витрати (в залежності від складності монтажу) можуть бути прийняті у розмірі 10-25% від витрат на придбання обладнання.

4.1.5 Накладні витрати

Накладні витрати проектних організацій включають три групи видатків: витрати на управління, загальногосподарські витрати, невиробничі витрати.

Вони розраховуються за встановленими відсотками до витрат на оплату праці.

Середньостатистичний відсоток накладних витрат приймемо 150% від заробітної плати:

$$H = 1{,}5 \cdot 2837{,}45 = 4256{,}17 \ \ грн.$$

4.1.6 Інші витрати

Інші витрати є витратами, які не враховані в попередніх статтях. Вони складають 10% від заробітної плати:

$$I = 2837{,}45 \cdot 0{,}1 = 283{,}75 \ \ грн \ .$$

Витрати на розробку проектного рішення дорівнюють:

$$К_{ПР}=В_{ОП} + В_{Ф} + В_{М} + В_{ЕЛ} + Н + І,$$

$$К_{ПР} = 2837{,}45+465{,}34+510{,}82+418{,}4+4256{,}17+283{,}75 = 8771{,}93 \ грн.$$

На підставі отриманих даних за окремими статтями складається кошторис витрат на розробку КС за формою, наведеною в таблиці 4.5.

Таблиця 4.5 - Кошторис витрат на розробку, відлагодження та дослідну експлуатацію КС

Статті витрат	Сума, *грн*.
1. Матеріальні витрати, в тому числі: матеріали електроенергія 2.Витрати на оплату праці 3.Відрахування на соціальні потреби 4.Накладні витрати 5. Інші витрати.	 1041 418,4 2837,45 465,34 283,75 4256,17
РАЗОМ по кошторису	9030

4.2 Визначення прогнозованої ціни

Величина можливої (договірної) ціни КС повинна визначатися з урахуванням ефективності, якості і термінів її виконання на рівні, що відповідає економічним інтересам замовника (споживача) і виконавця. Договірна ціна ($Ц_Д$) для прикладних КС розраховується за формулою:

$$Ц_Д = B_{КС} \cdot \left(1 + \frac{p}{100}\right), \quad (4.4)$$

де $B_{КС}$ – кошторисна вартість КС, *грн.*;

p - середній рівень рентабельності КС, % (приймається в розмірі 20-30% за погодженням з керівником).

$$Ц_Д = 9030 \cdot 1.3 = 11739 \text{ грн.}$$

4.2.1 Економічне обґрунтування вибору комплексу технічних і програмних засобів

Для впровадження більшості КС необхідно:

- придбання та встановлення засобів комп’ютерної техніки;
- придбання та інсталяція системного програмного забезпечення;
- інсталяція і адаптація спеціалізованого програмного забезпечення

Кожен з перерахованих пунктів допускає безліч різних варіантів, так як існує велика кількість конфігурацій комп'ютерів, обладнання та різноманітних програмних продуктів. Кожен з варіантів передбачає різні за величиною і структурою витрати.

4.3 Розрахунок зведених економічних показників

Економічна ефективність – це співвідношення між отриманим прибутком та затраченими коштами. Вона обчислюється за формулою (4.6):

$$E_ф = П_р/К_В \quad (4.6)$$

де $П_р$ – очікуваний прибуток ;

$К_В$ – кошторисна вартість.

Очікуваний прибуток можна розрахувати із співвідношення:

$$П_Р = Ц_Д - К_В.$$

$$П_Р = 11739 - 9030 = 2709 \text{ грн.}$$

Після проведених розрахунків отримуємо:

$$E_ф = 2709/9030 = 0.3$$

Термін окупності додаткових капітальних вкладень визначається як :

$$T = 1/E_ф = 1/0.3 = 3.3 \text{ роки.} \quad (4.7)$$

Таблиця 4.6 - Зведені економічні показники розробки

Показник	Значення
Собівартість, грн.	9030
Плановий прибуток, грн.	2709
Ціна, грн.	11739
Економічна ефективність	0,3
Термін окупності, рік	3,3

Провівши аналіз розрахованих значень економічних показників робимо висновок, що розробка апаратного засобу дешифрації за алгоритмом Рабіна є економічно доцільною.

ВИСНОВКИ

В результаті виконання дипломного проекту на тему "Надоперативна пам'ять на основі архітектури розподіленого регістрового файлу з керованою комутацією" отримано наступні результати:

1. тенденції розвитку пристроїв над оперативної пам'яті показали актуальність розробки архітектури регістрових файлів;
2. аналіз методів побудови регістрових файлів в умовах застосування багатоядерних процесорів показав перспективність застосування методу керованої комутації;
3. здійснено обґрунтування вибраного напрямку дослідження та здійснена постановка задачі проекту;
4. в процесі її реалізації розроблено та деталізовано структуру апаратного модуля над оперативної пам'яті з керованою комутацією;
5. запропоновано структуру системного інтерфейсу для забезпечення обміну інформацією між функціональними вузлами процесора та локальним регістровим файлом;
6. в рамках цієї структури деталізовано схеми комутатора комутованої мережі та локального регістрового файлу;
7. здійснена апаратна реалізація схем та верифікація електричних схем комутатора комутованої мережі та локального регістрового файлу;

Техніко-економічне обґрунтування показало економічну доцільність апаратної розробки модулів надоперативної пам'яті.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Сергієнко А. М. Архітектура комп’ютерів: Конспект лекцій. – К.: НТУУ«КПІ», 2015. – 198 с.
2. Мельник А.О. Архітектура комп'ютера. Наукове видання. – Луцьк: Волинська обласна друкарня, 2008. – 470с.
3. Таненбаум Э, Остин Т. Архитектура компьютера. 6 издание. – СПб.: Питер, - 2016, 816с.
4. Локтюхин В.Н. Л 73 Архитектура компьютера : учебное пособие : в 2 кн. – Кн. 1 : Структура персонального компьютера / Ряз. гос. ун-т им. С.А. Есенина. – Рязань, 2008. – 136 с.
5. Жмаки н А. П. Архитектура ЭВМ. — СПб.: БХВ-Петербург, 2006. — 320 с:
6. Гук М. Ю. Аппаратные средства IBM PC. Энциклопедия. 3-е изд. — СПб.: Питер, 2006. — 1072 с.
7. Методичні рекомендації до виконання дипломного проекту з освітньо-кваліфікаційного рівня «Бакалавр» напряму підготовки 6.050102 «Комп’ютерна інженерія» фахового спрямування «Комп’ютерні системи та мережі» / О.М.Березький, Л.О.Дубчак, Р.Б.Трембач, Г.М.Мельник, Ю.М.Батько, С.В.Івасьєв / Під ред. О.М.Березького. – Тернопіль: ТНЕУ, 2016. – 65с.
8. Методичні вказівки до написання техніко-економічного розділу для дипломних проектів на здобуття освітньо - кваліфікаційного рівня «Бакалавр» напряму підготовки 6.050102 «Комп’ютерна інженерія» / І.Р.Паздрій. - Тернопіль: ТНЕУ, 2015. – 36с.
9.
10.
11.

12. Бабич М.П., Жуков І.А. Комп’ютерна схемотехніка: Навчальний посібник.- К.:МК-Прес, 2004.-412с

13. Бойко В.І. Схемотехніка електронних систем. Цифрова схемотехніка. Підручник / В.І. Бойко, А.М. Гуржій, В.Я Жуйков - К.:Вища школа, 2004.-423с.

14. Прянишников В.А. Электроника: Полный курс лекцій. – СПб.Корона принт; М.: Бином – Пресс, 2006.- 416с.

15. Терехин В.Б., Соловьев Ю.А. Моделирование электронных схем в программе Electronics Workbench. Ч. 1. Создание схем. Ч.2. Элементная база: лабораторный практикум. – Северск: СТИ ТПУ, 2000. – 244 с.

16. Шило В.Л. Популярные цифровые микросхемы: Справочник. 2 - е изд., испр. – Челябинск: Металлургия, Челябинское отд., 1989.- 352 с.

17. Лещенко М.Є. Основи мікроелектроніки / М.Є. Лещенко, В.Є. Овчаренко. – Х. : Нац. аерокосм. ун-т „Харк. авіац. ін-т”, 2005. – 312с.

18. Комп`ютерна електроніка: Навч. посібник. Частина I/II А.П.Оксанич, С.Е.Притчин, О.В.Вашерук.- Харків: "Компанія СМІТ", 2006.- С200 - 256.

19. Рябенький В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. Посібник. - Львів: Видавництво «Новий світ 2000», 2009.-736с.

20. Резисторы, конденсаторы, трансформаторы, дроссели, комутационные устройства РЭА: Справочник./ Н.Н. Акимов, Е.П. Ващуков, В.А. Прохоренко, Ю.П. Ходоренок. – Мн.:Беларусь, 1994.- 591с.

21. Токхейм Р. Основы цифровой электроники.- М.:Мир, 1989.

22. Хернитер М. Е. MULTISIM. Современная система компьютерного моделирования и анализа схем электронных устройств. – М.: Издательство: ДМК-Пресс. – 2009. – 409с.

23. Марченко А. Лабораторный практикум по электротехнике и электронике в среде Multisim. Учебное пособие для вузов. / А. Марченко, С. Освальд. – М.: НИЯУ МИФИ, 209. – 364 с.

24. Алексенко А. Г. Основы микросхемотехники — М.: Юнимедиастайл, 2009. — 448 с.

25. Никитин В.А. Схемотехника интегральных схем ТТЛ, ТТЛШ и КМОП: Учебное пособие. М.: НИЯУ МИФИ, 2010. – 64 с.