МІНІСТЕРСТВО ЕКОНОМІЧНОГО РОЗВИТКУ І ТОРГІВЛІ УКРАЇНИ

УКРАЇНА **(19) UA** **(11) 127093** **(13) U**

(51) МПК (2018.01)
G06F 7/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2018 02782**

(22) Дата подання заявки: **19.03.2018**

(24) Дата, з якої є чинними права на корисну модель: **10.07.2018**

(46) Публікація відомостей про видачу патенту: **10.07.2018, Бюл.№ 13**

(72) Винахідник(и):
Сидор Андрій Іванович (UA),
Круліковський Борис Борисович (UA),
Возна Наталія Ярославівна (UA),
Николайчук Ярослав Миколайович (UA)

(73) Власник(и):
Сидор Андрій Іванович,
вул. Польова, 15/2, с. Дідичі, Ківерцівський р-н, Волинська обл., 45261 (UA),
Круліковський Борис Борисович,
вул. Соборна, 11/21, м. Рівне, 33028 (UA),
Возна Наталія Ярославівна,
вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA),
Николайчук Ярослав Миколайович,
вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA)

(54) ПРИСТРІЙ ВИЗНАЧЕННЯ ХЕММІНГОВОЇ ВІДДАЛІ МІЖ ДВОМА СИГНАЛАМИ

(57) Реферат:

Пристрій визначення Хеммінгової віддалі між двома сигналами містить синхронізатор, перший аналоговий вхід, з'єднаний з першим входом першого компаратора і-го розряду, другий аналоговий вхід, з'єднаний з першим входом другого компаратора і-го розряду, другий вихід якого з'єднаний з другим входом першого компаратора і-го розряду та першим виходом схеми формування ступінчастих взірцевих потенціалів. Додатково введено 2^k-1 розрядів, у кожному з яких вихід першого компаратора додатково з'єднаний з першими входами додатково введеного логічного елемента АБО та логічного елемента І, другий вхід якого додатково з'єднаний з другим входом логічного елемента АБО та виходом другого компаратора. Вихід логічного елемента АБО додатково з'єднаний з першим входом додатково введеного першого логічного елемента І-НІ і-го та додатково з'єднаний з входом додатково введеного першого логічного елемента НІ і-1-го, вихід якого додатково з'єднаний з першим входом першого логічного елемента І-НІ і+1-го розряду. Вихід логічного елемента І додатково з'єднаний з першим входом додатково введеного другого логічного елемента І-НІ і-го розряду та входом додатково введеного другого логічного елемента НІ і-1-го, вихід якого з'єднаний з другим входом другого логічного елемента І-НІ і-го. Виходи других логічних елементів І-НІ з'єднані з першими входами третіх логічних елементів І-НІ і-го, виходи яких з'єднані з відповідними першими входами багаторозрядного двійкового суматора, другий вхід якого з'єднаний з логічною одиницею, а виходи з'єднані з відповідними першими входами багаторозрядного накопичувального суматора, другий вхід якого з'єднаний з першим виходом синхронізатора, другий вихід якого з'єднаний зі всіма третіми входами логічних елементів АБО та І. Третій вхід накопичувального суматора з'єднаний з входом логічного нуля, а виходи старших розрядів є виходами пристрою.

UA 127093 U

Корисна модель належить до засобів обчислювальної техніки, призначена для визначення Хеммінгової віддалі між двома аналоговими сигналами і може бути використана як компонента цифрових процесорів розпізнавання образів.

Відомий аналог - пристрій визначення залишку по модулю багаторозрядного числа [Николайчук Я.М., Кімак В.Л., Волинський О.І., Круліковський Б.Б. Пристрій визначення залишку по модулю багаторозрядного числа, патент України на корисну модель № 90144, бюл. № 9, 2014], який містить вхідну і вихідну шини, які є відповідно n-розрядними входами і n-розрядними виходами пристрою, в кожному розряді пристрою міститься однорозрядний суматор, прямий вхід переносу якого підключений до прямого виходу переносу суматора молодшого розряду пристрою, а прямий вихід переносу підключений до прямого виходу переносу суматора старшого розряду пристрою. Такий пристрій дозволяє визначити модульну різницю між двома двійковими кодами.

Недоліком такого пристрою є обмежені функціональні можливості, оскільки він не дозволяє визначити Хеммінгову віддаль між двома аналоговими сигналами на основі усередненої суми модульних різниць цифрових двійкових кодів. Іншим недоліком такого пристрою є низька швидкодія та висока апаратна складність, обумовлена наявністю мультиплексора у його структурі.

Відомий пристрій (найближчий аналог) - багатоканальний пристрій для обчислення модульної кореляційної функції [Николайчук Я.Н., Ищеряков С.М., Ластовецкий А.Д. Многоканальное устройство для вычисления модульной корреляционной функции SU 1686433, бюл. № 39, 1991], який містить синхронізатор, перший аналоговий вхід пристрою з'єднаний з першим входом першого компаратора, другий аналоговий вхід пристрою, який з'єднаний з першим входом другого компаратора, другий вхід якого з'єднаний з другим входом першого компаратора та виходом схеми формування ступінчастих взірцевих потенціалів. Такий пристрій дозволяє визначити усереднену Хеммінгову віддаль між двома поточними аналоговими сигналами та їх Хеммінгову віддаль між двома зсунутими в часі вхідними аналоговими сигналами.

Недоліком такого пристрою є низька швидкодія, обумовлена наявністю перетворювачів аналог-часовий інтервал, які формують вихідні послідовні цифрові унітарні коди з числом імпульсів 2^n, де n - розрядність відповідних двійкових кодів.

В основу удосконалення пристрою поставлена задача підвищення швидкодії визначення накопиченого усередненого значення суми модульних різниць оцифрованих аналогових сигналів, що відповідає оцінці Хеммінгової віддалі між ними, згідно з виразом:

$$Z = \frac{1}{n}\sum_{i=1}^{n}\left|x_i - y_i\right|,$$

де: $i \in \overline{1,n}$ - об'єм вибірки цифрових кодів; x_i та y_i - вхідні оцифровані аналогові сигнали $x(t)$ та $y(t)$.

Суть удосконалення пристрою полягає в тому, що вхідні аналогові сигнали у додатково введеному двоканальному АЦП паралельного типу перетворюються у паралельні унітарні коди, які однозначно представляють більше та менше значення x_i та y_i, після чого перетворюються у паралельні інверсні розряднопозиційні коди Хаара, дешифруються у відповідні: прямий двійковий код більшого з них та доповнюючий код меншого з них, які додаються у швидкодіючому багаторозрядному накопичувальному суматорі.

Поставлена задача вирішується завдяки тому, що пристрій, який містить синхронізатор, перший аналоговий вхід, з'єднаний з першим входом першого компаратора і-го розряду, другий аналоговий вхід, з'єднаний з першим входом другого компаратора і-го розряду, другий вихід якого з'єднаний з другим входом першого компаратора і-го розряду та першим виходом схеми формування ступінчастих взірцевих потенціалів, в якому додатково введено $2^k - 1$ розрядів, у кожному з яких вихід першого компаратора додатково з'єднаний з першими входами додатково введеного логічного елемента АБО та логічного елемента І, другий вхід якого додатково з'єднаний з другим входом логічного елемента АБО та виходом другого компаратора, вихід логічного елемента АБО додатково з'єднаний з першим входом додатково введеного першого логічного елемента І-НІ і-го розряду та додатково з'єднаний з входом додатково введеного першого логічного елемента НІ і+1-го розряду, вихід якого додатково з'єднаний з першим входом першого логічного елемента І-НІ і-1-го розряду, вихід логічного елемента І додатково з'єднаний з першим входом додатково введеного другого логічного елемента І-НІ і-го розряду та входом додатково введеного другого логічного елемента НІ і-1-го розряду, вихід якого з'єднаний з другим входом другого логічного елемента І-НІ і-1-го розряду, виходи всіх логічних елементів

І-НІ з'єднані з відповідними входами відповідних третіх логічних елементів І-НІ, виходи яких з'єднані з відповідними першими входами багаторозрядного двійкового суматора, другий вхід якого з'єднаний з логічною одиницею, а виходи з'єднані з відповідними першими входами багаторозрядного накопичувального суматора, другий вхід якого з'єднаний з першим виходом синхронізатора, другий вихід якого з'єднаний зі всіма третіми входами логічних елементів АБО та І, третій вхід накопичувального суматора з'єднаний з входом логічного нуля, а виходи старших розрядів накопичуваного суматора є виходами пристрою.

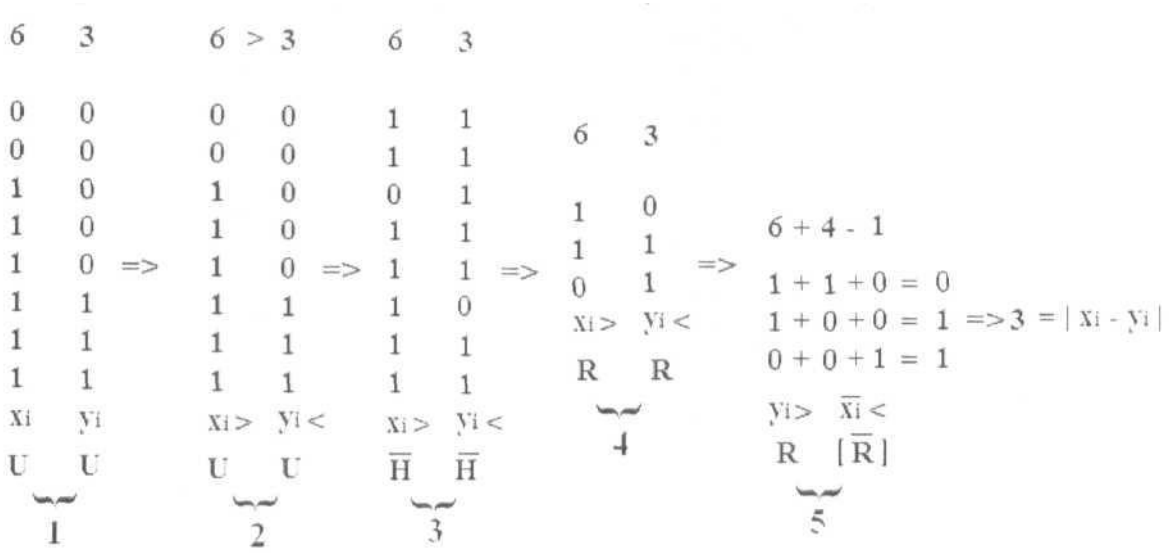
На фіг. 1 та фіг. 2 представлена структурна схема пристрою, який містить: 1 - синхронізатор; 2 - перший аналоговий вхід; 3 - перший компаратор і-го розряду; 4 - другий аналоговий вхід; 5 - другий компаратор і-го розряду; 6 - схема формування ступінчастих взірцевих потенціалів; 7 - вхід схеми формування ступінчатих взірцевих потенціалів; 8 - логічний елемент АБО; 9 - логічний елемент І; 10 - перший логічний елемент І-НІ; 11 - перший логічний елемент НІ; 12 - другий логічний елемент І-НІ; 13 - другий логічний елемент НІ; 14 - третій логічний елемент І-НІ; 15 - перший багаторозрядний суматор; 16 - парафазний вхід логічної "1"; 17 - накопичувальний суматор; 18 - вхід логічного "0"; 19 - вхід скиду в 0 накопичувального суматора; 20 - вхід синхронізації накопичувального суматора 17; 21 - вихідна шина пристрою.

На фіг. 3 показана структурна схема швидкодіючого однорозрядного повного суматора з парафазними входами та виходами [Пат. 109142 Україна МПК G06F 7/00 (2016.01) / Однорозрядний суматор / Круліковський Б.Б., Давлетова А.Я., Возна Н.Я., Николайчук Я.М. № u2016 02165; заявл.04.03.2016; опубл. 10.08.2016, бюл. № 15].

На фіг. 4 та фіг. 5 наведені структури компонентів такого багаторозрядного суматора 15.

Пристрій працює наступним чином: На початку циклу роботи пристрою на першому виході синхронізатора 1 формується сигнал скиду у нульовий стан накопичуваного суматора 17 по третьому входу 19, а на другому виході синхронізатора 1 протягом циклу роботи пристрою формується n - синхронізуючих імпульсів, які надходять на треті входи всіх логічних елементів АБО 8, логічних елементів І 9 та другий вхід 20 накопичувального суматора 17. Вхідні аналогові сигнали $x(t)$ $y(t)$ надходять на відповідні входи пристрою 2, 4, які у вигляді потенціалів U_y та U_x надходять на перші входи відповідних компараторів 3, 5, другі входи яких з'єднані з відповідними виходами схеми формування взірцевих потенціалів 6, вхід якої з'єднаний з третім входом пристрою 7 взірцевого потенціалу U_0. При цьому на виходах компараторів 3 та 5 формуються відповідні паралельні унітарні коди вхідних потенціалів U_y та U_x, які надходять на входи відповідних логічних елементів АБО 8 та І 9. Логічні елементи АБО 8 формують паралельні унітарні коди більшого з двох цифрових значень x_i або y_i, а на виходах логічних елементів І 9 формуються паралельні коди меншого з двох цифрових значень x_i або y_i. При цьому на виходах логічних елементів І-НІ 10 формуються інверсні розрядно-позиційні паралельні коди Хаара більшого з двох цифрових значень x_i або y_i, які надходять на відповідні входи третіх логічних елементів І-НІ 14.1, на виходах яких формуються прямі паралельні двійкові коди більшого із них, на виходах других логічних елементів І-НІ 12 формуються інверсні розрядно-позиційні коди Хаара меншого з двох цифрових значень x_i або y_i, які надходять на відповідні входи третіх логічних елементів І-НІ 14.2, на виходах яких формуються інверсні паралельні двійкові коди меншого із них. Отримані вихідні двійкові коди цифрових значень x_i та y_i надходять на входи багаторозрядного двійкового суматора 15 з парафазними входами та наскрізними переносами (фіг. 3) [Давлетова А.Я. Однорозрядний суматор, патент України на корисну модель № 109142, бюл. 16, 2016], де додаються з врахуванням логічної одиниці на вході суматора 16. У результаті на виході суматора 15 формується двійковий код модульної різниці між цифровим значенням x_i та y_i, сума яких накопичується в накопичувальному суматорі 17, із старших розрядів якого знімається двійковий код 20 значення Хеммінгової віддалі між двома аналоговими сигналами.

Приклад. Нехай $x_i = 6$, $y_i = 3$, тоді отримаємо наступні значення:



У процесі визначення Хеммінгової віддалі між двома аналоговими сигналами виконуються наступні перетворення цифрових кодів x_i та y_i:

1) перетворення аналогових сигналів $x(t)$ та $y(t)$ у вигляді паралельних унітарних кодів на виході компараторів (U);

2) формування паралельних унітарних кодів більшого з двох x_i та y_i на виходах логічних елементів АБО (U);

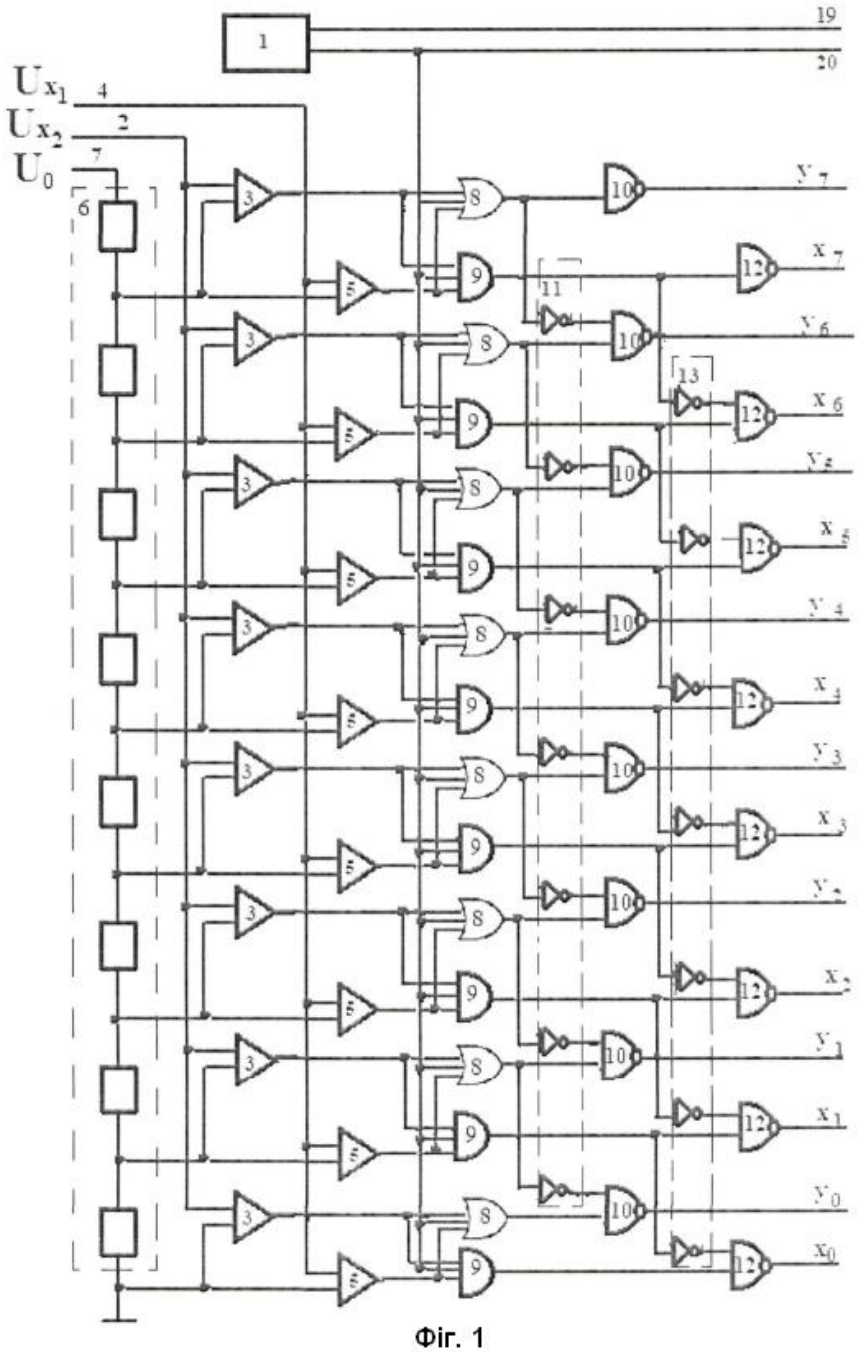
3) формування паралельних інверсних кодів Хаара на виходах логічних елементів І-НІ ($\overline{H}$);

4) формування паралельного коду Радемахера $x >$ та інверсного паралельного коду Радемахера $y <$ на виходах логічних елементів І-НІ (R);

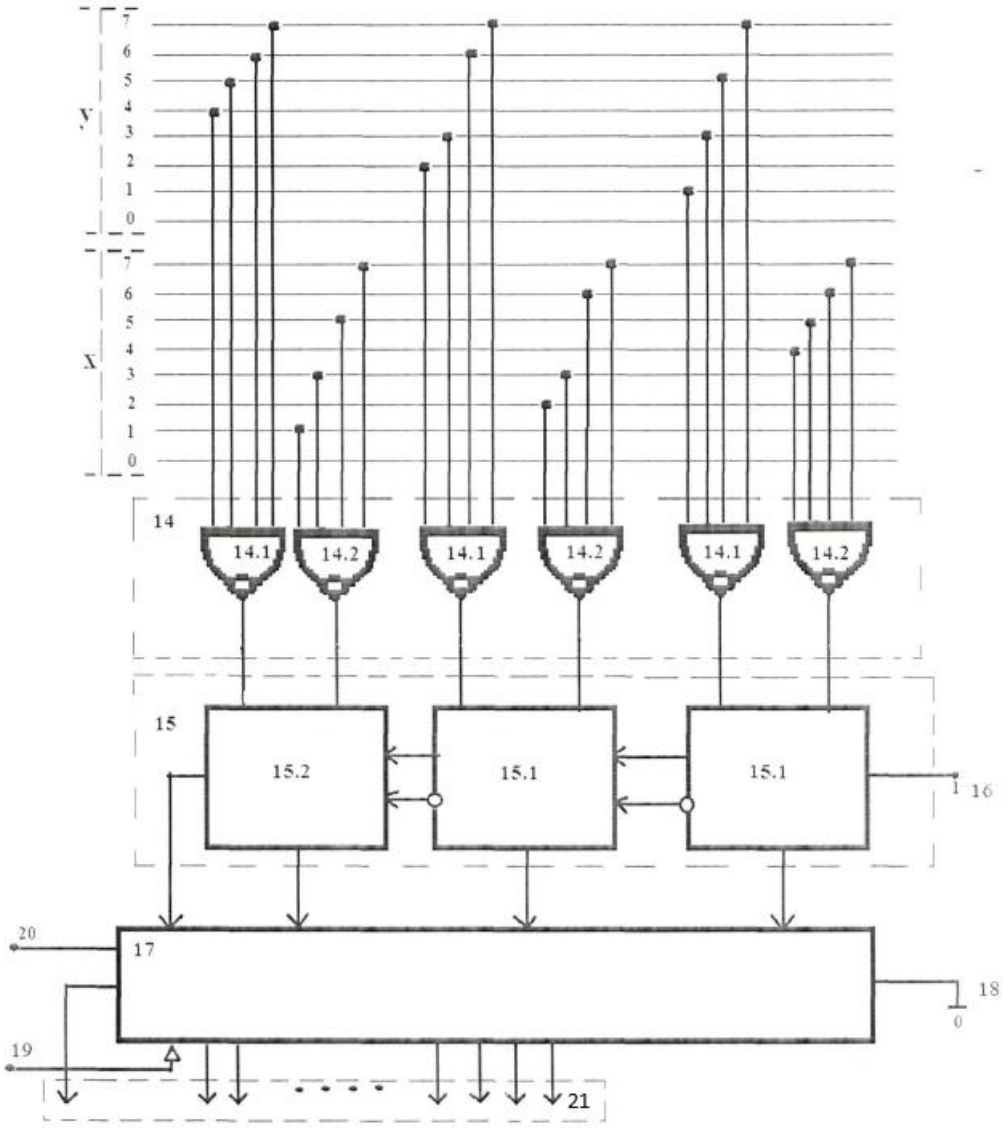
5) виконання операції додавання прямого коду y_i, інверсного коду x_i та одиниці доповнюючого коду у багаторозрядному суматорі.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

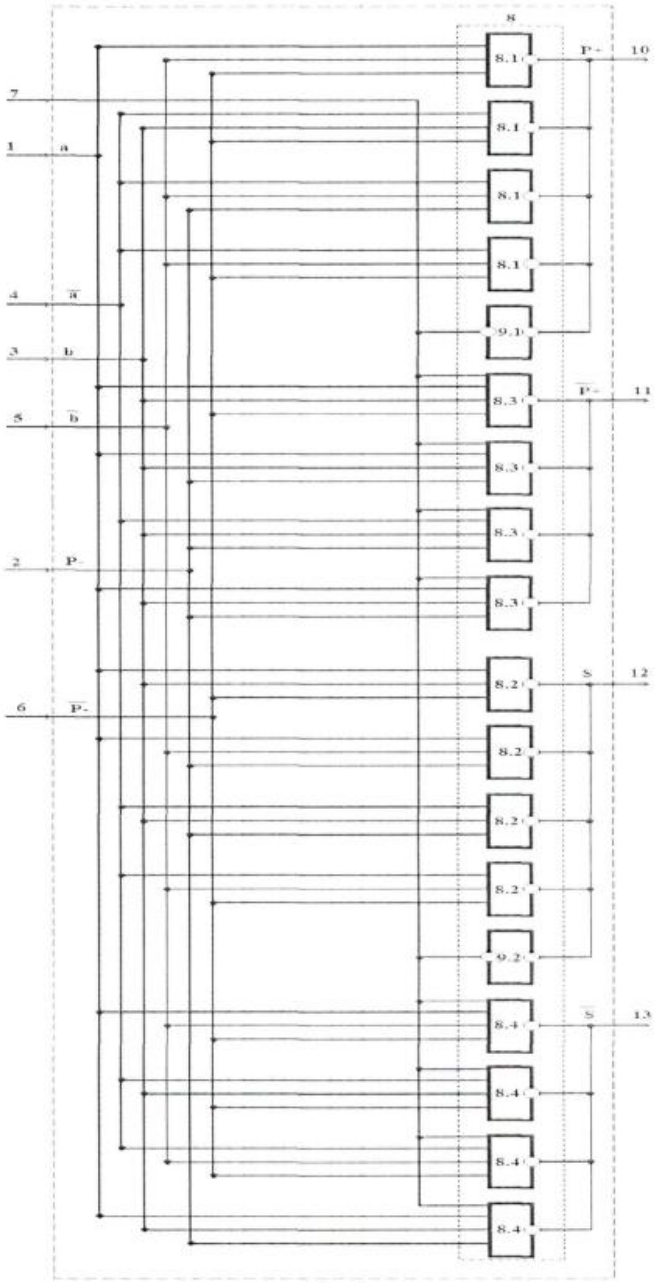
Пристрій визначення Хеммінгової віддалі між двома сигналами, що містить синхронізатор, перший аналоговий вхід, з'єднаний з першим входом першого компаратора і-го розряду, другий аналоговий вхід, з'єднаний з першим входом другого компаратора і-го розряду, другий вихід якого з'єднаний з другим входом першого компаратора і-го розряду та першим виходом схеми формування ступінчастих взірцевих потенціалів, який **відрізняється** тим, що додатково введено 2^k-1 розрядів, у кожному з яких вихід першого компаратора додатково з'єднаний з першими входами додатково введеного логічного елемента АБО та логічного елемента І, другий вхід якого додатково з'єднаний з другим входом логічного елемента АБО та виходом другого компаратора, вихід логічного елемента АБО додатково з'єднаний з першим входом додатково введеного першого логічного елемента І-НІ і-го та додатково з'єднаний з входом додатково введеного першого логічного елемента НІ і-1-го, вихід якого додатково з'єднаний з першим входом першого логічного елемента І-НІ і+1-го розряду, вихід логічного елемента І додатково з'єднаний з першим входом додатково введеного другого логічного елемента І-НІ і-го розряду та входом додатково введеного другого логічного елемента НІ і-1-го, вихід якого з'єднаний з другим входом другого логічного елемента І-НІ і-го, виходи других логічних елементів І-НІ з'єднані з першими входами третіх логічних елементів І-НІ і-го, виходи яких з'єднані з відповідними першими входами багаторозрядного двійкового суматора, другий вхід якого з'єднаний з логічною одиницею, а виходи з'єднані з відповідними першими входами багаторозрядного накопичувального суматора, другий вхід якого з'єднаний з першим виходом синхронізатора, другий вихід якого з'єднаний зі всіма третіми входами логічних елементів АБО та І, третій вхід накопичувального суматора з'єднаний з входом логічного нуля, а виходи старших розрядів є виходами пристрою.


1
19
20
U_{x_1}
4
U_{x_2}
2
U_0
7
6
3
5
8
9
10
11
12
13
y_7
x_7
y_6
x_6
y_5
x_5
y_4
x_4
y_3
x_3
y_2
x_2
y_1
x_1
y_0
x_0

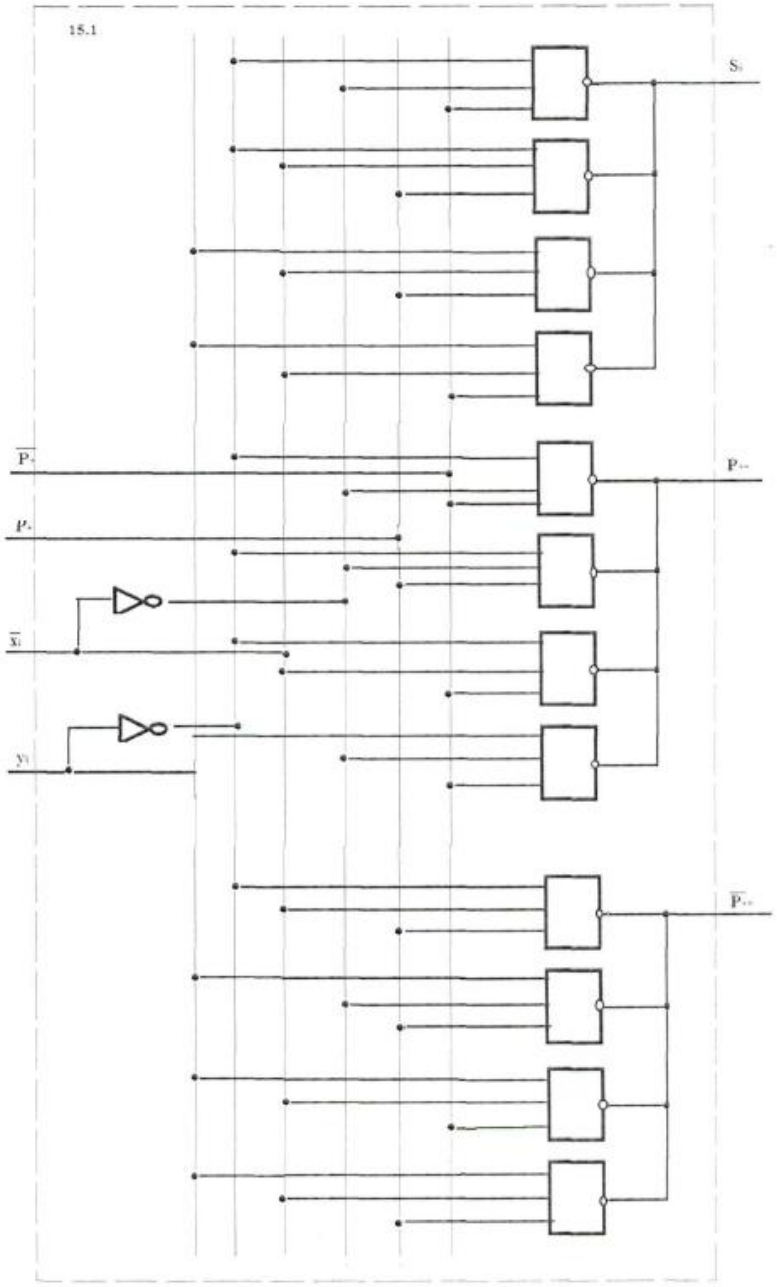
Фіг. 1


Y
7
6
5
4
3
2
1
0
X
7
6
5
4
3
2
1
0
14
14.1
14.2
14.1
14.2
14.1
14.2
15
15.2
15.1
15.1
1
16
20
17
18
0
19
21

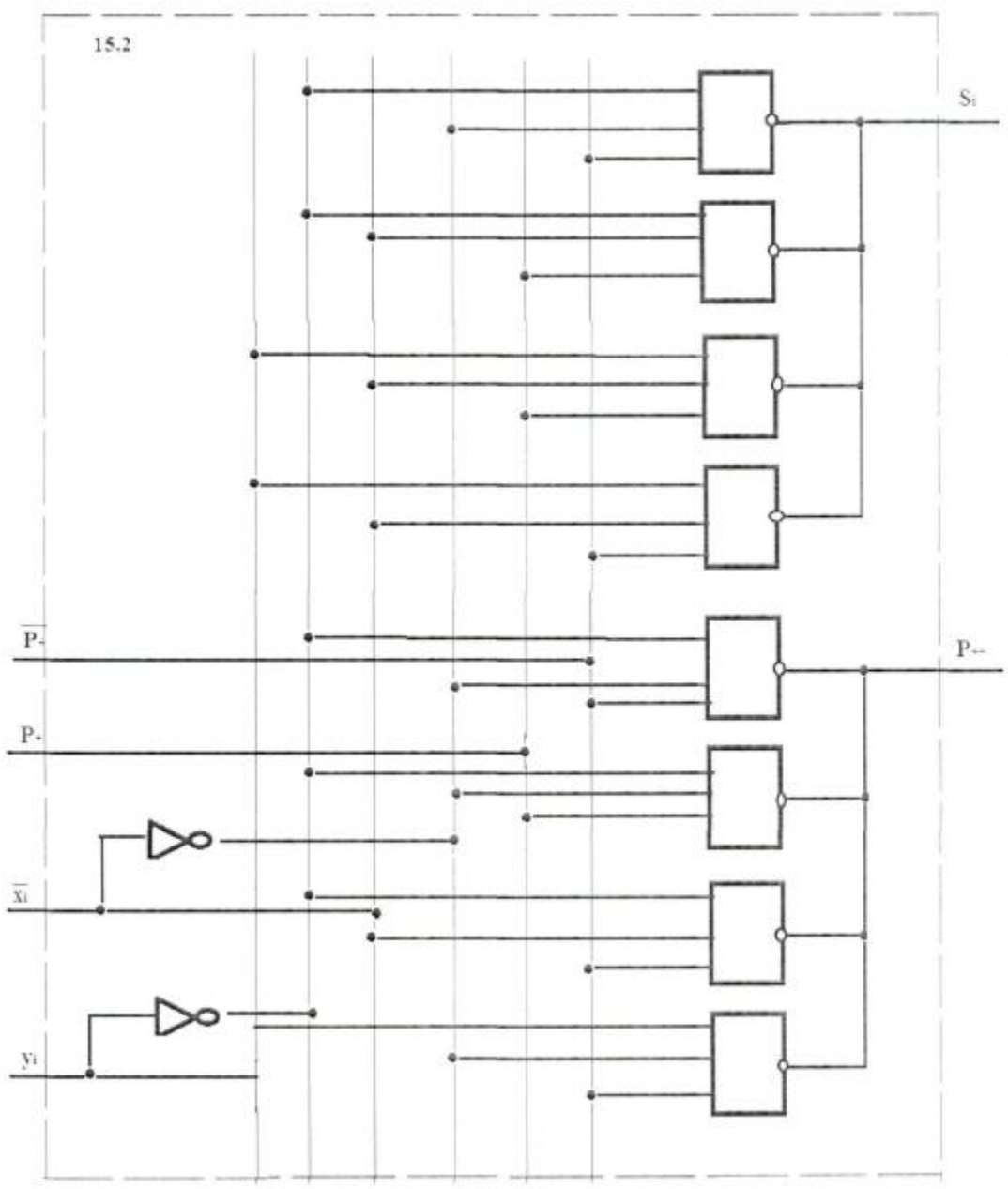
Фіг. 2


8
8.1
8.1
8.1
8.1
9.1
8.3
8.3
8.3
8.3
8.2
8.2
8.2
8.2
9.2
8.4
8.4
8.4
8.4
P+
10
7
1
a
4
ā
3
b
5
b̄
2
P-
11
6
P̄-
S
12
S̄
13

Фіг. 3



Фіг. 4



Фіг. 5

Комп'ютерна верстка Г. Паяльніков

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601