



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **116601** (13) **C2**
(51) МПК
G06F 7/501 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

<p>(21) Номер заявки: а 2017 00814</p> <p>(22) Дата подання заявки: 30.01.2017</p> <p>(24) Дата, з якої є чинними права на винахід: 10.04.2018</p> <p>(41) Публікація відомостей про заяву: 10.07.2017, Бюл.№ 13</p> <p>(46) Публікація відомостей про видачу патенту: 10.04.2018, Бюл.№ 7</p>	<p>(72) Винахідник(и): Круліковський Борис Борисович (UA), Возна Наталія Ярославівна (UA), Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA)</p> <p>(73) Власник(и): Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: RU 2514785 C1 10.05.2014 UA 109136 U, 10.08.2016 SU 1543399 A1, 15.02.1990 EP 0724267 A1, 31.07.1996 RU 2262736 C1, 20.10.2005 SU 1465881 A1, 15.03.1989 SU 1580349 A1, 23.07.1990 SU 1589269 A1, 30.08.1990</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) КОМБІНАЦІЙНИЙ СУМАТОР

(57) Реферат:

Комбінаційний суматор належить до засобів обчислювальної техніки і може бути використаний як компонент швидкодіючих арифметико-логічних пристроїв та процесорів опрацювання цифрових даних. Пристрій містить вхідну шину, в якій містяться логічні елементи НІ, на виході якої формуються прямі та інверсні коди двох багаторозрядних двійкових чисел, які подаються на входи пірамідальної структури з парафазними вертикальними та горизонтальними інформаційними зв'язками між парафазними однорозрядними неповними двійковими суматорами, на виході якої формується код суми двох багаторозрядних двійкових чисел. Технічним результатом є забезпечення формування двійкового коду суми двох багаторозрядних чисел, заданих на входах двійковими сигналами.

UA 116601 C2

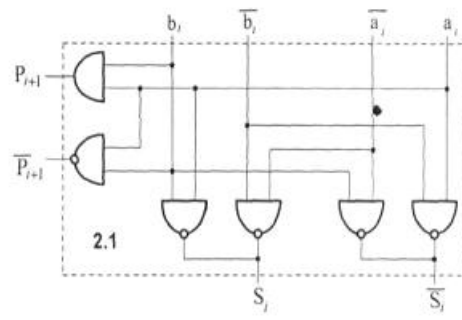


Fig. 1

Комбінаційний суматор належить до засобів обчислювальної техніки і може бути використаний як компонент швидкодіючих арифметико-логічних пристроїв та процесорів опрацювання цифрових даних.

5 Відомий аналог - комбінаційний суматор [Дрозд О.В., Харченко В.С. Робоче діагностування безпечних інформаційно-керуючих систем, Харків: "ХАІ", 2012, - с. 99, рис. 4.3], який містить вхідну шипу, з'єднану з відповідними входами пірамідальної структури, що містить з'єднані між собою вертикальними та горизонтальними зв'язками логічні елементи І та АБО, виходи якої з'єднані з відповідними входами вихідної шини, яка є виходом пристрою.

10 Недоліком такого комбінаційного суматора є обмежені функціональні можливості, обумовлені тим, що такий суматор виконує додавання бітів вхідного двійкового число-імпульсного коду і представляє результат додавання у розрядно-позиційному двійковому коді. Тому такий комбінаційний суматор не забезпечує додавання двох паралельних двійкових кодів і представлення результатів додавання у коді двійкової системи числення.

15 Відомий прототип - комбінаційний суматор [Гринберг И.П., Комбинационный сумматор // Патент RU № 2514785, Бюл. № 13, 2014], який містить 6-розрядну вхідну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить з'єднані між собою горизонтальними та вертикальними інформаційними зв'язками логічні елементи "ВИКЛЮЧНЕ АБО" та І, виходи якої з'єднані з відповідними входами вихідної шини, яка є виходом пристрою.

20 Недоліком такого комбінаційного суматора є обмежені функціональні можливості та низька швидкодія.

Практично, кожен два логічні елементи "ВИКЛЮЧНЕ АБО" та І, пірамідальної структури такого суматора реалізують структуру та функції однорозрядного неповного двійкового суматора з прямими входами та прямими виходами сум, що формують сигнали прямих горизонтальних інформаційних зв'язків, та переносу, що формують відповідні прямі вертикальні інформаційні зв'язки пірамідальної структури комбінаційного суматора. Крім того ланцюжок послідовно з'єднаних входами та виходами логічних елементів "ВИКЛЮЧНЕ АБО" у старшому розряді пірамідальної структури такого суматора фактично виконує функції логічного елемента АБО для формування відповідного біта на виході старшого розряду вихідної шини пристрою, що ускладнює структуру такого суматора та знижує швидкодію при збільшенні розрядності комбінаційного суматора.

Обмежені функціональні можливості такого суматора обумовлені тим, що відомий суматор дозволяє виконувати додавання тільки 3-розрядні двійкові числа, а низька швидкодія такого суматора обумовлена тим, що пірамідальна структура містить логічні елементи "ВИКЛЮЧНЕ АБО" тільки з прямими входами та прямим виходом, що потребує застосування структурної реалізації логічних елементів "ВИКЛЮЧНЕ АБО" на основі не менше 3-х послідовно з'єднаних логічних елементів НІ, І-НІ та АБО-НІ [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г. - с. 57. - рис. 1.35].

40 В основу удосконалення комбінаційного суматора поставлена задача, розширення його функціональних можливостей та підвищення швидкодії додатковим введенням вхідної шини довільної розрядності, в яку додатково введені логічні елементи НІ, та додатковим формуванням на її виходах, крім прямих додаткових інвертованих кодів двійкових чисел, додатковим застосуванням у пірамідальній структурі комбінаційного суматора швидкодіючих, з затримкою сигналів на 1 мікротакт, однорозрядних неповних двійкових суматорів з прямими та інверсними (парафазними) входами та виходами (фіг. 1), та додаткового введення логічного елемента НІ у старшому розряді пірамідальної структури для формування біта старшого розряду суми комбінаційного суматора.

Поставлена задача вирішується тим, що комбінаційний суматор містить вхідну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить з'єднані між собою прямими горизонтальними та вертикальними інформаційними зв'язками структури однорозрядних неповних двійкових суматорів з прямими входами та виходами, вихідну шину, входи якої з'єднані з відповідними розрядними виходами пірамідальної структури комбінаційного суматора, а виходи є виходом пристрою, згідно з запропонованим пристроєм, містить додатково введену $2n$ -розрядну вхідну шину (n - ціле число ≥ 3), яка містить $2n$ додатково введених логічних елементів НІ, входи яких додатково з'єднані з відповідними розрядними входами вхідної шини, а інверсні виходи додатково з'єднані з додатково введеними інверсними входами пірамідальної структури комбінаційного суматора, яка містить додатково введені інверсні горизонтальні та вертикальні інформаційні зв'язки між однорозрядними неповними двійковими суматорами з додатково введеними інверсними входами та виходами, виходи суматорів старшого $(n-1)$ -го, починаючи з нульового, розряду пірамідальної структури

комбінаційного суматора додатково з'єднані між собою і входом додатково введеного логічного елемента НІ, вихід якого додатково з'єднаний з n-м входом вихідної шини пристрою.

На фіг. 2 зображена структурна схема комбінаційного суматора: 1 - вхідна $2n$ -розрядна шина $(a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1})$; 1.1 - логічні елементи НІ; 2 – пірамідальна структура з парафазними входами, яка містить: наступні типи однорозрядних неповних суматорів: 2.1 - з парафазними входами і парафазними виходами суми та переносу (фіг. 1); 2.2 - з парафазним виходом переносу і прямим виходом суми (фіг. 3); 2.3 - з парафазним виходом суми та інверсним виходом переносу (фіг. 4); 2.4 - з інверсним виходом переносу і прямим виходом суми (фіг. 5); 2.5 - інвертор; 3 - вихідна шина комбінаційного суматора $(S_0, S_1, S_2, \dots, S_{n-1}, S_n)$.

Двійкові n -розрядні коди (n -ціле число ≥ 3) подаються на відповідні входи $(a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1})$ вхідної шини 1. Парафазні виходи вхідної шини 1 з'єднані з відповідними входами однорозрядних неповних парафазних суматорів 2.1, 2.2 та 2.3 комбінаційної структури 2. Прямі виходи суми всіх однорозрядних суматорів 2.2 та 2.4 з'єднані з відповідними входами $(S_0, S_1, S_2, \dots, S_{n-1})$ вихідної шини 3. Інверсні виходи переносів всіх суматорів (2.3 та 2.4) комбінаційної структури 2 з'єднані між собою та входом інвертора 2.5, вихід якого є S_n -им виходом вихідної шини комбінаційного суматора.

Комбінаційний суматор працює наступним чином.

При надходженні на вхідну шину 1 n -розрядних кодів двійкових чисел $(a_0, a_1, a_2, \dots, a_{n-1})$ та $(b_0, b_1, b_2, \dots, b_{n-1})$ на її виходах формуються парафазні двійкові коди $(\overline{a_0}a_0, \overline{a_1}a_1, \overline{a_2}a_2, \dots, \overline{a_{n-1}}a_{n-1})$ та $(\overline{b_0}b_0, \overline{b_1}b_1, \overline{b_2}b_2, \dots, \overline{b_{n-1}}b_{n-1})$, які надходять на відповідні парафазні входи комбінаційної структури 2.

При цьому на виходах лінійки однорозрядних суматорів (2.2, 2.4) формується n -розрядний двійковий код суми вхідних кодів, який надходить на входи $(S_0, S_1, S_2, \dots, S_{n-1})$ вихідної шини 3, а на виходах інверсних переносів суматорів (2.3, 2.4) формується інверсний сигнал переносу, який надходить на вхід логічного елемента НІ (2.5), на виході якого формується старший біт суми S_n , що надходить на вихідну шину 3.

Таким чином, у результаті запропоновано удосконалення комбінаційного суматора, і у порівнянні з прототипом досягнуто розширення функціональних можливостей комбінаційного суматора за рахунок здійснення додавання двох двійкових кодів з розрядністю $n \geq 3$.

Досягнуте збільшення швидкодії комбінаційного суматора визначається порівнянням оцінок часової складності прототипу та запропонованої структурної схеми суматора згідно з виразом $T_{KC} = nT_K$, де n - розрядність вхідних кодів; T_K - число мікротактів затримки сигналів у найдовшому ланцюжку послідовно з'єднаних логічних елементів або вентилів комбінаційної структури.

Оскільки у прототипі застосована схема логічного елемента "ВИКЛЮЧНЕ АБО", з непарафазними входами та виходами з затримкою сигналів не менше $T_K = 3v$ (v -мікротакт), то загальна затримка сигналів у відомому комбінаційному суматорі у залежності від розрядності вхідних кодів n буде рівна $T_{C1} = n \times 3$.

Тобто, наприклад, при $n=8, 16, 32, 64, 128$, що відповідає розрядності АЛП сучасних персональних комп'ютерів у структурній схемі комбінаційного суматора прототипа буде відповідна затримка сигналів на $T_{C1} = 24, 48, 96, 192, 384v$.

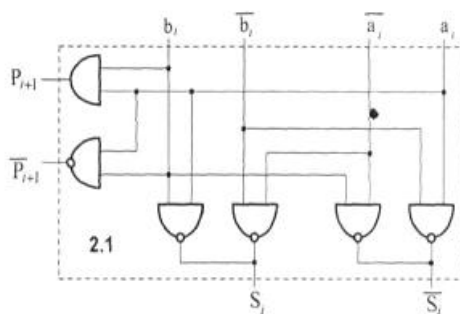
Затримка сигналів у парафазному однорозрядному неповному суматорі, згідно з структурною схемою, представленою на фіг. 1, рівна $T_K = 1v$. Отже, загальна затримка сигналів у запропонованому n -розрядному комбінаційному суматорі з врахуванням часової затримки вхідного сигналу інвертором (1.1) вхідної шини 1 та у вихідному інверторі (2.5), оцінка часової затримки буде наступна: $T_{C2} = 1 + n \times T_K + 1$. Тобто, при $n=8, 16, 32, 64, 128$ $T_{C2} = 10, 18, 34, 66, 130v$.

Таким чином досягнуто підвищення швидкодії запропонованого комбінаційного суматора у порівнянні з прототипом в $2,4 \approx 3$ рази, при розрядності вхідних двійкових чисел у діапазоні $8 \div 128$ біт.

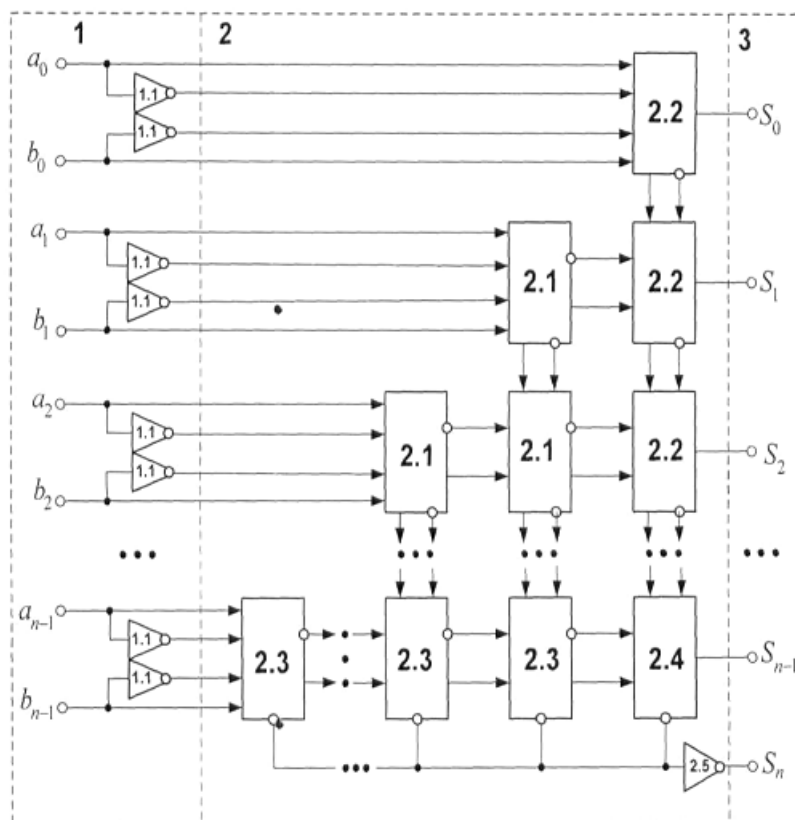
ФОРМУЛА ВИНАХОДУ

Комбінаційний суматор, що містить вхідну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить з'єднані між собою прямими горизонтальними та вертикальними інформаційними зв'язками структури однорозрядних неповних двійкових суматорів з прямими входами та виходами, вихідну шину, входи якої з'єднані з відповідними розрядними виходами пірамідальної структури комбінаційного суматора, а виходи є виходом пристрою, який **відрізняється** тим, що містить вхідну шину з $2n$ -розрядами, яка містить $2n$ логічних елементи НІ, входи яких з'єднані з відповідними розрядними входами вхідної шини, а інверсні виходи з'єднані з інверсними входами пірамідальної структури комбінаційного суматора, яка містить інверсні горизонтальні та вертикальні інформаційні зв'язки між

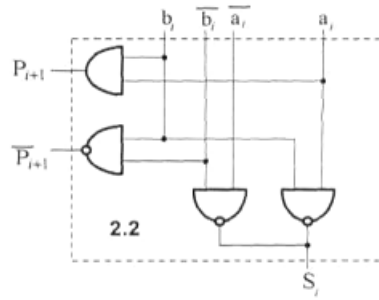
однорозрядними неповними двійковими суматорами з інверсними входами та виходами, інверсні виходи суматорів старшого (n-1)-го, починаючи з нульового розряду пірамідальної структури комбінаційного суматора з'єднані між собою і входом логічного елемента НІ, вихід якого з'єднаний з n-м входом вихідної шини пристрою.



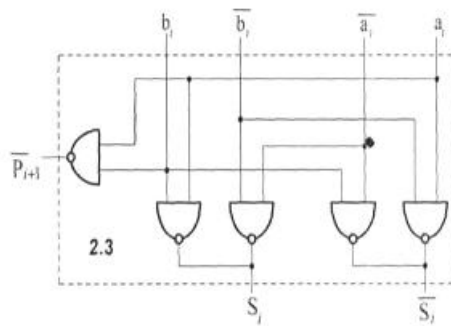
Фиг. 1



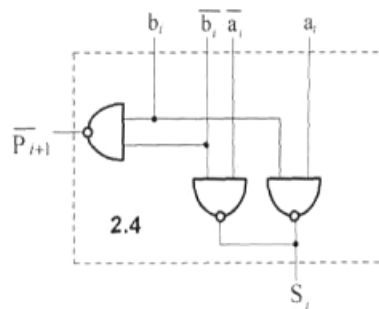
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5