



УКРАЇНА

(19) UA (11) 115861 (13) U  
(51) МПК (2017.01)  
G06F 7/00

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: <b>u 2016 12463</b>	(72) Винахідник(и): <b>Давлетова Аліна Ярославівна (UA), Николайчук Ярослав Миколайович (UA)</b>
(22) Дата подання заявки: <b>07.12.2016</b>	(73) Власник(и): <b>Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>25.04.2017</b>	
(46) Публікація відомостей про видачу патенту: <b>25.04.2017, Бюл.№ 8</b>	

## (54) ОДНОРОЗРЯДНИЙ НАПІВСУМАТОР

### (57) Реферат:

Однорозрядний напісуматор містить логічний елемент І, перший вхід якого з'єднаний з першим входом напісуматора, другий вхід з'єднаний з другим входом напісуматора, а вихід є першим виходом переносу напісуматора, логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом напісуматора. Перший вхід логічного елемента І-НІ додатково з'єднаний з першим входом логічного елемента АБО, другий вхід якого додатково з'єднаний з другим входом напісуматора, а вихід додатково з'єднаний з виходом логічного елемента І-НІ та виходом напісуматора.

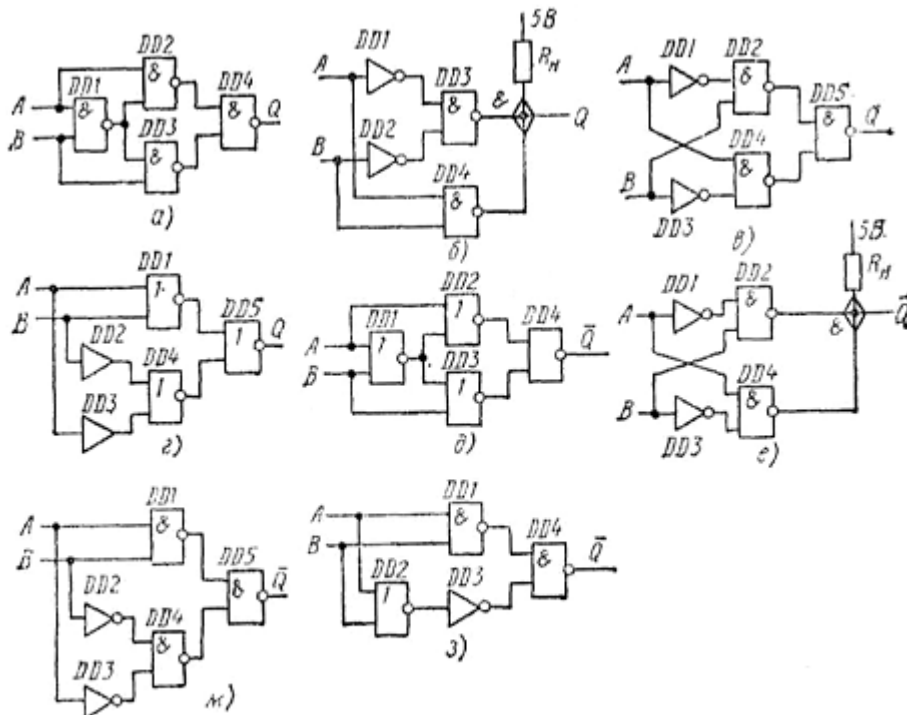


Fig. 1

UA 115861 U



Напівсуматор належить до пристроїв обчислювальної техніки і може бути використаний як компонент багаторозрядних комбінаційних суматорів.

Відомий аналог - двійковий напівсуматор [Браммер Ю.А. Цифрове устроїства: Учеб. Пособие для вузов / Ю.А. Браммер, И.Н. Пашук. - М.: Высшая школа, 2004. - С. 90, рис. 9.2а], який містить перший та другий входи, які з'єднані з відповідними входами комбінаційної схеми на логічних елементах І, АБО, НЕ, перший вихід якої з'єднаний з першим виходом суми однорозрядного напівсуматора, а другий вихід з'єднаний з виходом переносу однорозрядного напівсуматора.

Недоліком такого напівсуматора є велика апаратна складність, обумовлена наявністю п'яти логічних елементів, що при використанні таких напівсуматорів у багаторозрядних комбінаційних суматорах, наприклад у 1024-бітних процесорах шифрування даних, приводить до відповідної значної апаратної складності. Іншим недоліком відомого напівсуматора є низька швидкодія, обумовлена наявністю трьох послідовно з'єднаних логічних елементів у комбінаційній схемі, яка формує вихід суми однорозрядного напівсуматора, що відповідно знижує швидкодію багаторозрядних суматорів при його застосуванні як базового компонента.

Відомий аналог - однорозрядний напівсуматор [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1988. - С. 56, рис. 1.346], який містить перший вхід, з'єднаний з першим входом логічного елемента "Виключаюче АБО", вихід якого є першим виходом суми однорозрядного напівсуматора, а другий вхід з'єднаний з другим входом логічного елемента "І", вихід якого є другим виходом переносу однорозрядного напівсуматора.

Недоліком такого однорозрядного напівсуматора є велика апаратна складність та низька швидкодія, які обумовлені наявністю логічного елемента "Виключаючі АБО", який реалізується на основі комбінаційної схеми з п'яти логічних елементів (два елементи НЕ, два елементи І та один елемент АБО), з яких три логічні елементи НЕ-І-АБО послідовно з'єднані при формуванні вихідного сигналу суми однорозрядного напівсуматора. При цьому апаратна складність такого однорозрядного напівсуматора складає шість логічних елементів, що приводить до великої апаратної складності багато розрядних комбінаційних суматорів.

Відомий найближчий аналог - напівсуматор [Арифметика цифровых машин / Карцев М.А. - М.: Наука, 1969. - С. 68, рис. 2-13], реалізований на логічних елементах з інверсними входами, перший вхід якого з'єднаний з першим інверсним входом першого логічного елемента І, першим прямим входом другого елемента І та першим прямим входом третього елемента І, вихід якого є першим виходом переносу напівсуматора. а вхід з'єднаний з другим інверсним входом напівсуматора та другим прямим входом першого логічного елемента І, вихід якого з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом другого логічного елемента І, а вихід з'єднаний з другим виходом суми напівсуматора.

Недоліком такого суматора є велика апаратна складність, яка обумовлена тим, що напівсуматор містить чотири логічні елементи, а низька швидкодія обумовлена наявністю двох послідовно з'єднаних логічних елементів І-АБО при формуванні вихідного сигналу суми напівсуматора.

В основу корисної моделі поставлена задача вдосконалення однорозрядного напівсуматора шляхом спрощення структури та мікроелектронної реалізації логічного елемента "Виключаюче АБО" на логічному елементі І-НЕ та АБО, виходи яких об'єднані і реалізують логічний елемент "Провідне І", що дозволяє зменшити апаратну складність до трьох логічних елементів, тобто у 2-3 рази та підвищити швидкодію спрацювання за 1 мікротакт, тобто у 3 рази у порівнянні з відомими аналогами та найближчим аналогом.

Поставлена задача вирішується тим, що однорозрядний напівсуматор, що містить логічний елемент І, перший вхід якого з'єднаний з першим входом напівсуматора, другий вхід з'єднаний з другим входом напівсуматора, а вихід є першим виходом переносу напівсуматора, логічний елемент І-НЕ, перший вхід якого з'єднаний з першим входом напівсуматора та додатково з'єднаний з першим входом логічного елемента АБО, другий вхід якого додатково з'єднаний з другим входом напівсуматора, а вихід додатково з'єднаний з виходом логічного елемента І-НЕ та виходом напівсуматора.

Використання логічних елементів реалізованих на мікроелектронній технології ЕЗЛ включає наявність транзисторів на виходах логічних елементів І-НЕ та АБО. що дозволяє об'єднувати їх виходи без втрати функцій та реалізувати логічний елемент "Провідне І" [Якубовский С.В., Ниссельсон Л.П., Кулешова В.И. и др. ... В.И. Кулешова и др.; Под ред. С.В. Якубовского. - М.: Радио и связь, 1990. - С. 105, рис. 2.19].

Корисна модель ілюструється кресленнями, де на фіг. 1 показана структура та стандартні позначення логічного елемента "Виключаюче АБО" [Шило В.Л. Популярные цифровые

микросхеми: Справочник. - М.: Радио и связь, 1988. - С. 57, рис. 1.35], на фіг. 2 показана структура однорозрядного напівсуматора.

Однорозрядний напівсуматор працює наступним чином.

При подачі на входи напівсуматора логічних значень  $a=0$  та  $b=0$  на виході логічного елемента І-НЕ формується сигнал "1" одночасно на виході логічного елемента АБО формується "0", що відповідає сигналу  $S=0$ . При цьому на виході переносу логічного елемента І формується сигнал "0".

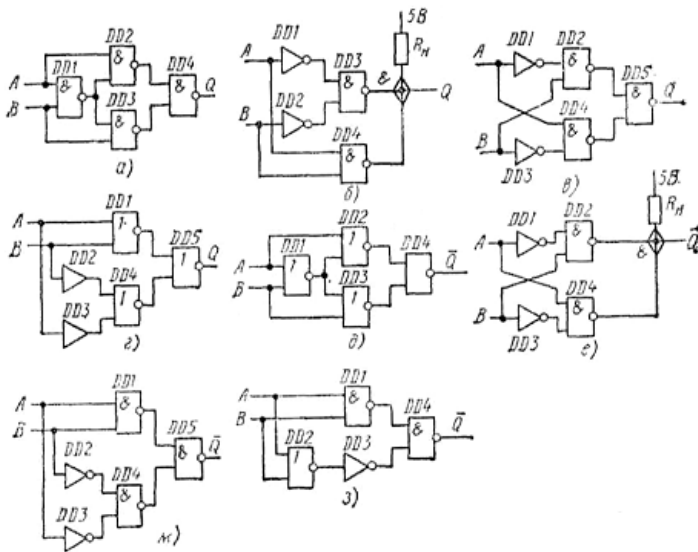
При подачі на вхід напівсуматора логічних значень  $a=1$   $b=1$  на виході логічного елемента І-НЕ формується сигнал "0" одночасно на виході логічного елемента АБО формується "1", що відповідає сигналу  $S=0$ . При цьому на виході переносу логічного елемента І формується сигнал "1".

При подачі на входи напівсуматора логічних значень  $a=1$  та  $b=0$  або  $a=0$  та  $b=1$  на виході логічного елемента І-НЕ формується сигнал "1" одночасно на виході логічного елемента АБО формується "1", що відповідає сигналу  $S=1$ . При цьому на виході переносу логічного елемента І формується сигнал "0".

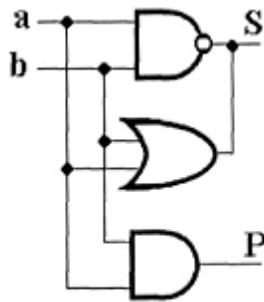
Технічний результат. У результаті корисної моделі створено швидкодіючий однорозрядний напівсуматор з часовою затримкою сигналів 1 мікротакт та зменшеною апаратною складністю з трьох логічних елементів І-НЕ, АБО та І.

20 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Однорозрядний напівсуматор, що містить логічний елемент І, перший вхід якого з'єднаний з першим входом напівсуматора, другий вхід з'єднаний з другим входом напівсуматора, а вихід є першим виходом переносу напівсуматора, логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом напівсуматора, який **відрізняється** тим, що перший вхід логічного елемента І-НІ додатково з'єднаний з першим входом логічного елемента АБО, другий вхід якого додатково з'єднаний з другим входом напівсуматора, а вихід додатково з'єднаний з виходом логічного елемента І-НІ та виходом напівсуматора.



Фиг. 1



Фиг. 2

---

Комп'ютерна верстка Л. Бурлак

---

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601