



УКРАЇНА

(19) **UA** (11) **120413** (13) **C2**
(51) МПК
G06F 7/52 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

<p>(21) Номер заявки: а 2018 10298</p> <p>(22) Дата подання заявки: 17.10.2018</p> <p>(24) Дата, з якої є чинними права на винахід: 25.11.2019</p> <p>(41) Публікація відомостей про заявку: 11.03.2019, Бюл.№ 5</p> <p>(46) Публікація відомостей про видачу патенту: 25.11.2019, Бюл.№ 22</p>	<p>(72) Винахідник(и): Давлетова Аліна Ярославівна (UA), Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA)</p> <p>(73) Власник(и): Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Грига Володимир Михайлович, вул. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: SU 1615704 A1, 23.12.1990 SU 1585804 A1, 15.08.1990 SU 1134948 A, 15.01.1985 JP H10228369 A, 25.08.1998 CN 102866875 A, 09.01.2013 US 4876660 A, 24.10.1989 EP 1576463 B1, 11.10.2006 US 3866030 A, 11.02.1975</p> <p>Орлов С.А., Цилькер Б.Я. Организация ЭВМ и систем: учеб. для вузов. 2-е изд. – СПб.: Питер, 2011. – С. 168-171.</p>
--	--

(54) МАТРИЧНИЙ ПЕРЕМНОЖУВАЧ

(57) Реферат:

Матричний перемножувач належить до засобів обчислювальної техніки і може бут використаний як компонент високопродуктивних проблемно-орієнтованих багаторозрядних процесорів опрацювання та шифрування інформації. Пристрій складається з вхідної шини двійкових кодів, логічних елементів І, матриці повних одноразових суматорів, додатково введені два регістри пам'яті на D-тригерах з парафазними виходами, два додаткові входи пристрою. За допомогою запропонованого пристрою досягається розширення функціональних можливостей та застосування у швидкодіючих цифрових пристроях, цифрових фільтрах та спецпроцесорах шифрування даних. Додаткове введення у матричний суматор повних однорозрядних двійкових суматорів з парафазними входами та виходами дозволило підвищити швидкість таких перемножувачів у порівнянні з відомими у 5÷6 разів.

UA 120413 C2

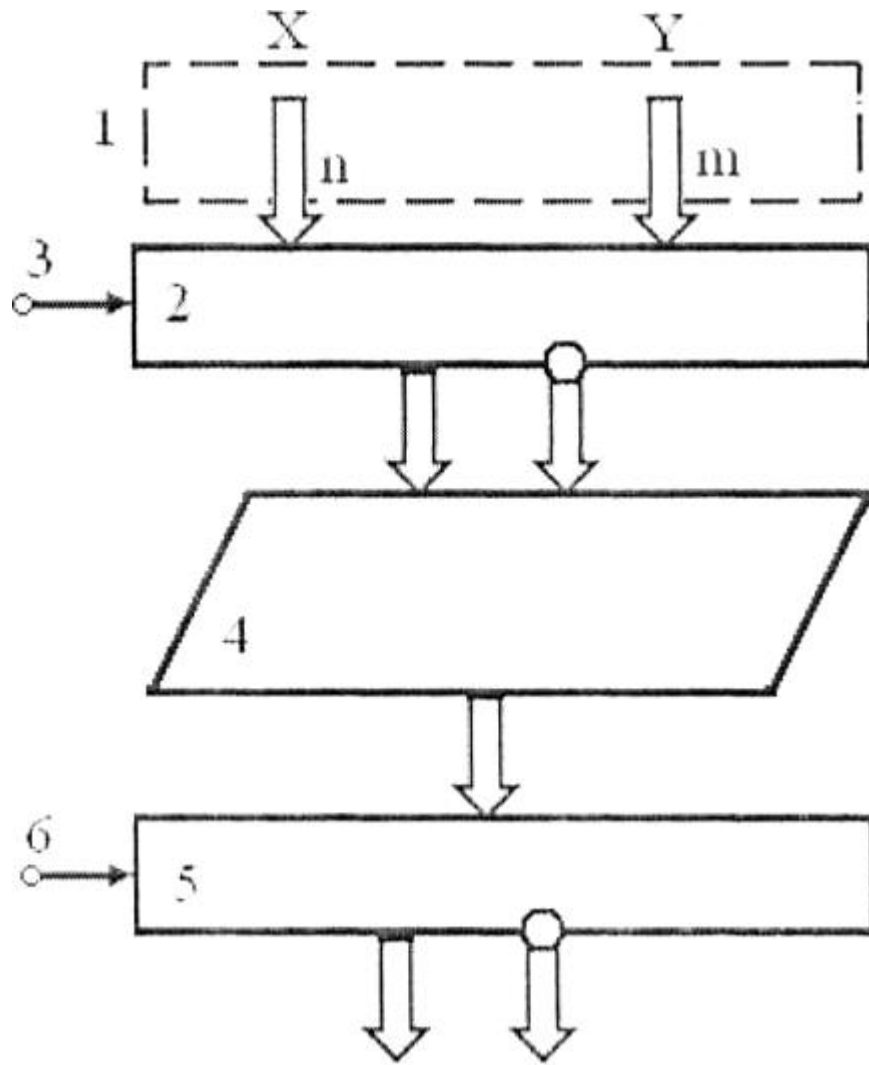


Fig. 2

Матричний перемножував належить до засобів обчислювальної техніки і може бут використаний як компонент високопродуктивних проблемно-орієнтованих багаторозрядних процесорів опрацювання та шифрування інформації.

Відомий аналог - матричний перемножувач | [Шатилло В.В., Прохоров С.Н., Явиц Л.С. Матричний множитель// АС № 1615704 SU, Бюлетень № 47.-1990], який містить матрицю елементів пхт, які з'єднані між собою відповідними горизонтальними та вертикальними інформаційними зв'язками переносів.

Недоліком такого матричного перемножувача є обмежені функціональні можливості, обумовлені тим, що його структура не містить вхідного та вихідного регістрів пам'яті, що не дозволяє його використовувати як компонент розпаралеленого синхронізованого формування та зчитування цифрових добутоків двійкових чисел, наприклад, у цифрових кореляторах, цифрових фільтрах та процесорах шифрування даних з глибоким розпаралеленням обчислювальних операцій. Іншим недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів містить однорозрядний повний суматор (фіг. 1) частота тривалість затримки сигналів переносів складає 3у-мікротакти, оскільки вхідні сигнали проходять через три послідовно з'єднані логічні елементи.

Відомий аналог - матричний перемножувач Брауна [Орлов С. А., Цилькер Б. Я, Организация ЭВМ и систем: Учебник для вузов. 2-е изд. - СПб.: Питер, 2011, ст. 194, рис.5.26], який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів I, виходи яких підключені до відповідних входів матриці неповних та повних однорозрядних суматорів, виходи якої є виходами перемножувача.

Недоліком такого матричного перемножувача є обмежені функціональні можливості, які обумовлені тим, що його структура не містить вхідного та вихідного регістрів пам'яті, що не дозволяє використовувати його як компонент розпаралеленого синхронізованого формування та зчитування цифрових добутоків двійкових чисел, наприклад, у цифрових кореляторах, цифрових фільтрах та процесорах шифрування даних з глибоким розпаралеленням обчислювальних операцій. Іншим недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів не містить парафазних входів та виходів, що потребує не менше 2-3 мікротакти часової затримки сигналів переносів і не дозволяє, у принципі, реалізувати відповідні вертикальні та горизонтальні переноси між виходами та входами однорозрядних суматорів з часовою затримкою 1 мікротакт.

В основу винаходу поставлена задача розширення функціональних можливостей та підвищення швидкодії матричного перемножувача шляхом додаткового введення першого (вхідного) і другого (вихідного) регістрів пам'яті на D-тригерах та додаткового введення у матрицю однорозрядних повних суматорів з парафазними входами та виходами, що дозволяє реалізувати інформаційні переноси між суматорами з гранично мінімальною затримкою сигналів на 1 мікротакт, а, крім того, підвищити регулярність структури матриці суматорів, що спрощує проектування та нарощення розрядності утилітів таких багаторозрядних пристроїв на реконфігурованих програмних кристалах ПЛІС.

Поставлена задача вирішується завдяки тому, що матричний перемножувач, який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів I, виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів з прямими виходами додатково містить перший регістр пам'яті на D-тригерах з парафазними виходами, перші входи якого є вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим, додатково введеним, входом пристрою, виходи з'єднані з відповідними додатково введеними інверсними входами матриці однорозрядних повних двійкових суматорів з парафазними входами і виходами, прямі виходи якої з'єднані з відповідними першими входами другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім додатково введеним входом пристрою, прямі виходи якого є виходами перемножувача.

Винахід пояснюється кресленням, де на фіг. 2 показана структурна схема пристрою, який містить 1 - вхідну шину двійкових кодів перемножуваних чисел, 2 - перший регістр пам'яті, 3 - перший синхронізуючий вхід пристрою, 4 - матрицю повних однорозрядних суматорів з парафазними входами і виходами, 5 - другий регістр пам'яті, 6 другий синхронізуючий вхід пристрою; на фіг. 3 показаний повний однорозрядний суматор матриці перемножувача.

Виходи вхідної шини перемножуваних чисел - 1 з'єднані з відповідними першими входами першого регістра пам'яті - 2, другий вхід якого з'єднаний з другим входом пристрою, парафазні входи першого регістра пам'яті - 2 з'єднані з відповідними парафазними входами матриці

однорозрядних повних суматорів - 4, другий вхід якої з'єднаний з входом логічного "0", а прямі однофазні виходи з'єднані з відповідними входами вихідного регістра пам'яті - 5, прямі виходи якої є вихідною шиною пристрою.

Пристрій працює наступним чином.

5 При подачі на синхронізуючий вхід (3) першого регістра пам'яті (2) вхідні коди (X та Y) перемножуваних чисел записуються у D-тригери, на парафазних (прямих та інвертованих) виходах першого регістра пам'яті 2 формуються парафазні коди перемножуваних чисел, які надходять на відповідні парафазні входи матриці повних однорозрядних суматорів 4, на
10 однофазних виходах якої формується код добутку вхідних двійкових чисел, який по сигналу синхронізації третього входу пристрою 6 записується у другий регістр пам'яті 5, на парафазних виходах якого формується вихідний код добутку двох двійкових чисел.

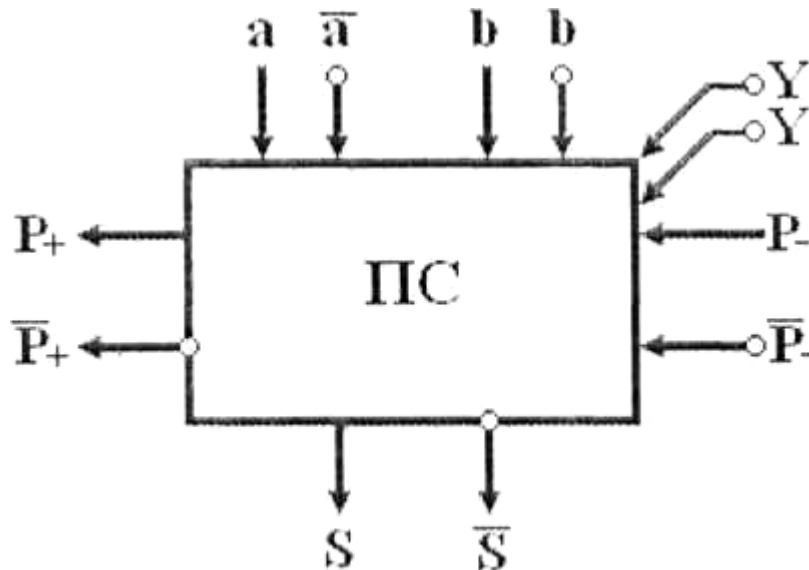
У результаті додаткового введення синхронізованих першого та другого регістрів пам'яті на D-тригерах досягається розширення функціональних можливостей запропонованому пристрою та дозволяє його застосування як компонента більш складних спецпроцесорів. Додаткове
15 введення, як базового компонента, однорозрядних повних суматорів з парафазними входами та виходами досягнуто підвищення швидкодії пристрою у 5÷6 разів у порівнянні з відомими.

Загальна часова затримка сигналів у такому n×m розрядному перемножувачі складає $t=(n+m-2)$ мікротактів.

20 Технічний результат: пристрій, згідно з винаходом, характеризується підвищеною у 5÷6 разів швидкістю відносно відомого прототипу, а також розширеними функціональними можливостями, що дозволяє його застосування у швидкодіючих цифрових пристроях, цифрових фільтрах та спецпроцесорах шифрування даних.

ФОРМУЛА ВИНАХОДУ

25 Матричний перемножувач, який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів І, виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів з прямими виходами, який
30 **відрізняється** тим, що додатково містить перший регістр пам'яті на D-тригерах з парафазними виходами, перші входи якого є вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим входом пристрою, виходи з'єднані з відповідними додатковими інверсними входами матриці однорозрядних повних двійкових суматорів, виконану з додатковими парафазними входами і виходами, прямі виходи якої з'єднані з відповідними
35 першими входами другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім додатковим входом пристрою, прямі виходи якого є виходами перемножувача.



Фіг. 1

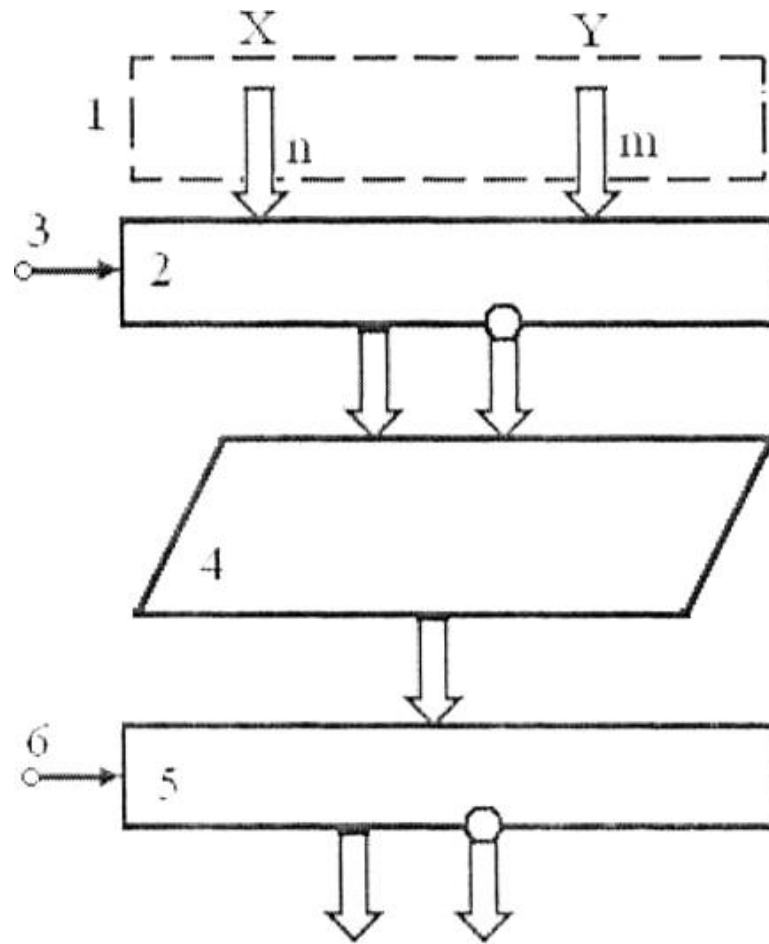
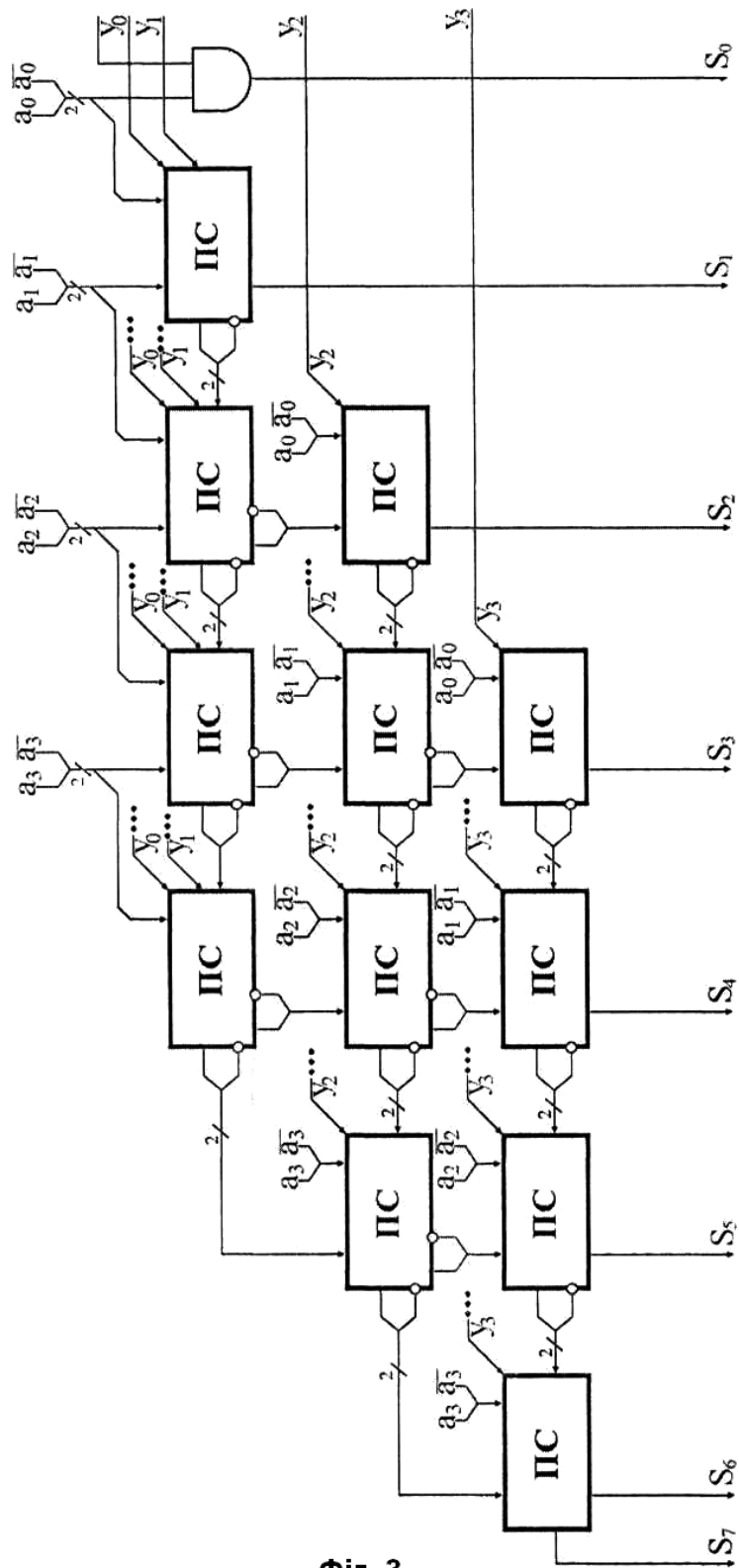


Fig. 2



Фиг. 3

Комп'ютерна верстка Л. Ціхановська

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601