



УКРАЇНА

(19) **UA** (11) **120123** (13) **C2**
(51) МПК

G06F 7/42 (2006.01)

G06F 7/50 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

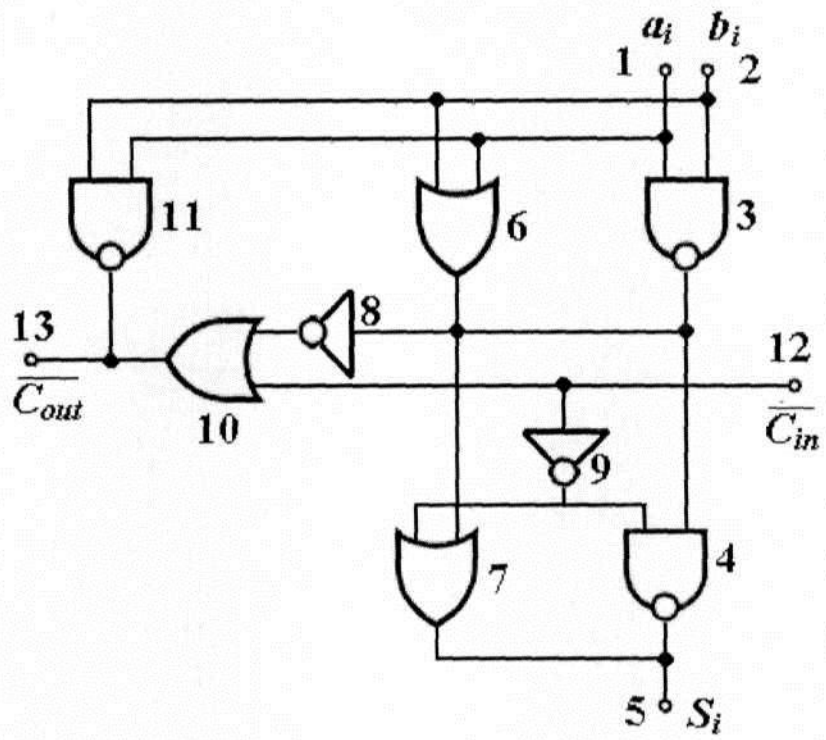
(21) Номер заявки: а 2017 11721	(73) Власник(и): Николайчук Ярослав Миколайович , вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Володимир Михайлович , пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Возна Наталія Ярославівна , вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Давлетова Аліна Ярославівна , вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA)
(22) Дата подання заявки: 30.11.2017	
(24) Дата, з якої є чинними права на винахід: 10.10.2019	
(41) Публікація відомостей про заявку: 10.06.2019, Бюл.№ 11	
(46) Публікація відомостей про видачу патенту: 10.10.2019, Бюл.№ 19	
(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Грига Володимир Михайлович (UA), Возна Наталія Ярославівна (UA), Давлетова Аліна Ярославівна (UA)	(56) Перелік документів, взятих до уваги експертизою: UA 115861 U, 25.04.2017 UA 109142 U, 10.08.2016 UA 109136 U, 10.08.2016 UA 117572 U, 26.06.2017 RU 2427027 C1, 20.08.2011 RU 2454703 C1, 27.06.2012 WO 8203135 A1, 16.09.1982 US 2006031278 A1, 09.02.2006 US 5034909 A, 23.07.1991

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Повний одnorozрядний суматор належить до засобів обчислювальної техніки і може бути використаний як компонент багаторозрядних двійкових суматорів арифметико-логічних пристроїв мікропроцесорів та спецпроцесорів сортування даних. Суматор містить два інформаційні входи, вихід суми та інверсні вхід та вихід переносів, три логічні елементи АБО, два логічні елементи ІІ, три логічні елемент І-ІІ. Технічним результатом є підвищення у 2 рази швидкодії формування сигналів переносу.

UA 120123 C2



Повний однорозрядний суматор належить до засобів обчислювальної техніки і може бути використаний, як компонент багаторозрядних двійкових суматорів арифметико-логічних пристроїв мікропроцесорів та спецпроцесорів сортування даних.

Відомий аналог - двійковий однорозрядний суматор [Арифметика цифрових машин /Карцев М.А. - М: Наука, 1969, с. 64, рис. 2-4], який містить логічні елементи I, АБО, НІ, перший, другий та третій прямі входи, четвертий п'ятий та шостий інверсні входи двійкового однорозрядного суматора, які відповідно з'єднані з першими входами групи логічних елементів I, виходи першої підгрупи логічних елементів I з'єднані з відповідними входами логічного елемента АБО, вихід якого є першим прямим виходом суми двійкового однорозрядного суматора, виходи другої групи логічних елементів I з'єднані з відповідними входами другого логічного елемента АБО, вихід якого з'єднаний з другим прямим виходом переносу двійкового однорозрядного суматора та входом логічного елемента НІ, вихід якого з'єднаний з третім інверсним виходом переносу двійкового однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія формування інверсних переносів, яка обумовлена наявністю трьох послідовно з'єднаних логічних елементів I-АБО-НІ, а також обмежені функціональні можливості, обумовлені необхідністю додаткового одночасного формування на інформаційних входах однорозрядного суматора прямих та інверсних значень бітів, що додаються.

Відомий найближчий аналог - однорозрядний двійковий суматор [A. Anand Kumar Fundamentals of Digital Circuits /Prentice-Hall of India Pvt.Ltd, 2007 p. 235 fig. 7.4], який містить перший вхід, який з'єднаний з першим входом першого логічного елемента I та першим входом першого логічного елемента "Виключне АБО", другий вхід однорозрядного суматора з'єднаний з другим входом першого логічного елемента I та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО", вихід якого є першим виходом суми однорозрядного суматора, третій прямий вхід однорозрядного суматора з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента I, другий вхід якого з'єднаний з виходом першого логічного елемента "Виключне АБО", а вихід з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом першого логічного елемента I, а вихід логічного елемента АБО є прямим другим виходом переносу однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія формування наскрізних переносів обумовлена тим, що між входом переносу суматора та другим виходом переносу міститься два послідовно з'єднаних логічних елементи I-АБО, що призводить до затримки сигналів переносу у такому однорозрядному суматорі на 2 мікротакти.

У відомому суматорі при різних структурних реалізаціях логічних елементів "Виключне АБО" [Шило В.Л. Популярны́е цифровы́е микросхемы: Справочник. - М: Радио и связь, 1988 г., ст. 57, рис. 1.35], які містять від 4 до 5 логічних елементів, 3 з яких з'єднані послідовно і затримка сигналів складає не менше 4 мікротакти.

Іншим недоліком такого однорозрядного суматора є велика апаратна складність, яка обумовлена тим, що його структура містить 11-13 логічних елементів.

В основу винаходу поставлена задача підвищення швидкодії та зменшення апаратної складності повного однорозрядного суматора шляхом формування сигналів переносу за 1 мікротакт та додатковим введенням мультиплексних з'єднань виходів логічних елементів I-НІ та АБО у структурах логічних елементів "Виключне АБО", які утворюють логічний елемент "Провідне I" [Давлетова А.Я., Николайчук Я.М. Пат. 115861 Україна МПК G06F 7/00 (2017.01) /Однорозрядний напівсуматор /№ u2016 12463; заявл.07.12.2016; опубл. 25.04.2017, Бюл. № 8], який реалізує функцію логічного елемента "Виключне АБО" із затримкою сигналу на 1 мікротакт, а також реалізації сигналів переносу відповідними інверсними логічними значеннями C_{in} та C_{out} , що дозволяє підвищити у 4 рази швидкодією формування переносів у старші розряди у порівнянні з відомим прототипом, що дозволяє відповідно у 2 рази підвищити швидкодією багаторозрядних двійкових суматорів паралельного типу при його використанні у якості однорозрядного компонента.

Поставлена задача вирішується тим, що повний однорозрядний суматор, який містить перший вхід a_i , з'єднаний з першим входом логічного елемента I-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора з'єднаний з другим входом логічного елемента АБО та другим входом логічного елемента I-НІ, другий логічний елемент I-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, згідно з винаходом, додатково містить третій логічний елемент I-НІ, перший вхід якого додатково з'єднаний з першим входом першого логічного елемента АБО, другий вхід додатково з'єднаний з другим

входом першого логічного елемента АБО, вихід якого додатково з'єднаний з виходом першого логічного елемента І-НІ, вихід якого додатково з'єднаний з першим входом другого логічного елемента І-НІ та входом додатково введеного першого логічного елемента НІ, вихід якого з'єднаний з першим входом додатково введеного логічного елемента АБО-НІ вихід якого додатково з'єднаний з виходом третього логічного елемента І-НІ і є додатковим інверсним виходом, а другий вихід логічного елемента АБО-НІ з'єднаний з додатково введеним інверсним входом переносу однорозрядного суматора та входом другого додатково введеного логічного елемента НІ, вихід якого додатково з'єднаний з другим входом другого логічного елемента АБО та другим входом логічного елемента І-НІ, вихід якого додатково з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.

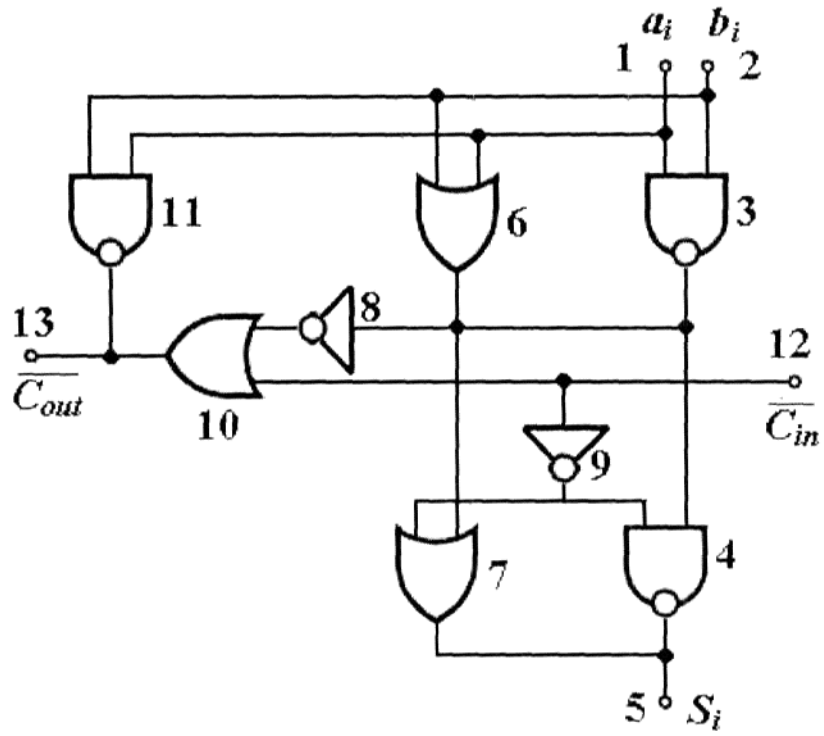
Винахід пояснюється кресленням, де на кресленні представлена структура пристрою, який містить: 1, 2 - відповідні інформаційні входи a_i та b_i ; 3, 4 - відповідні перший та другий логічні елементи І-НІ; 5 - вихід суми S_i ; 6, 7 - відповідні перший та другий логічні елементи АБО; 8, 9 - відповідно перший та другий логічні елементи НІ; 10 третій логічний елемент АБО; 11 - третій логічний елемент І-НІ; 12, 13 - відповідно інверсні вхід C_{in} та вихід C_{out} переносу повного однорозрядного суматора.

Однорозрядний суматор працює наступним чином: при подачі на входи a_i (1) та b_i (2) логічних значень "0" або "1" на монтажно з'єднаному виході першого логічного елемента І-НІ (3) та першого логічного елемента АБО (6) з затримкою на 1 мікротакт формується логічний сигнал, який відповідає модульній сумі $a_i \oplus b_i$ який надходить на перші входи другого логічного елемента І-НІ (4), другого логічного елемента АБО (7) та першого логічного елемента НІ (8). При появі на інверсному вході переносу C_{in} (12) логічного значення "0" або "1", який інвертується у прямий сигнал переносу на виході другого логічного елемента НІ (9) на виході (5) суми пристрою формується логічне значення S_i , яке відповідає прямому виходу суми повного однорозрядного суматора. Інверсні сигнали, які формуються на виході першого логічного елемента НІ (8) та виходу переносу C_{in} (12) на виході третього логічного елемента АБО (10) згідно з правилами Де-Морана булівської алгебри $\overline{S \vee C_{in}} = \overline{S} \wedge \overline{S_{in}}$ формують сигнал інверсії їх кон'юнкції, який на виході монтажного з'єднання з третім логічним елементом І-НІ (11), реалізує функцію логічного елемента "Виключне АБО" та формує інверсне логічне значення біта переносу C_{out} на його виході, який є другим виходом однорозрядного суматора.

Технічний результат. Запропонований однорозрядний повний двійковий суматор характеризується підвищеною у 4 рази швидкодією формування переносів у старші розряди у порівнянні з відомим прототипом, що дозволяє відповідно у 2 рази підвищити швидкодію багаторозрядних двійкових суматорів паралельного типу при його використанні як однорозрядного компонента.

ФОРМУЛА ВИНАХОДУ

Повний однорозрядний суматор, який містить перший вхід a_i , що з'єднаний з першим входом першого логічного елемента І-НІ та першим входом першого логічного елемента АБО, другий вхід b_i , що з'єднаний з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ, та другий логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, який **відрізняється** тим, що додатково введено інверсні вхід та вихід, перший та другий логічні елементи НІ, третій логічний елемент АБО, третій логічний елемент І-НІ, де перший вхід якого з'єднаний з першим входом першого логічного елемента АБО, а другий вхід з'єднаний з другим входом першого логічного елемента АБО, вихід якого з'єднаний з виходом першого логічного елемента І-НІ, вихід якого з'єднаний з першим входом другого логічного елемента І-НІ та входом першого логічного елемента НІ, вихід якого з'єднаний з першим входом третього логічного елемента АБО, вихід якого з'єднаний з виходом третього логічного елемента І-НІ, що є інверсним виходом, а другий вхід третього логічного елемента АБО з'єднаний з інверсним входом переносу однорозрядного суматора та входом другого логічного елемента НІ, вихід якого з'єднаний з другим входом другого логічного елемента АБО та другим входом другого логічного елемента І-НІ, вихід якого з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.



Комп'ютерна верстка Л. Литвиненко

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601