

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ТЕРНОПЛЬСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ
ФАКУЛЬТЕТ КОМПЮТЕРНИХ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ**

Кафедра комп'ютерної інженерії

**ОПОРНИЙ КОНСПЕКТ ЛЕКЦІЙ
з дисципліни “Технології проектування комп'ютерних систем”
для студентів напрямку “Комп'ютерна інженерія”**

**Тернопіль
2018**

ЗМІСТ

Вступ.....	4
1. Особливості проектування ВІС.....	5
2. Загальні відомості про САПР.....	9
3. Етапи проектування засобів обчислювальної техніки.....	13
4. Загальні ідеї побудови та технічні вимоги до САПР ВІС	22
5. Принципи проектування та структура САПР ВІС. Маршрут проектування ВІС.....	25
6. Моделювання та верифікація ВІС.....	29
7. Контролепридатність ВІС.....	36
Література.....	38

ВСТУП

Застосування в інженерній практиці методів автоматизації проектування дозволяє перейти від традиційного макетування проекрованої апаратури до її моделювання за допомогою ЕОМ.

Сучасні системи автоматизованого проектування комп'ютерних систем дозволили швидко і досить якісно розробляти великі інтегральні схеми для вирішення різноманітних прикладних задач.

Вивчення усього процесу проектування комп'ютерних систем та сучасних систем автоматизованого проектування дозволить майбутньому інженеру успішно розробити будь-яку необхідну схему.

1. ОСОБЛИВОСТІ ПРОЕКТУВАННЯ ВІС

1. Особливості проектування ВІС

Застосування в інженерній практиці методів автоматизації проектування дозволяє перейти від традиційного макетування проектованої апаратури до її моделювання за допомогою ЕОМ. Більше того, за допомогою ЕОМ можна здійснити цикл наскрізного проектування, що включає:

- синтез структури та принципової схеми пристрою;
- аналіз його характеристик в різноманітних режимах роботи із врахуванням розкиду параметрів компонентів та наявності дестабілізуючих факторів, а також параметричну оптимізацію;
- синтез топології, що включає розміщення елементів на платі чи кристалі та розводку між'єднань;
- верифікацію топології;
- виготовлення конструкторської документації.

Різнманітність конструктивно-технологічних методів виготовлення великої інтегральної схеми (ВІС) обумовлена прагненням не тільки поліпшити їхні техніко-економічні показники, але і досягти загальну мету: мінімізувати тривалість процесу проектування та забезпечити проектування ВІС високої складності; а також підвищити якість проектування ВІС (в основному безпомилковість).

Як правило, принципова електрична схема ВІС містить крім функціонально необхідних багато компонентів, призначених для компенсації паразитних зв'язків при даній технології виготовлення ВІС.

Розходження у вартості, надійності, габаритах дискретних компонентів наклали відбиток і на схемотехніку. Наприклад, у схемах на дискретних компонентах більш широко використовують пасивні компоненти в порівнянні з активними, що обумовлено їх кращими техніко-економічними показниками. У ВІС для досягнення тих самих показників частіше використовують велику кількість активних компонентів.

Наступна особливість створення ВІС пов'язана з оцінкою їхньої працездатності. Практично неможливо контролювати характеристики ВІС шляхом виміру параметрів складових її елементів. Звідси виникла так звана проблема тестопридатності ВІС. Методи забезпечення тестопридатності в процесі проектування ВІС умовно поділяють на *конструктивні* та *структурно-логічні*.

Серед конструктивних методів виділяють методи шинної архітектури, сигнатурного аналізу і контрольних вузлів.

Метод шинної архітектури полягає в забезпеченні доступу до будь-якого вузла ВІС шляхом переведення вхідних шин усіх вузлів, за винятком аналізованого, у стан високого імпедансу.

Сигнатурний аналіз здійснюється за допомогою регістра зсуву із лінійним зворотним зв'язком, що підключається до обраного контакту. У цьому регістрі запускається тестова програма, у результаті утворюється число-сигнатура, що відображає інформацію про справність схеми.

Суть тестування методом *контрольних вузлів* очевидна. Необхідно зазначити лише, що у якості цих вузлів можна використовувати як вільні зовнішні контакти, так і спеціальні контрольні точки на кристалі.

Структурно-логічні методи (сканування по рівнях та контрольних регістрів зсуву) використовують для розробки такої логічної структури схеми, при якій можна задавати і зчитувати стани всіх елементів схеми.

Метод сканування по рівнях полягає в тому, що елементи пам'яті схеми в режимі тестування з'єднуються в один регістр зсуву, що дозволяє задавати і зчитувати стани цих елементів. Об'єднання в єдиний регістр зсуву елементів пам'яті на кристалі і створення ланцюгів регістрів зсуву з переходом на більш високий системний рівень дозволяють одержувати тести для всіх рівнів системи. Загальносистемні тести формуються шляхом об'єднання тестів підсистем. Існують модифікації цього методу: сканування з довільною вибіркою, вибіркоче сканування та ін.

Існує також *комбінований метод*, реалізований за допомогою вбудованих (апаратних) засобів контролю. У ньому з'єднані методи сигнатурного аналізу і сканування. Основна ідея полягає в створенні набору елементів пам'яті змінюваної конфігурації (в одному режимі вони працюють як звичайні регістри зсуву, в іншому - як багатовходові регістри зсуву зі зворотним зв'язком), що приводить до істотного скорочення тестів.

Застосування структурно-логічного підходу для забезпечення тестопридатності ВІС на стадії проектування є найбільш перспективним.

2. Класифікація методів проектування

Методи проектування класифікуються:

- 1) за способами організації виконання проектних процедур (макетування, розрахунок за аналітичними виразами, фізичне моделювання, математичне моделювання);
- 2) за ступенем автоматизації виконання проектних процедур.

Розглянемо найбільш розповсюджені методи першої групи.

Макетування. Виходячи з вимог технічного завдання (ТЗ) на розроблювану ВІС вибираються два-три технологічних процеси, при яких приблизно можуть бути задоволені вимоги ТЗ по функціональних параметрах ВІС. Потім для одержання зразків активних компонентів і базових логічних елементів (ЛЕ) розробляється спеціальна тестова топологічна схема, що повинна включати активні компоненти і базові логічні елементи. Звичайно така схема включає спеціальні тестові компоненти для контролю параметрів фізичної структури і помилок виготовлення.

З допомогою тестової схеми зважаються наступні задачі: вибір декількох типів геометричних конфігурацій активних компонентів і ЛЕ, що приблизно повинні задовольняти схемо-технічні вимоги; нагромадження статистичних даних по параметрах активних компонентів і ЛЕ в різних режимах роботи; дослідження характеру і визначення параметрів паразитних зв'язків між компонентами ВІС; контроль процесів виготовлення фотошаблонів і фотолітографії та визначення мінімально допустимих розмірів топологічних елементів, а також запасів на суміщення, необхідних при вирішенні топологічних задач; виявлення систематичних помилок процесів виготовлення фотошаблонів і фотолітографії для обліку їх при розробці топологічних схем.

При розробці тестової схеми необхідно враховувати можливість вибору того чи іншого технологічного методу виготовлення ВІС. Якщо ні по одній з наявних технологій неможливо спроектувати дану ВІС, що задовольняє вимогам ТЗ, що визначаються на етапі синтезу й аналізу принципової електричної схеми, то необхідно сформулювати вимоги до заново розроблювального технологічного процесу. При цьому на підставі довідкових даних і наявного досвіду визначаються найбільш перспективні для розроблювальної схеми фізико-топологічні параметри (геометрія активних і пасивних компонентів, дифузійний профіль і т.д.).

На отриманих зразках активних компонентів збирається макет ВІС, що потім досліджується методами, традиційними для звичайної схемотехніки на дискретних компонентах.

Основні недоліки макетування: висока вартість і значний час проектування. Основна перевага – вірогідність результатів.

Розрахунок за аналітичними виразами. Для одержання формул, що зв'язують вихідні параметри ВІС (функціональні та вимірювані) із внутрішніми параметрами компонентів, робляться значні спрощення (наприклад, експонентні вольт-амперні залежності вважаються лінійними).

По складності аналітичні вирази орієнтовані на обчислювальну потужність наявних у розпорядженні кожного розробника засобів – “людський мозок”, логарифмічна лінійка, мікрокалькулятор, програмувальний мікрокалькулятор, персональна ЕОМ і т.д. Основні

недоліки даного методу проектування ВІС – висока трудомісткість виведення формул і, як правило, низька точність розрахунків. Основна перевага – доступність.

Фізичне моделювання полягає у вивченні об'єктів однієї фізичної природи за допомогою об'єктів, що мають іншу фізичну природу, але однакокий з ними математичний опис. В основі методу лежить принцип подібності (аналогій). Найбільш відомим прикладом є застосування електролітичних ванн при моделюванні поля чи потенціалів у транзисторній структурі.

Математичне моделювання. Найбільш істотна відмінність цього методу в тому, що математичні моделі ВІС отримують при мінімальних спрощеннях і вони більш адекватно описують процеси, що відбуваються в реальних пристроях. Крім того, при математичному моделюванні (і тільки при ньому) можна математично “точно” вирішувати екстремальні і статистичні задачі, що визначають якість проектування.

За ступенем автоматизації виконання проектних процедур методи проектування поділяються на *ручні, автоматизовані й автоматичні*. Звичайно, цей розподіл умовний, тому що з розвитком засобів обчислювальної техніки, а також у зв'язку з успіхами обчислювальної математики, роль автоматичного проектування постійно зростає.

Описувати проектовану ВІС можна на різних рівнях – поведінковому (архітектурному), структурному й ін. Створення автоматичних систем проектування вимагає вирішення ряду складних проблем: структурного синтезу на всіх етапах проектування ВІС, екстракції (відновлення принципової електричної схеми по відомій топології), поетапної верифікації й організації взаємозалежного контролю на всіх етапах проектування, організації підтримки й удосконалення бази знань, забезпечення можливості моделювання розроблюваної ВІС разом з іншими функціональними вузлами в складі складної технічної системи (обчислювальної, радіолокаційної, радіонавігаційної і т.д.).

Важливою проблемою, яку вдалося вирішити за допомогою автоматичних систем, є відносно простий перехід при проектуванні ВІС від одних конструктивно-технологічних обмежень до інших.

2. ЗАГАЛЬНІ ВІДОМОСТІ ПРО САПР

1. Види забезпечення САПР

При побудові системи автоматизованого проектування (САПР) необхідно враховувати усі аспекти, що виникають при автоматизації процесу проектування. Тому комплекс засобів автоматизації включає у себе усі види забезпечення (див. рисунок 2.1): технічне, математичне, програмне, лінгвістичне, інформаційне, методичне та організаційне.



Рисунок 2.1 – Види забезпечення САПР.

Технології проектування здійснюється за допомогою програм САПР, які володіють усіма властивостями підсистем і створюються як самостійні підсистеми. Підсистема САПР відповідає певному етапу проектування, тому проектним процедурам в САПР відповідають програми проектування, а проектним операціям – модулі проектування (див. рисунок 2.2).

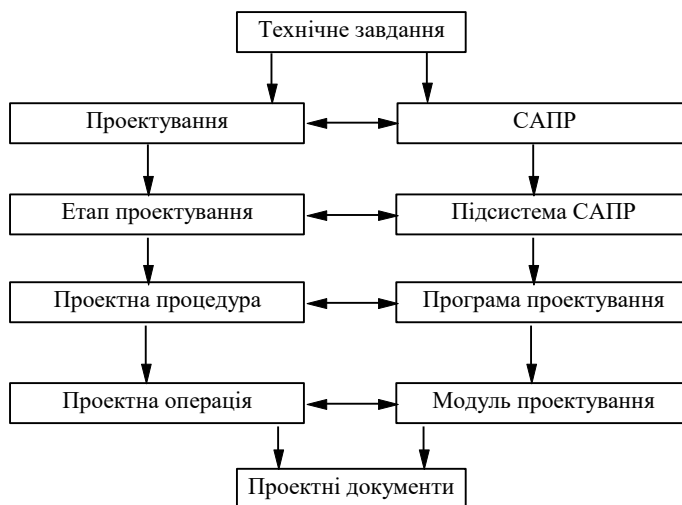


Рисунок 2.2 – Елементи автоматизованого проектування

За призначенням модулі САПР розділяють на два види: *проектні* та *обслуговуючі*. До

проектних модулів відносяться такі, які виконують проектні задачі. До обслуговуючих – модулі, призначені для підтримки функціонування проектних модулів та для забезпечення інтерфейсу із розробником.

Підсистема складається із компонентів САПР, об'єднаних спільною для даної підсистеми цільовою функцією і які забезпечують функціонування цієї підсистеми. Структурна єдність підсистеми САПР досягається за рахунок взаємозв'язків між компонентами різних видів забезпечення. Для цього при побудові САПР необхідно дотримуватись таких основних принципів: системної єдності, розвитку, сумісності та стандартизації.

2. Технічне забезпечення

Технічне забезпечення – це сукупність ЕОМ та периферійних засобів для вводу, збереження, обробки інформації, передачі програм та даних, організації взаємодії розробника з прикладним програмним забезпеченням САПР та виготовлення проектної документації машинними методами. Склад та організаційна структура технічних засобів визначається необхідним (очікуваним) рівнем продуктивності, тобто кількістю проєктованих ВІС за одиницю часу. На великих підприємствах можливе використання багаторівневої ієрархії технічних засобів. Розглянемо кілька варіантів організації технічних засобів.

Однорівнева – використовується одна або кілька машин локальної мережі. Даний варіант організації використовується в основному для виготовлення центрального процесора (ЦП) на основі програмованих матричних ВІС або нескладної апаратури.

Дворівнева – використовується потужна локальна мережа (або кілька різних, об'єднаних в одну) з потужними засобами виготовлення конструкторсько-технологічної документації. Даний варіант використовується для проєктування складних засобів та напівзамовлених ВІС.

Багаторівнева – будується на основі регіональної або корпоративної мережі на конкретному заводі-виробнику цифрової апаратури. Характеризується повністю автоматизованим процесом проєктування та виготовлення апаратури.

3. Математичне забезпечення

В математичне забезпечення входять методи, моделі та алгоритми вирішення проектних задач для усіх етапів проєктування ВІС. В таблиці 2.1 наведено приклади компонентів математичного забезпечення, що використовується на різних рівнях проєктування ЦП.

Таблиця 2.1 – Приклади компонентів математичного забезпечення

Рівень проектування	Методи	Моделі	Алгоритми
Функціонально-логічний	декомпозиції	функціональних вузлів	
Схемотехнічний	синтезу, аналізу	компонентів	аналізу, побудови часових діаграм роботи пристрою
Топологічний	трасування	кристалу ВІС, компонувального простору	розміщення, трасування, відображення
Фізико-топологічний	технологічні процеси	фізичні моделі напівпровідників, технологічних процесів	моделювання фізичних процесів виготовлення ВІС

4. Лінгвістичне забезпечення

Лінгвістичне забезпечення містить сукупність алгоритмічних мов програмування високого рівня, мови вхідного опису проекту, мови керування базами даних, мови вихідного опису проекту, спеціалізовані мови проектування обчислювальних засобів.

Алгоритмічні мови програмування використовують для написання текстів прикладних та системних програм. *Мови вхідного опису* проекту повинні забезпечувати опис завдання на проектування. *Мови керування базами даних* містять засоби редагування та експлуатації баз даних. *Мови вихідного опису* проекту забезпечують вивід результатів проектування у відповідності з діючими стандартами та іншими нормативними матеріалами на усі види документації, а також сумісність вихідної інформації з програмно-керованим, контрольно-вимірювальним та технологічним обладнанням, що використовується при виробництві та контролі ВІС. *Спеціалізовані мови проектування обчислювальних засобів* включають в собі елементи перелічених мов та призначені для автоматичного проектування.

5. Програмне забезпечення

Програмне забезпечення САПР містить дві складові: загальносистемне та прикладне. *Загальносистемне програмне забезпечення* надає сукупність системних програм, які організують виконання прикладних програм на технічних засобах САПР. *Прикладне програмне забезпечення* містить сукупність пакетів прикладних програм для усіх етапів проектування ВІС та інструкції по їх використанню.

Прикладне програмне забезпечення на кожному етапі проектування повинно містити в

своєму складі програми, котрі здатні вирішувати такі задачі:

- 1) структурний синтез;
- 2) побудова математичної моделі;
- 3) розв'язок математичної моделі;
- 4) оптимізація;
- 5) статистичний аналіз.

6. Інформаційне забезпечення

Інформаційне забезпечення являє собою сукупність каталогів, довідників та бібліотек на машинних носіях інформації, де містяться відомості про елементи, математичні моделі, числові значення параметрів і т.д. Воно виконує такі функції: накопичення, документування, збереження і видача необхідної для проектування інформації, інформаційне узгодження, реалізація довідникових функцій, накопичення та передача досвіду розробників (створення та використання бази знань).

7. Методичне забезпечення

Під методичним забезпеченням розуміють сукупність інструкцій та інших документів, що регламентують порядок використання засобів автоматизованого проектування.

8. Організаційне забезпечення

Організаційне забезпечення являє собою перелік документів, які регламентують взаємодію та функції підрозділів, що приймають участь в процесі автоматизованого проектування, а також матеріально-технічне забезпечення САПР.

3. ЕТАПИ ПРОЕКТУВАННЯ ЗАСОБІВ ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

1. Етапи проектування

Процедури, які виконуються на різних етапах проектування, складають основу маршрутів розробки ВІС (див. рисунок 3.1). Існує також етап, що раніше у вітчизняній літературі не розглядався – це складання технічного завдання (специфікації). Чим складніша ВІС, тим складніше розробити ТЗ на неї.

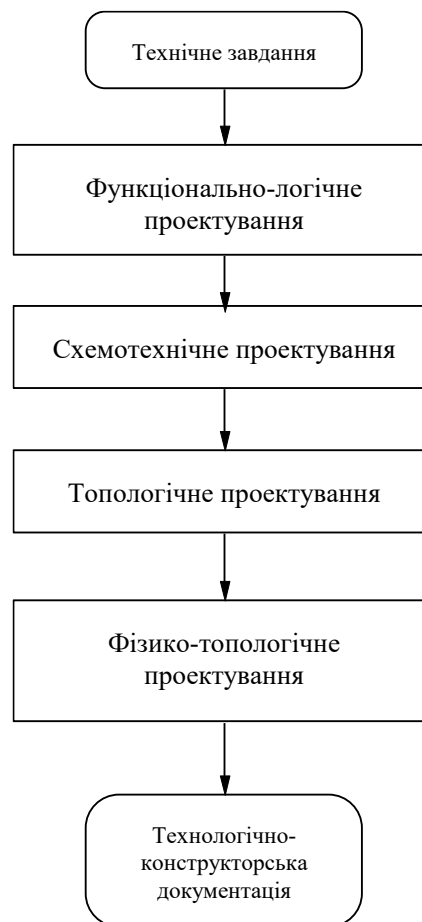


Рисунок 3.1 – Етапи (рівні) проектування засобів обчислювальної техніки.

2. Технічне завдання

Розробка специфікації на проектування ВІС включає процедури проектування алгоритму функціонування ВІС та вихідні тестові послідовності, моделювання алгоритму й одержання вихідних послідовностей, що задовольняють ТЗ. Отримана специфікація записується в базу даних проекту і служить основою для перевірки коректності наступних етапів проектування. Крім того, на цьому етапі в базу даних проекту у формалізованому вигляді вводяться вимоги до

конструкції ВІС (розмір кристала, розташування виводів, конструкція корпусу), необхідні відомості про технологічні процеси, вимоги на вихідні електричні параметри і т.д.

Технологічні можливості виготовлення ВІС практично однозначно обумовлюють складність і граничні технічні характеристики схем, що можуть бути реалізовані у вигляді ВІС. На рисунку 3.2 наведена крива, що характеризує залежність відсотка виходу придатних ВІС (y) від площі (x), що займає одна схема. При зменшенні площі, відсоток виходу придатних ВІС малий через обмежену роздільну здатність технологічного устаткування, що використовується для виготовлення фотошаблонів і процесу фотолітографії. З іншого боку, зі збільшенням розмірів ВІС відсоток виходу придатних також падає через збільшення імовірності появи дефектів в активних областях компонентів.

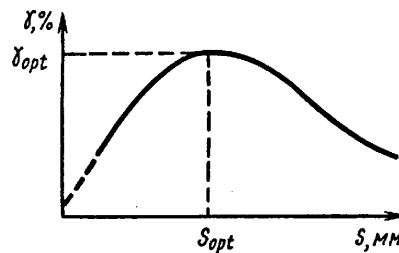


Рисунок 3.2 – Залежність відсотка виходу придатних ВІС від площі кристала

3. Функціонально-логічне проектування

Розробці принципової електричної і топологічної схем передують етап логічного проектування. Задачею *логічного синтезу*, наприклад функціонального вузла ЕОМ, є вибір базису логічних елементів (ЛЕ) для побудови різних ВІС і з'єднання їх між собою так, щоб здійснювалося задане функціонування. На етапі логічного проектування необхідно враховувати особливості обраних ЛЕ та їхньої технічної реалізації, тобто враховувати схемотехніку, топологічні та технологічні обмеження, а також вирішувати наступні взаємозалежні задачі: логічний синтез, логічне моделювання ВІС на рівні ЛЕ і регістрових передач, синтез контролюючих і діагностичних тестів.

Логічне проектування ВІС полягає в складанні функціональних схем ВІС. Компонентами функціональної схеми є елементарні блоки, що утворюють логічний базис проекту. Синтез логічних схем може проводитися як автоматично за структурною схемою (чи за описом поведінки схеми) у заданому логічному базисі, так і вручну. В обох випадках САПР підтримує цей етап засобами логічного моделювання. Логічне моделювання на ЕОМ виявляє помилки в схемі, дозволяє оцінити правильність часових співвідношень, мінімізувати число ЛЕ, оптимізувати перелік і склад частин (блоків) системи.

Перевірка функціонування логічної схеми включає аналіз *логічних функцій*, реалізованих схемою, і *часових співвідношень* (наявність критичних шляхів, ризиків збою і змагань сигналів). Перевірка реалізованих схемою логічних функцій виконується шляхом прогону тесту, тобто моделювання роботи схеми при деякому наборі вхідних сигналів. При цьому потрібно в задані моменти часу порівнювати отримані при моделюванні значення вихідних сигналів з параметрами ТЗ. До етапу логічного проектування відноситься і генерація тестів для контролю виготовлення ВІС.

Ключовим моментом автоматизації етапу логічного проектування є розробка програмного забезпечення, що дозволяє здійснювати аналіз поведінки ВІС при заданому наборі тестів. В основі аналізу ВІС на логічному рівні лежить логічне моделювання. Найбільш поширеним методом моделювання є *метод трійкового моделювання*. При цьому використовується трійкова логіка (0, 1, X), де третій стан (X) описує, по-перше, перехідний стан ЛЕ з моменту переключення його виходу до моменту встановлення стаціонарного стану на виході і, по-друге, стан статичної невизначеності, що виникає на виході ЛЕ внаслідок відсутності інформації про порядок переключення його входів. Недолік цього методу полягає в тому, що неможливо врахувати вплив фронтів переключення ЛЕ і взаємодію ЛЕ при їхньому підключенні до інформаційної магістралі. Отже, необхідна розробка методів детального опису перехідних процесів у схемах, за допомогою яких повинні виявлятися усі випадки появи статичних і динамічних ризиків збою і змагань сигналів.

Для досягнення цієї цілі використовують *апарат багатозначної логіки*, вводячи нові логічні стани для опису поведінки ЛЕ в стані переключення сигналу. Це дозволяє застосовувати розроблені раніше програмні засоби моделювання при заміні двійкових таблиць істинності їх багатозначними аналогами.

Класифікація методів логічного моделювання звичайно здійснюється по виду кодування сигналів (двійкове та багатозначне), по затримках поширення сигналу в ЛЕ (синхронне моделювання, тобто без обліку затримок, і асинхронне) і по черговості обробки інформації (наскрізне і подійнісне) (див. рисунок 3.3).



Рисунок 3.3 – Класифікація методів логічного моделювання

Однією з перших задач, що доводиться вирішувати на даному етапі проектування, є вибір математичної моделі ЛЕ. При розробці моделі необхідно враховувати вимоги, обумовлені сумісністю розроблюваного програмного забезпечення з іншими підсистемами САПР ВІС; можливість опису характеристик моделі засобами вхідної мови САПР ВІС; можливість представлення моделі ЛЕ в рамках встановленої внутрішньої структури даних САПР ВІС; алгоритмічна сумісність на етапі аналізу. Система повинна забезпечити візуалізацію вихідної інформації для моделювання ЛЕ і результатів у встановленому об'ємі та формі представлення; інформація про модель не повинна перевищувати ресурси ЕОМ.

Поширеними є *ієрархічні моделі*, у яких окремо описуються логічна і формуюча частини. Формуюча частина моделі встановлює які переключення й у які моменти часу відбудуться на виході ЛЕ в процесі переходу його з поточного стану в кінцевий, що обумовлено логічною частиною моделі, тобто робиться *прогноз поведінки виходу*. Формування прогнозу відбувається на основі динамічних характеристик моделі. При цьому з усієї інформації про вхідний сигнал елемента використовується лише час досягнення сигналом граничного значення. Передбачається, що подальша поведінка ЛЕ не залежить від зміни сигналу на його вході.

Допускається необмежене ускладнення логічної частини моделі за умови, що це не впливає на її інші частини. Описувати модель ЛЕ можна трьома способами. При *табличному способі* задання всяке збільшення значності логіки приводить до різкого збільшення обсягу таблиць істинності, оскільки число можливих станів на вході ЛЕ дорівнюють M^N , де M – значення логіки, N – число входів елемента. Опис логічної частини за допомогою *булевих функцій* дозволяє порівняно просто доповнити логічні операції арифметичними. Однак найбільші можливості для моделювання відкриває *алгоритмічний опис* ЛЕ. При наявності спеціальної вхідної мови опису алгоритмів можливо використовувати просте представлення складних функціональних вузлів ВІС.

Аналіз поведінки схеми при алгоритмічному описі її фрагментів прийнято називати моделюванням на *рівні регістрових передач*. Особливий інтерес представляє моделювання схеми, заданої у вигляді ЛЕ і регістрових передач. Такий комбінований підхід дозволяє детально описувати на рівні ЛЕ деякий фрагмент ВІС при заданні більшої частини схеми лише алгоритмом її функціонування.

Опис ВІС на рівні регістрових передач складається з двох частин: структурного й операційного описів. У *структурному описі* виділяються пристрої типу регістр, лічильник і т.д.; в *операційному* містяться відомості про дії, виконувані в об'єкті проектування.

Для моделювання цифрових пристроїв на рівні регістрових передач застосовують спеціальні мови високого рівня. У більшості програм даного типу використовують різновиди

алгоритму асинхронного подійнісного моделювання. Послідовність дії в цьому алгоритмі наступна:

- 1) занесення в список подій, пов'язаних з переключенням входу ЛЕ;
- 2) вибір зі списку найближчої за часом події;
- 3) визначення стану ЛЕ, що встановився в результаті реакції на обрану подію;
- 4) занесення подій у список, якщо стан виходу ЛЕ змінився і це викликало інші події;
- 5) перегляд списку і якщо в ньому залишилися нерозглянуті події, то повернення до кроку 2;
- 6) закінчення моделювання.

4. Схемотехнічне проектування

На етапі схемотехнічного проектування вирішуються задачі: структурного синтезу принципової електричної схеми ВІС; аналізу отриманої схеми (розрахунок статичних станів і перехідних процесів); статистичного аналізу та оптимізації.

Під *структурним синтезом* розуміють отримання топології принципової електричної схеми, що оптимальним чином (за заданими критеріями) задовольняє вимогам ТЗ. Загального науково обґрунтованого підходу до рішення цієї задачі на даний час знайти не вдалося. Тому задачі структурного синтезу намагаються вирішувати в рамках певних обмежень і насамперед у рамках існуючої класифікації електронних схем.

Можна запропонувати наступну класифікацію методів структурного синтезу:

- 1) *класичний метод*, коли бажані характеристики апроксимуються заданими функціями, а потім реалізуються за допомогою ЛЕ і компонентів із заданого набору;
- 2) метод *перебору варіантів* із заданого набору;
- 3) метод *прямого неоптимального синтезу* в заданому базисі ЛЕ;
- 4) метод *локальної модифікації* відомої схеми;
- 5) метод *компіляції* – перетворення опису функції схеми мовою високого рівня в принципову електричну чи логічну схему, придатну для розробки топології;
- 6) метод *експертних оцінок*.

Перший метод застосовують для схем, що складаються з пасивних компонентів. Другий має безліч розгалужень і хоча вважається найбільш загальним, з його допомогою отримано мінімальне число корисних рішень.

Локальна модифікація відомої схеми становить приклад того, що поділ задач проектування на структурний і параметричний синтез дуже умовний. Суть його полягає в тому, що після проведення процедур аналізу чутливості і параметричної оптимізації визначаються

пари вузлів схеми, до яких з метою поліпшення їх характеристик доцільно підключити нову підсхему. Після цього процедури побудови математичної моделі, аналізу, визначення чутливості і параметричної оптимізації повинні бути проведені знову.

Домінуючим напрямком у вирішенні задач структурного синтезу є застосування експертних оцінок. Інструментальним засобом методу є експертна система, що містить інформацію про проектні рішення та гіпотези. Експертна система отримує свідчення, що підтверджують чи відхиляють ту чи іншу гіпотезу з визначеною імовірністю (кожне свідчення має "ціну"). Її визначає експерт. Математичною основою експертної системи є формула Байєса, що зв'язує імовірності підтвердження гіпотези до і після одержання свідчення. Як математичний апарат використовують також апарат булевої алгебри, але крім нуля й одиниці дозволяється використовувати будь-які дійсні числа між ними.

Задача аналізу ВІС по своїй постановці збігається з задачею аналізу електронних схем на дискретних компонентах. Власне аналіз полягає у формуванні математичної моделі аналізованої ВІС у вигляді систем диференціальних чи трансцендентних рівнянь і вирішення цих систем. При цьому розробник звичайно здійснює аналіз статичних і динамічних характеристик ВІС.

При аналізі статичних характеристик розраховуються струм і напруга в будь-якому вузлі схеми, аналізуються вольт-амперні характеристики і досліджується вплив параметрів компонентів на них. Тут не ставиться задача розрахунку функціональних (споживана потужність, навантажувальна здатність, завадостійкість і т.п.) і тестових (вхідні і вихідні струм і напруга і т.п.) параметрів схеми.

При аналізі динамічних характеристик ВІС розробник звичайно досліджує за допомогою ЕОМ поведінку ВІС при впливі імпульсних сигналів, одержує графіки перехідних процесів у будь-якому вузлі схеми при впливі вхідних сигналів довільної форми. Потім здійснюється розрахунок частотно-залежних параметрів ВІС, звичайно лінійних. При аналізі необхідно враховувати, що принципові електричні схеми ВІС містять крім функціонально необхідних компонентів велике число компонентів, що відображають паразитні зв'язки.

Статистичний аналіз займає значне місце при аналізі ВІС. Різний підхід до врахування розкиду параметрів компонентів обумовлює розмаїтість цих методів. При статистичному розрахунку ВІС необхідно провести: статистичну обробку результатів вимірів чи розрахунок параметрів математичних моделей компонентів; статистичний аналіз схеми; статистичну оптимізацію за параметрами компонентів; статистичну оптимізацію за тестовими нормами.

5. Топологічне проектування.

Розробка топології ВІС полягає у вирішенні ряду взаємозалежних задач: взаємного розміщення компонентів з мінімальним числом перетинань; розміщення компонентів у системі координат на кристалі з врахуванням схмотехнічних, технологічних і нормативних обмежень; трасування (проведення з'єднань всередині схеми); підготовки інформації для виготовлення фотошаблонів. В даний час усі ці задачі вирішуються за допомогою ЕОМ.

Оскільки відсоток виходу придатних ВІС сильно залежить від площі кристала, необхідно її мінімізувати. При розміщенні компонентів і проведенні міжз'єднань викреслюють 3-4 компонента, з'єднують їх відповідно до принципової електричної схеми, потім "підбудовують" ще 3-4 компонента і т.д.. У випадку, коли на одному кристалі створюється кілька схем, спочатку викреслюють найбільш складну ВІС. Основною вимогою при проведенні з'єднань є мінімізація числа перетинів.

Виготовлення конструкторської документації на машинному носії для фотошаблонів є не складною, але трудомісткою процедурою і служить джерелом помилок. Для перевірки правильності координат масок рекомендується здійснювати зворотне відновлення топологічної схеми.

Слід зазначити, що розташування компонентів сильно впливає на динамічні характеристики ВІС. Тому після топологічного проектування розраховують паразитні елементи, а потім знову враховують їх на етапах функціонально-логічного і схмотехнічного проектування. Трудомісткість робіт на даному етапі різко зростає зі збільшенням ступеня інтеграції ВІС.

6. Фізико-топологічне проектування

На даному етапі вирішуються наступні основні задачі:

- 1) розраховується фізична структура ВІС для заданої послідовності технологічних операцій із заданими параметрами і здійснюється оптимізація параметрів технологічного процесу для одержання заданої фізичної структури;
- 2) розраховуються характеристики і параметри резистивних і транзисторних структур з урахуванням двовимірного розподілу щільності носіїв заряду;
- 3) здійснюється оптимізація фізичної структури і топології біполярного чи МДП-транзистора при накладенні обмежень на його параметри;
- 4) розраховуються характеристики, параметри металізованих з'єднань (з обліком їх розподіленого чи зосередженого характеру) та їхній взаємний вплив.

Фізична структура (електрофізичні параметри в різних дифузійних шарах) ВІС визначається вимогами до основного транзистора, що найсильніше впливає на параметри схеми. Змінюючи тільки геометрію компонентів, можна отримати різні характеристики.

Вибір оптимальної геометрії компонентів ВІС (особливо транзисторів) стає в даний час однією з найважливіших задач. Практично для кожної ВІС варто вибрати геометрію компонентів, найбільш доцільну в даному конкретному випадку.

Проектування ВІС ведеться на освоєному технологічному процесі або для розроблюваної серії ВІС створюється новий технологічний процес. У залежності від цього визначається характер задач, що розв'язуються на даному етапі проектування.

На перших етапах розвитку мікроелектроніки логічні ВІС з точки зору схемотехніки становили аналоги уже відомих схем, виконаних на дискретних компонентах. В структурно-топологічному сенсі вони являли собою сформовані в одному кристалі напівпровідника активні і пасивні компоненти, розташовані в окремих ізольованих областях і об'єднані у функціональну схему металізацією. При такому способі виготовлення схемотехнічні та структурно-топологічні рішення були слабо взаємозалежними. Сучасні ВІС характеризуються переходом на новий рівень виготовлення, коли одна й та ж топологічна структура може виконувати різні функції.

Завершується даний етап проектування визначенням чисельних значень параметрів компонентів різної геометричної конфігурації для наявних чи передбачуваних технологічних процесів виготовлення ВІС. У разі потреби визначається комплекс вимог до нового технологічного процесу виготовлення ВІС.

7. Шляхи удосконалення процесу проектування ВІС

Існує два основні шляхи удосконалення процесу проектування ВІС:

- 1) застосування ЕОМ на всіх етапах проектування для існуючих конструктивно-технологічних методів виготовлення ВІС;
- 2) створення конструктивно-технологічних методів виготовлення ВІС, що прискорюють процес проектування.

Скорочення циклу проектування ВІС досягається завдяки використанню стандартних матриць наборів компонентів, ЛЕ чи структур широкого призначення, узагальнених фрагментів; параметризованому заданню стандартних конструкцій та ін.

Реалізація функцій ВІС повинна досягатися за умови використання найменшого числа елементів (транзисторів і резисторів, ЛЕ, тригерів, регістрів і т.д.) з використанням регулярних структур.

По способах виготовлення усі ВІС можна розділити на замовлені і напівзамовлені.

Замовлені ВІС проектуються вручну методами стандартних комірок і блоків, функціонально-інтегрованих комірок і блоків, а також кремнієвим компілюванням.

Вхідні дані для проектування – технічне завдання, вихідні – інформація на магнітних носіях для технологічних автоматів і контрольно-вимірювального устаткування. Найбільше поширення в даний час для проектування замовлених ВІС одержав традиційний метод, метод стандартних комірок (елементів) і блоків, а для проектування *напівзамовлених* ВІС – матричні методи.

Суть *методу стандартних комірок і блоків* полягає в нагромадженні, систематизації і застосуванні при проектуванні ВІС заздалегідь розроблених компонентів, функціональних вузлів і блоків (опорів, транзисторів, ЛЕ, тригерів, регістрів і т.д.), інформація про які зберігається в пам'яті ЕОМ. Застосовується метод в основному при розробці нерегулярних інтегральних схем середнього ступеня інтеграції і стандартних ВІС. Однак його можна застосовувати і для розробки нерегулярних ВІС, що характеризуються застосуванням уніфікованих комірок і блоків.

При *матричному методі* спочатку створюється базовий матричний кристал (БМК) у вигляді матриць з N рядків і M стовпців (N і M – числа в діапазоні 5...103) ЛЕ і більш складних структур. На кожному наборі реалізується серія бібліотечних елементів, що проходить повну атестацію по всіх параметрах (електричних, конструкторських і т.д.) і потім проектується логічна схема ВІС у базисі бібліотечних елементів.

При проектуванні *напівзамовлених* ВІС на базі універсальних вентильних матриць розробник апаратури за допомогою програми логічного моделювання в інтерактивному режимі відпрацьовує логічну схему і систему контролюючих тестів. Потім на етапі топологічного проектування, як правило, автоматично розв'язуються дві задачі: розкриття вікон в окисі і трасування. В даний час для проектування замовлених і *напівзамовлених* ВІС широко використовують автоматичні системи проектування.

4. ЗАГАЛЬНІ ІДЕЇ ПОБУДОВИ І ТЕХНІЧНІ ВИМОГИ ДО САПР ВІС

1. Загальні ідеї побудови САПР ВІС

З науково-технічної точки зору проблема створення САПР зводиться до вирішення наступних чотирьох задач:

- 1) розробка методики проектування виробів електронної техніки;
- 2) розробка прикладного математичного забезпечення;
- 3) створення технічних засобів САПР;
- 4) створення організаційно-технічного забезпечення.

Різноманіття виробів і методологій вирішення цих задач породило величезну розмаїтість САПР. У різних галузях промисловості продуктивність праці при виконанні проектних робіт внаслідок використання САПР вдалося підвищити в кілька разів.

Методологія створення САПР у самому загальному вигляді (з точки зору організації робіт) може бути сформульована в такий спосіб:

- підготовка кадрів;
- організація процесу розробки САПР;
- реалізація розподіленої системи керування;
- використання апарату штучного інтелекту.

Підготовка кадрів. Необхідний новий підхід до інженерної освіти. Насамперед створення гнучких навчальних планів, у яких повинно приділятися час розвитку творчого складу інженера як елемента культури особистості.

Організація процесу розробки САПР дозволяє застосування матричної схеми, коли кожен працюючий має посібник з двох напрямків – осях матриці. По одній осі представлене керування по професійних питаннях (кожен інженер підпорядковується керівнику по своїй спеціальності, головному енергетику, головному конструктору і т.д.), по іншій осі – послідовність виконуваних проектів з вказівкою керівника. Звичайно, усяке подвійне підпорядкування вимагає високої кваліфікації керівника і підлеглого.

Реалізація розподіленої системи керування – це використання системи, архітектура якої ґрунтується на аналогії з локальною шинно-орієнтованою мережевою системою зі змаганнями, а усі підсистеми повинні мати рівний доступ до ресурсів, рівний взаємний доступ один до одного, незалежні режими роботи, жорстко відповідати загальносистемним протоколам і правилам.

Серед основних областей застосування апарату штучного інтелекту можна виділити наступні: моделювання ігор (шахи й ін.); розпізнавання образів (зорових, слухових, графічних,

тактильних і т. д); створення експертних систем; використання природної мови (системи питання – відповідь і системи автоматичного перекладу) і деякі інші (роботика, доказ теорем, інженерні знання).

Основними напрямками, що утворюють концептуальну і технічну основу штучного інтелекту, є:

1) відшукування рішень задач, для яких заздалегідь достеменно не відомий прямиий шлях вирішення (звичайно це зв'язано з концепцією пошуку в просторі рішень);

2) представлення інформації – фактів, правил, дій, тверджень у такому вигляді, щоб вона не могла бути використана іншими компонентами “розумної системи”;

3) сприйняття, метою якого є добування корисної інформації з зовнішнього світу (наприклад, зорове сприйняття, оволодіння усними чи письмовими природними мовами, тобто розпізнавання образів).

Введення методів штучного інтелекту в САПР усуває багато недоліків традиційних методів проектування. Наочним прикладом є кремнієві компілятори – системи автоматичного проектування апаратури.

2. Вимоги до САПР ВІС

Досвід проектування ВІС дозволяє сформулювати такі основні вимоги до сучасних САПР ВІС:

- продуктивність (число проєктованих ВІС заданої складності в одиницю часу);
- інваріантність структури до зміни засобів, методів проектування і технології виготовлення ВІС;
- сумісність ручного, автоматизованого й автоматичного проектування;
- розмаїтість режимів взаємодії проєктувальника із САПР (інтерактивний, мультипрограмний і ін.);
- адаптивність, тобто можливість швидкої перебудови прикладного програмного забезпечення на новий об'єкт проектування;
- можливість одночасного проектування декількох виробів;
- незалежність запровадження в дію й експлуатацію окремих підсистем;
- швидка настроюваність системи на обраний технологічний маршрут проектування;
- інформаційна узгодженість підсистем і пакетів прикладних програм для різних етапів проектування ВІС;
- різноманітність форм представлення вихідної документації (що пов'язано з великою номенклатурою програмно-керованого технологічного устаткування для виготовлення

фотошаблонів і власне ВІС);

- висока надійність і прийнятна вартість.

Перераховані вимоги можуть бути задоволені, якщо при створенні САПР ВІС використовувати принципи:

- *комплексності*, тобто можливості вирішення задач упродовж цілого циклу проектування виробу (від складання ТЗ до одержання інформації на машинних носіях для програмно-керованого технологічного устаткування);

- *сумісності* автоматичного, автоматизованого і традиційного проектування;

- *наявності спільного банку даних* – бази даних зі своєю системою керування, що виконує функції прийому, пошуку, упорядкування і видачі інформації; до загального банку даних звертання здійснюється з різних підсистем і прикладних програм;

- *модульності*, що дозволяє реалізовувати окремі підсистеми у вигляді функціонально самостійних модулів з наступною їхньою заміною іншими модулями в міру розвитку й удосконалення технічних засобів, програмного й інформаційного забезпечення;

- *мультидоступу*, тобто САПР ВІС повинна бути системою колективного використання;

- *відкритості*, тобто система повинна бути побудована таким чином, що додавання нових підсистем, пакетів прикладних програм, окремих програм зводиться до локальної модифікації окремих блоків і не приводить до необхідності замінювати способи організації керування, опису та обробки інформації.

5. ПРИНЦИПИ ПРОЕКТУВАННЯ ТА СТРУКТУРА САПР ВІС.

МАРШРУТ ПРОЕКТУВАННЯ ВІС

1. Принципи проектування

При проектуванні ВІС використовується насамперед принцип *декомпозиції* – розкладання складної задачі на більш прості, “доступні для огляду” одним проектувальником. Розклад може проводитися по кількісних ознаках (наприклад, по кількості компонентів на кристалі ВІС), чи по детальності розгляду параметрів проектованого об'єкта (наприклад, макромодельовання ЛЕ, функціональних вузлів, реєстрів і т.д.) Математично застосування принципу декомпозиції дозволяє звести одну задачу великої розмірності (по кількості рівнянь у системі, кількості змінних і т.д.) до декількох задач меншої розмірності (завдяки чому задачу можна вирішити наявними технічними засобами і в прийнятний термін).

Декомпозиція проектованого об'єкта приводить до *ієрархічного принципу* проектування по етапах. Чим складніший проектований об'єкт, тим більше рівнів ієрархії.

Перевірку правильності проектних вирішень, їхню відповідність необхідним параметрам необхідно забезпечити ще на стадії проектування. Послідовне наближення до виконання заданих вимог за результатами моделювання й оптимізації на кожному етапі проектування ВІС складає суть *ітераційного принципу* проектування. Ітерації можуть виконуватися як усередині одного етапу проектування, так і між групами етапів.

Уніфікація задач і складових частин об'єктів проектування дозволяє спростити сам процес і представити об'єкти в базі даних більш компактно. Об'єкти повинні бути максимально уніфіковані (мати мінімально можливу номенклатуру). Основна мета уніфікації – мінімізація кількості заново розроблюваних ВІС.

Контролювання кожного етапу проектування може суміщатися з процесом проектування або виділятися з нього окремо. Перший варіант має місце, наприклад, при розміщенні елементів і трасуванні внутрісхемних з'єднань на кристалі ВІС чи друкованій платі з дотриманням заданих норм і параметрів, а другий – при автоматичній перевірці проектних норм і параметрів, отриманих на будь-якому етапі проектування ручним, автоматизованим чи автоматичним методом. Контроль правильності виконання проектних робіт на різних етапах проектування ВІС називають *верифікацією*.

2. Структура САПР

Структура САПР встановлена державними стандартами і включає математичне, лінгвістичне, інформаційне, програмне, методичне, організаційне і технічне забезпечення (див.

попередні лекції).

Результатом роботи САПР ВІС повинен бути випуск проектної документації, що включає:

- 1) текстові і текстово-графічні описи алгоритму функціонування вхідною мовою, функціонально-логічна схема, часові діаграми, принципові електричні схеми функціональних вузлів ВІС, електричні характеристики функціональних вузлів і компонентів, таблиці параметрів компонентів ;
- 2) графічні документи – пошарові і суміщені креслення топології функціональних вузлів ВІС;
- 3) документи на машинних носіях – контролюючі тести для установок функціонального контролю, інформація на машинних носіях для програмно-керованого технологічного устаткування ВІС (для виготовлення фотошаблонів або безпосередньо ВІС).

3. Маршрут проектування ВІС

Під *маршрутом проектування ВІС* розуміється послідовність проектних процедур, які необхідно виконати при розробці конкретної схеми, починаючи від технічного завдання і закінчуючи одержанням інформації для програмно-керованого технологічного устаткування, призначеного для виготовлення фотошаблонів або ж безпосередньо ВІС на пластині.

Стосовно проектування ВІС за допомогою САПР можна ввести поняття *технологічного маршруту проектування ВІС*, під яким розуміється набір програм для різних етапів, що забезпечує проектування даної конкретної схеми по всьому циклу – від одержання технічного завдання на схему до виготовлення проміжних фотошаблонів. У залежності від особливостей проектування конкретних ВІС поняття технологічного маршруту може бути введене і для набору програм у межах одного проекту. Технологічний маршрут визначає розробник ВІС.

Різноманітність технічних вимог до ВІС, технологічних процесів їхнього виготовлення, методик проектування призвело до виникнення великої розмаїтості маршрутів проектування. Розглянемо деякі з них.

3.1 Автоматизація проектування напівзамовлених ВІС.

У цілому проектування напівзамовлених ВІС залежить від можливостей замовника і виробника. Зростання складності проектів ВІС і самих ЕОМ майже виключає можливість використання ручних методів для їх проектування. Найбільше поширення одержала концепція базового матричного кристала (БМК), коли при розробці ВІС використовується спеціальна заготовка – базовий кристал (БК), що представляє собою матрицю комірок незкомутуваних елементів.

Для реалізації проекту необхідно розробити індивідуальну систему міжз'єднань цих елементів, тобто, щоб реалізувати ВІС на базовому кристалі досить спроектувати і виготовити тільки фотошаблони для шарів комутації. Виготовлену в такий спосіб напівзамовлену ВІС називають *матричною* (MaVIC). Технологічний маршрут проектування матричних ВІС складається з чотирьох основних етапів:

- 1) розробка принципової електричної схеми MaVIC;
- 2) розробка топології змінних шарів MaVIC;
- 3) контроль проекту MaVIC;
- 4) розробка технічної документації – програм тестової перевірки працездатності MaVIC і керуючих програм для виготовлення фотошаблонів.

Розробка принципової електричної схеми здійснюється за допомогою підсистеми функціонально-логічного моделювання. Розробник (схемотехнік) спочатку малює ескіз принципової електричної схеми, потім описує її спеціальною мовою. Опис є одним з розділів завдання для моделювання ВІС на ЕОМ. Інші розділи завдання містять інформацію про впливи, при яких повинне здійснюватися моделювання, опис зовнішніх виводів MaVIC, контрольних точок для друку часових діаграм і т.п. Текст завдання проходить синтаксичний і семантичний контроль з видачею діагностичних повідомлень про помилки.

Після виправлення всіх помилок у вихідному описі починається процес моделювання MaVIC. Розробник контролює правильність функціонування проекту за часовими діаграмами у контрольних точках. При виявленні помилки здійснюється доробка схеми і виправлення тексту її опису. Етап функціонально-логічного моделювання завершується коли при усіх вхідних впливах на виходах схеми з'являються необхідні сигнали (реакції на впливи). Таким чином, змодельований текст опису схеми стає еталонним, а система впливів і реакцій – вихідною інформацією для програм топологічного проектування.

Етап розробки змінних шарів топології може бути реалізований трьома способами – шляхом ручного проектування з наступною машинною обробкою, автоматизованого проектування з наступною ручною доробкою і шляхом автоматичного синтезу.

При *автоматичному синтезі* досягається повна реалізація топології проекту в автоматичному режимі і тому відпадає необхідність у проведенні контролю. Оскільки цей процес може бути реалізований при тому ж інформаційному забезпеченні, що і логічне моделювання, то з'являється можливість атестувати працездатність проекту MaVIC із врахуванням його топологічної реалізації. Для цього за допомогою спеціальною програми-екстрактора по топології відновлюється електрична схема MaVIC.

Вибір маршруту топологічного проектування визначається кількістю елементів та кількістю виводів елементів. Найбільш розповсюдженим критерієм оцінки якості отриманої

топології є критерій максимуму щільності заповнення базового кристала, що дорівнює відношенню кількості елементів МаВІС до кількості комірок (посадкових місць) кристала. При щільності заповнення 90...100% застосовують ручне проектування, при щільності 80...90 % – автоматизоване, а при щільності менше 80 % – автоматичний синтез. Відповідно міняються терміни розробки топології. На етапі контролю відбувається порівняння вихідної і відновленої принципів схем, а також контролюється дотримання конструкторських і технологічних правил і норм проектування. Підсистема контролю реалізується на високопродуктивних ЕОМ. При підготовці технічної документації здійснюється компіляція магнітних стрічок з інформацією про тести для контрольно-вимірювального устаткування і з програмами керування електронно-променевими чи оптичними генераторами зображення.

3.2 Автоматизація проектування замовлених ВІС.

До класу цілком *замовлених* ВІС можна віднести схеми, що реалізують проекти приватного застосування. Такими проектами можуть бути однокристалні ЕОМ, мікропроцесорні ВІС, ВІС, що реалізують швидке перетворення Фур'є, спеціальні сопроцесори, криптопроцесори і т.п. Можна говорити, що такі проекти містять довільні логічні побудови. До того ж методологія проектування замовлених ВІС сильно відрізняється від методології проектування напівзамовлених ВІС. Якщо напівзамовлені ВІС найчастіше проектуються зверху вниз (від функціонального опису до реалізації на рівні бібліотечних логічних елементів), то замовлені ВІС проектуються знизу вгору (від проектування ЛЕ до функціональної реалізації). При такій методології досягаються оптимальні параметри на кожному ієрархічному рівні представлення проекту.

У якості технічних показників замовлених ВІС використовуються тактова частота роботи, площа кристала, на якому реалізований проект, потужність розсіювання на одиницю площі кристала, ступінь інтеграції. Якщо не потрібно, щоб параметри були оптимальними, то методологія проектування може змінюватися – від знизу вгору до зверху вниз. Наприклад, якщо не пред'являти жорстких вимог щодо тактової частоти і площі кристала, то можна використовувати автоматичні системи проектування, що реалізують методологію зверху вниз (як при проектуванні напівзамовлених ВІС).

6. МОДЕЛЮВАННЯ ТА ВЕРИФІКАЦІЯ ВІС

1. Верифікація та її типи

Постійне зростання ступеня інтеграції ВІС зменшує міру особистої участі розробника в процесі проектування. Якщо двадцять років тому розробник ВІС міг легко перевірити коректність рішення (проекту) на будь-якому етапі – від схемотехнічного до топологічного, включаючи виготовлення фотошаблонів, то на даний час картина різко змінилася. Розробник без допоміжних програмно-обчислювальних засобів уже не в стані обробляти величезні масиви інформації, що використовуються для опису проекту ВІС, щоб переконатися в правильності отриманих результатів.

Наприклад, проектування багатьох ВІС починається з опису функцій майбутньої ВІС згідно ТЗ. У цьому випадку використовується апарат функціонального проектування. Уже на даному етапі розробник повинен бути упевненим в правильності отриманого проекту. Таку впевненість забезпечує спеціальний апарат – *апарат верифікації*. У широкому змісті апарат верифікації забезпечує перевірку виконання правил проектування на фізичному і схемотехнічному рівнях, імітаційне моделювання і реалізацію формалізованих процедур контролю проекту ВІС від опису її функцій до топології. Основною вимогою до апарату верифікації є збільшення продуктивності систем контролю проектних рішень великої розмірності без зниження надійності одержуваних результатів. В основі верифікації лежать моделювання ВІС на будь-якому рівні його представлення.

Під *верифікацією* проекту ВІС розуміють множину процедур, що використовуються для перевірки правильності проекту на різних етапах маршруту чи циклу проектування. Недоцільно здійснювати верифікацію проекту на останньому етапі маршруту проектування, тому що це може збільшити вартість і час проектування. Тому верифікацію всього проекту розбивають на множину процедур верифікації після кожного етапу проектування ВІС.

Кожному ієрархічному рівню представлення проекту відповідає свій рівень абстракції. На кожному рівні представлення проекту є своя модель ВІС (мовна, функціональних схем, принципів схем і т.д.). Висновок про правильність проекту на кожному етапі проектування можна зробити на основі аналізу моделі ВІС на відповідному рівні ієрархії, у результаті якого повинна бути отримана відповідь на запитання чи задовольняє проект вимогам ТЗ.

Верифікація підрозділяється на *функціональну, логічну, схемотехнічну і верифікацію конструкторсько-технологічних норм*.

Може виникнути запитання, чому не названі топологічна верифікація і верифікація фотошаблонів. Як правило, топологічна верифікація містить дві основні процедури: перевірку топології щодо задоволення конструкторсько-технологічних норм (допуски на перекриття

дифузійних областей, мінімальна відстань між дифузійними областями й областями металізації, максимальна і мінімальна ширина різних областей і т.д.); відновлення (екстракція) по топології електричної і логічної схем з метою наступного їхнього аналізу. Перша процедура цілком входить у верифікацію конструкторсько-технологічних норм, а друга – у схемотехнічну верифікацію. Верифікація фотошаблонів цілком відноситься до верифікації конструкторсько-технологічних норм.

Слід зазначити, що верифікація конструкторсько-технологічних норм здійснюється за допомогою операцій порівняння, у той час як функціональна, логічна і схемотехнічна верифікації здійснюються за допомогою аналізу моделей, що описують поведінку ВІС на кожному рівні ієрархії проекту. Аналіз, як уже відзначалося, ґрунтується на одноразовому чи багаторазовому моделюванні. За допомогою математичного моделювання можна швидко, дешево і з достатнім ступенем вірогідності визначити чи задовольняє проект вимогам ТЗ.

2. Функціональне моделювання та функціональна верифікація

Функціональне моделювання включає якісне моделювання для з'ясування питання про працездатність ВІС на рівні блоків (реєстрів, лічильників, блоків пам'яті, програмувальних логічних матриць і т.д.). У цьому випадку затримки на блок задаються нульовими чи одиничними.

Функції блоку при функціональному моделюванні ВІС описуються мовою високого рівня, що получили назву “Мова опису проекту” (МОП).

За допомогою МОП розробник описує ціль проектування і встановлює зв'язок між розробником і виробником ВІС у доступній і зрозумілій інженеру формі. Крім того, проект повинен бути однаково зрозумілий і розробнику, і ЕОМ. У даному випадку МОП виконує комунікаційну роль між розробником ВІС, виробником і ЕОМ, що служить у даний час інструментом як проектування, так і виготовлення ВІС.

При проектуванні ВІС з використанням методології зверху вниз розробник часто використовує опис поведінки проекту на верхньому (функціональному) рівні з невизначеними часовими параметрами. Такий опис може бути промодельовано і верифіковано. Якщо результат задовільний, то опис розділяється на ряд підфункцій і здійснюється поведінковий опис кожної підфункції. Потім моделюється система на рівні даних підфункцій шляхом їхнього зв'язку через вхідні та вихідні інтерфейси. Якщо результати моделювання задовільні, то підфункції поділяються на підпідфункції. Для останніх також здійснюється поведінковий опис і моделювання. Такий процес поділу і моделювання продовжується доти, поки проект не буде достатньо деталізований (тобто може виконуватися за допомогою уже відомих компонентів і

елементів) чи буде достатньо інформації для розробки (проектування) вузлів на основі найпростішого їх опису.

У загальному випадку ієрархічний опис на кожному рівні містить наступні види проектної інформації: специфікацію вхідного і вихідного інтерфейсів; інформацію про структуру проектованої ВІС (які блоки входять у проект і як вони з'єднані); поведінкову інформацію (як кожен блок реагує у відповідь на вхідні сигнали); фізичну інформацію про проект (фізичні параметри, технологічні допуски, геометрію компонентів, розміри областей і т.д.); інформацію про тести. Кожен рівень опису проекту може мати ієрархічну структуру компонентів. Компонент, у свою чергу, може бути розділений на частини і визначений як об'єкт проектування для наступного рівня. Для поведінкового опису проекту розробник може використовувати булеві вирази, дійсні і цілі числа або їх комбінацію.

Існують процедурні і непроцедурні МОП. Процедурні МОП використовують послідовне моделювання, непроцедурні мови – моделювання одночасно цілих груп описів, тобто паралельне. Хоча процедурні МОП легше піддаються опису, ЕОМ звичайно працює в режимі обробки непроцедурних. Окрім того, нотація (алфавітно-графічне зображення) непроцедурних МОП зрозуміліша для розробника.

Поведінкова модель може містити інформацію і про часові параметри. Для простих схем опис часових залежностей повинен бути відділений від опису логіки. Для складних схем такий поділ описів неможливий.

Верифікація на функціональному рівні, чи *функціональна верифікація*, є найважливішим етапом у створенні проекту на верхньому рівні його представлення. У даному випадку є тільки зовнішній опис майбутнього проекту по входу і виходу (тобто вимоги ТЗ). На цьому етапі легше всього скорегувати проект, видалити помилки, тобто задати оптимальну архітектуру ВІС, що задовольняє вимогам ТЗ.

Розглянемо більш докладно процедуру функціональної верифікації. На початковій стадії верифікації ВІС розглядається як “чорна скринька”. Такий підхід забезпечує перевірку вимог ТЗ по входу і виходу. Якщо проект коректний, то інформація з входу, виходу і проектна запам'ятовується. Якщо вихідна інформація не відповідає вимогам ТЗ, то відбувається деталізація саме тих частин проекту, що відповідальні за некоректну інформацію на виході. Коли джерело помилок локалізоване, то проект виправляється і знову виконується функціональна верифікація.

При верифікації використовується три рівні абстракції проекту: високий, середній і низький. На *високому рівні абстракції* проект може бути описаний мовою високого рівня, спеціально призначеною для моделювання систем у цілому. Як тільки аналіз проекту на даному рівні абстракції закінчений, здійснюється перехід до аналізу апаратних і програмних

компонентів. Далі процес верифікації виконується на *середньому рівні абстракції* з залученням поведінкового опису і потім переходить на рівень функціональних блоків.

Розробник може переходити і на більш низький рівень абстракції і представляти блоки ВІС у вигляді логічних елементів. У випадку проектування аналогових ВІС розроблювач переходить на ще більш низький рівень абстракції (напівпровідникові елементи) із залученням апарата схемотехнічного моделювання. Слід зазначити, що функціональна верифікація є не аналітичним інструментом, а процедурним апаратом, за допомогою якого розробник може вирішити проблему коректності проекту.

3. Логічне моделювання та логічна верифікація

Логічне моделювання включає моделювання ВІС на рівні логічних елементів з врахуванням затримок (асинхронне моделювання) чи без (синхронне моделювання). Синхронне моделювання найчастіше застосовується для встановлення факту працездатності ВІС на логічному рівні, для складання подійнісних таблиць (латентності чи часової розрідженості). Таблиці латентності містять інформацію про неактивний ЛЕ, що дозволяє працювати тільки з активними елементами і значно прискорити асинхронне моделювання.

Верифікація на логічному рівні забезпечує розробника інформацією про виконання проектом логічних функцій (синхронне моделювання), про часові параметри проекту (асинхронне моделювання), про критичні шляхи проходження сигналу. У першому випадку логічна верифікація здійснюється на рівні логічних елементів із залученням тризначної логіки (1, 0, X). В другому верифікація допомагає розробнику проаналізувати динамічні властивості проекту.

Проектування ВІС з обмеженим числом контрольних вузлів значно ускладнює настроювання часових параметрів. Більше того, спроба виправлення деяких частин уже готової ВІС приводить до необхідності проведення повторного проектування і повторного виготовлення, що робить процес отримання ВІС більш дорогим, а також збільшує терміни випуску промислових партій схем. Тому найбільше вигідно проблеми часового настроювання ВІС вирішувати на ранньому етапі проектування. При цьому необхідно, щоб часова верифікація могла здійснюватися на всіх рівнях абстракції проекту.

Часова верифікація ґрунтується на двох процедурах часового аналізу цифрових ВІС. Перша процедура проводить аналіз логічної схеми в цілому, тобто аналіз усіх шляхів проходження сигналів і запам'ятовується найтриваліший (критичний) шлях. При зростанні складності проекту ВІС з'являються проблеми з обчислювальними ресурсами (пам'яттю і часом обчислень). Основною перевагою аналізу ВІС у цілому є те, що є інформація про тривалість

усіх шляхів проходження сигналу. Це допомагає оцінити роботу ВІС у всьому діапазоні температур і зовнішніх дестабілізуючих факторів.

Друга процедура ґрунтується на аналізі тільки критичних шляхів проходження сигналу, що вносять максимальну затримку. Критичні шляхи визначаються за допомогою подійнісних таблиць. Ефективність другої процедури в кілька разів перевищує ефективність першої. Недоліком є відсутність інформації про майже критичні шляхи проходження сигналів, що важливо для статистичного розрахунку. Для зменшення впливу даного недоліку аналіз критичних шляхів проводиться для кожного блоку ВІС, що дозволяє розпізнавати точки й області затримки сигналу. Процедура застосовна для будь-якого рівня ієрархії представлення проекту ВІС.

Часові характеристики цифрових схем поділяються на дві категорій: обумовлені роботою інтерфейсів і затримками поширення сигналів. У першому випадку інтерфейси мають обмежену швидкість прийому й обробки вхідних сигналів. Затримка поширення сигналу визначається часом між моментами досягнення сигналом порогів спрацьовування на вході і на виході ЛЕ.

На ранніх стадіях проектування неможливо точно оцінити часові характеристики ВІС. Таку інформацію можна одержати тільки після закінчення проектування топології. У багатьох випадках затримка поширення залежить від числа ЛЕ, що підключаються до виходу таких же ЛЕ. При верифікації ця особливість враховується коефіцієнтами розгалуження по входу і виходу. Для більшої точності часовий аналіз проводиться для максимальних і мінімальних затримок, що забезпечує володіння інформацією про розподіл затримок на виході логічного блоку. Іноді в процесі часової верифікації слід установити чи існує сигнал на виході при подачі сигналу на кожен вхід і чи є досліджувана частина інвертованою. Для складних проектів такий аналіз є інформаційно залежним.

Часова верифікація допомагає виявити і виправити потенційні помилки проекту, що впливають на динамічні параметри. Часова верифікація на основі аналізу критичних шляхів проходження сигналу є ефективною у випадку асинхронних схем. Розробник може визначити критичну частину й обчислити відповідну їй затримку або ж перевірити всі частини і знайти ту, затримка в якій перевищує задану в ТЗ. Зазначимо, що така верифікація здійснюється для будь-яких вхідних сигналів.

Верифікація на основі аналізу критичних шляхів звичайно використовується в двох випадках: до проектування топології при наявності грубих оцінок про характер навантажень у схемі; після одержання топології, коли можна відновити (екстрагувати) реальну картину навантажень і відповідно визначити більш точні значення затримок та інших часових параметрів.

4. Схемотехнічна верифікація

Схемотехнічна верифікація дозволяє розробнику аналізувати аналогові ефекти напівпровідникових пристроїв і одержувати точнішу інформацію про часові параметри проекрованої ВІС. Ґрунтується вона на аналізі схем по постійному струмі, у часовій області для малого і великого сигналів. Даний вид верифікації дозволяє обробляти наступні класи схем: чисто аналогові схеми; різні комбінації цифрових і аналогових схем; цифрові схеми в часовій області. Усі ці схеми можуть містити пасивні елементи, незалежні джерела струму і напруги, чотири види залежних джерел струму і напруги, напівпровідникові діоди, біполярні і полярні транзистори й інші напівпровідникові прилади.

Ефективність верифікації підвищується, коли вона проводиться після завершення етапу проектування топології, тоді у результаті екстракції стають відомими паразитні елементи, обумовлені дифузійними областями, полікремнієвими доріжками, шарами металізації. Верифікація може здійснюватися для ВІС, представлених декількома рівнями ієрархії електричних моделей.

5. Багаторівневе моделювання

Варто розрізняти *змішане* і *багаторівневе моделювання*. Перший вид моделювання застосовується для верифікації схем, що містять і операційні підсилювачі (розрахунок яких може вестися і в часових, і в частотних областях), і цифрові схеми (на рівні логічних схем). Основна складність при використанні змішаного моделювання – забезпечення інтерфейсів між частинами схем різного класу.

При верифікації розробник сам вибирає моделі тієї чи іншої частини проекту. Це може бути поведінковим описом у вигляді тексту або таблиці істинності. Можливо також використовувати апарат кінцевих автоматів, тобто проект задається в термінах станів і переходів зі стану в стан.

Відзначимо, що багаторівнева верифікація малоефективна при оцінці точних часових характеристик, ризиків збою і змагань сигналів.

6. Контроль конструкторсько-технологічних норм

При проектуванні топології ВІС за будь-якою технологією необхідно витримувати мінімально і максимально допустимі розміри всіх областей формування структур. Слід

вказати типові помилки, що виникають при проектуванні топології ВІС. До них можна віднести: перекручування контуру в результаті пропуску чи зрушення однієї з його кутових точок при кодуванні; порушення допуску на мінімальне зближення контурів одного шару, контурів у парі шарів і контуру в шарі; пропуск одного чи декількох контурів; нанесення одного чи декількох контурів, обриви чи розриви контуру металізації. Зазначені помилки виявляються на етапі контролю конструкторсько-технологічних норм.

Перелік конструкторсько-технологічних обмежень представлений у таблиці 6.1.

Таблиця 6.1 – Перелік конструкторсько-технологічних обмежень

Області	Обмеження
Дифузійні, контактних площадок, тонкого оксиду, товстого оксиду, полікремнію, металізації	На розміри областей
Дифузійні, тонкого оксиду, полікремнію, металізації	На відстань між областями одного шару
Дифузійна і контактна площадки, тонкого оксиду і контактної площадки, полікремнію і металізації	На відстань між областями різних шарів
Області контактного вікна і дифузійна площадка, області металізації і тонкого оксиду, полікремній і дифузійна область, дифузійна область і область тонкого оксиду	На допуски перекриття областей різних шарів
Контактні площадки між контактними площадками	На розміри контактів

7. КОНТРОЛЕПРИДАТНІСТЬ ВІС

З підвищенням ступеня інтеграції ІС і зменшенням розмірів ЛЕ виникає проблема тестування готових ВІС, тому що контактні контрольні площадки доводиться виключати через дефіцит площі кристала. У результаті багато логічних блоків стають недоступними для контролю і, як наслідок, тестування ВІС ускладнюється і дорожчає. Нагадаємо, що тестування готових ІС є не що інше, як верифікація проекту, виконаного на кристалі. У зв'язку з перерахованими проблемами виникає задача проектування тестопридатних (контролепридатних) ІС. *Тестопридатність* можна трактувати як кількісну міру простоти тестування. Цифрова ІС з високою тестопридатністю відрізняється наступними особливостями: 1) схема ініціалізується через основні вхідні шини (на усіх вузлах схеми встановлюється відоме значення сигналу); 2) внутрішнім станом ІС можна керувати короткою послідовністю вхідних сигналів; 3) для кореляції внутрішніх сигналів не потрібно використовувати всі основні входи; 4) внутрішні стани і внутрішні значення сигналів можуть бути однозначно визначені за інформацією на основних виходах чи у спеціальних тестових точках.

Перші три особливості відображають міру контролепридатності, четверта – міру спостережуваності за ІС. Таким чином, щоб схема була цілком тестопридатною, необхідно, щоб її внутрішні стани легко контролювалися і спостерігалися. Контролепридатність і спостережуваність для всіх сигналів ІС відображає міру тестопригодності ІС у цілому. Програми аналізу тестопридатності ІС на етапах проектування відносяться до апарату верифікації, хоча самі по собі такі програми не дуже потрібні в процесі проектування ІС. Але в сукупності з іншими методами проектування аналіз тестопридатності допомагає розробнику виявити складні частини ВІС.

Під процесом тестування в багатьох випадках мається на увазі порівняння поведінки ВІС з функціональною специфікацією чи структури ВІС (розташування і з'єднання логічних елементів) зі структурою, визначеною описом логічного проекту.

При функціональному тестуванні ВІС перевіряється на коректність функціонування. Але виникає запитання: коли і як робити висновок про коректність функціонування? Наприклад, скільки разів потрібно повторити операцію множення, щоб цілком перевірити схему пристрою множення? Тим більше якщо деталі схеми невідомі, що часто буває на верхніх рівнях ієрархії проекту при проектуванні зверху вниз. На сьогоднішній день проблема автоматичної генерації функціональних тестів не вирішена, тому що не розроблена функціональна модель відмов. Проблема побудови такої моделі дуже складна, якщо не сказати неможлива, через природу відмов і несправностей усередині ВІС на рівні ЛЕ.

Ідентифікацію структури спроектованої ВІС здійснити набагато простіше, ніж

функціональну перевірку. При структурному тестуванні використовується модель відмов на рівні ЛЕ. Крім того, структурне тестування і відповідно верифікація вимагають набагато менше тестів. Зменшити число тестів при структурній верифікації можна, виявляючи критичні шляхи проходження сигналу при певному порушенні чи несправності.

Останнім часом поширення одержали *самотестовані ВІС і ВІС з вбудованим тестуванням*. Такі додаткові схеми тестування можуть працювати в режимі функціонування ВІС або у проміжках між періодами обробки корисної інформації. Перший режим називають прямим, другий – непрямим. У прямому режимі для самотестування (самоконтролю) необхідні додаткові та дублюючі схеми, що може приводити до значного збільшення площі кристала.

Непряме самотестування базується на введенні спеціальних схем з “інтелектом”. Такі схеми реалізуються в наступний спосіб. Спеціальні мікропроцесори перевіряють свою пам'ять, регістри, команди і т.д. Потім тесто-програма заноситься в пам'ять і виконується між періодами нормального функціонування схеми. ВІС з інтелектом забезпечують тільки функціональну верифікацію.

Структурне самотестування здійснюється шляхом занесення в пам'ять (яка реалізується на кристалі) структурно-генерованих тестів. До пам'яті додаються схеми керування для проведення процедури тестування. Основним недоліком структурного самотестування є вимога до додаткової площі кристала. Проектування самотестованих та ВІС з вбудованими тестами здійснюється в рамках звичайного проектування з використанням апарату верифікації.

ЛІТЕРАТУРА

1. Скляр В.А. и др. Автоматизация проектирования ЭВМ: Учебное пособие для ВУЗов. - Минск: Высшая школа, 1990. - 356 с.
2. Автоматизация проектирования БИС. В 6 кн.: Практик. пособие / под ред Г.Г.Казеннова. - М.: Высш.шк., 1990.
3. Норенков И.П., Маничев В.Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. - М.: Высшая школа, 1983. - 272 с.
4. Системы автоматизированного проектирования: Учебное пособие для ВУЗов: в 9 кн./ И.П.Норенков -М.: Высшая школа, 1986.
5. Справочник по САПР / под редакцией В.И.Скурихина - К. Техніка, 1988.
6. Language Reference Manual IEEE Design Automation Standards Committee, P1-29.1, D10, May 1997.