



УКРАЇНА

(19) **UA** (11) **132520** (13) **U**  
(51) МПК  
**G06F 7/52** (2006.01)

МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

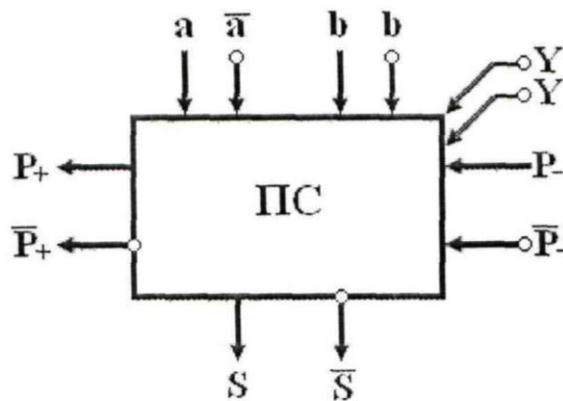
## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

|   |   |
|---|---|
| (21) Номер заявки: <b>u 2018 10301</b>                                    | (72) Винахідник(и):<br><b>Давлетова Аліна Ярославівна (UA),<br/>Грига Володимир Михайлович (UA),<br/>Николайчук Ярослав Миколайович (UA)</b>  |
| (22) Дата подання заявки: <b>17.10.2018</b>                               | (73) Власник(и):<br><b>Давлетова Аліна Ярославівна,<br/>вул. Броварна, 12, кв. 7, м. Тернопіль,<br/>46003 (UA),<br/>Грига Володимир Михайлович,<br/>пров. І. Богуна, 12, м. Надвірна, Івано-<br/>Франківська обл., 78400 (UA),<br/>Николайчук Ярослав Миколайович,<br/>вул. В. Великого, 14-а, м. Надвірна, Івано-<br/>Франківська обл., 78400 (UA)</b> |
| (24) Дата, з якої є чинними права на корисну модель: <b>25.02.2019</b>    |   |
| (46) Публікація відомостей про видачу патенту: <b>25.02.2019, Бюл.№ 4</b> |   |

## (54) МАТРИЧНИЙ ПЕРЕМНОЖУВАЧ

### (57) Реферат:

Матричний перемножувач містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів з прямими виходами. Додатково містить перший регістр пам'яті на D-тригерах з парафазними виходами, перші входи якого є вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим, додатково введеним, входом пристрою, виходи з'єднані з відповідними додатково введеними інверсними входами матриці однорозрядних повних двійкових суматорів з парафазними входами і виходами, прямі виходи якої з'єднані з відповідними першими входами другого регістра пам'яті на D-тригерах. Другий вхід якого з'єднаний з третім додатково введеним входом пристрою, прямі виходи якого є виходами перемножувача.



Фиг.1

UA 132520 U



Матричний перемножувач належить до засобів обчислювальної техніки і може бути використаний як компонент високопродуктивних проблемно-орієнтованих багаторозрядних процесорів опрацювання та шифрування інформації.

Відомий аналог - матричний перемножувач [[Шатилло В.В., Прохоров С.Н., Явиц Л.С. Матричний множитель // АС № 1615704 SU, Бюллетень № 47.- 1990], який містить матрицю елементів  $n \times m$ , які з'єднані між собою відповідними горизонтальними та вертикальними інформаційними зв'язками переносів.

Недоліком такого матричного перемножувача є обмежені функціональні можливості, обумовлені тим, що його структура не містить вхідного та вихідного регістрів пам'яті, що не дозволяє його використовувати як компонента розпаралеленого синхронізованого формування та зчитування цифрових добутоків двійкових чисел, наприклад, у цифрових кореляторах, цифрових фільтрах та процесорах шифрування даних з глибоким розпаралеленням обчислювальних операцій. Іншим недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів містить однорозрядний повний суматор (фіг. 1) частота тривалість затримки сигналів переносів складає  $3u$  - мікротакти, оскільки вхідні сигнали проходять через три послідовно з'єднані логічні елементи.

Відомий аналог - матричний перемножувач Брауна [Орлов С.А., Цилькер Б.Я. Организация ЭВМ и систем: Учебник для вузов. 2-е изд. - СПб.: Питер, 2011, ст. 194, рис.5.26], який містить вхідну шипу двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних входів матриці неповних та повних однорозрядних суматорів, виходи якої є виходами перемножувача.

Недоліком такого матричного перемножувача є обмежені функціональні можливості, які обумовлені тим, що його структура не містить вхідного та вихідного регістрів пам'яті, що не дозволяє використовувати його як компонента розпаралеленого синхронізованого формування та зчитування цифрових добутоків двійкових чисел, наприклад, у цифрових кореляторах, цифрових фільтрах та процесорах шифрування даних з глибоким розпаралеленням обчислювальних операцій. Іншим недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів не містить парафазних входів та виходів, що потребує не менше 2-3 мікротакти часової затримки сигналів переносів і не дозволяє, у принципі, реалізувати відповідні вертикальні та горизонтальні переноси між виходами та входами однорозрядних суматорів з часовою затримкою 1 мікротакт.

В основу корисної моделі поставлена задача розширення функціональних можливостей та підвищення швидкодії матричного перемножувача шляхом додаткового введення першого (вхідного) і другого (вихідного) регістрів пам'яті на D-тригерах та додаткового введення у матрицю однорозрядних повних суматорів з парафазними входами та виходами, що дозволяє реалізувати інформаційні переноси між суматорами з гранично мінімальною затримкою сигналів на 1 мікротакт, а крім того підвищити регулярність структури матриці суматорів, що спрощує проектування та нарощення розрядності утилітів таких багаторозрядних пристроїв на реконфігурованих програмних кристалах ПЛІС.

Поставлена задача вирішується завдяки тому, що матричний перемножувач, який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані: входами логічних елементів "І", виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів з прямими виходами додатково містить перший регістр пам'яті на D-тригерах з парафазними виходами, перші входи якого с вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим, додатково введеним, входом пристрою, виходи з'єднані з відповідними додатково введеними інверсними входами матриці однорозрядних повних двійкових суматорів з парафазними входами і виходами, прямі виходи якої з'єднані з відповідними першими входами другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім додатково введеним входом пристрою, прямі виходи якого є виходами перемножувача

Корисна модель ілюструється кресленням, де на фіг. 2 показана структурна схема пристрою, який містить 1 - вхідну шину двійкових кодів перемножуваних чисел, 2 - перший регістр пам'яті, 3 - перший синхронізуючий вхід пристрою, 4 - матрицю повних однорозрядних суматорів з парафазними входами і виходами, 5 - другий регістр пам'яті, 6 - другий синхронізуючий вхід пристрою; на фіг. 3 показаний повний однорозрядний суматор матриці перемножувача.

Виходи вхідної шини перемножуваних чисел - 1 з'єднані з відповідними першими входами першого регістра пам'яті - 2, другий вхід якого з'єднаний з другим входом пристрою, парафазні

входи першого регістра пам'яті 2 з'єднані з відповідними парафазними входами матриці однорозрядних повних суматорів - 4, другий вхід якої з'єднаний з входом логічного "0", а прямі однофазні виходи з'єднані з відповідними входами вихідного регістра пам'яті - 5, прямі виходи якого є вихідною шиною пристрою.

5 Пристрій працює наступним чином.

При подачі на синхронізуючий вхід (3) першого регістра пам'яті (2) вхідні коди (X і Y) перемножуваних чисел записуються у D-тригери, на парафазних (прямих та інвертованих) виходах першого регістра пам'яті 2 формуються парафазні коди перемножуваних чисел, які поступають на відповідні парафазні входи матриці повних однорозрядних суматорів 4, на однофазних виходах якої формується код добутку вхідних двійкових чисел, який по сигналу синхронізації третього входу пристрою 6 записується у другий регістр пам'яті 5, на парафазних виходах якого формується вихідний код добутку двох двійкових чисел.

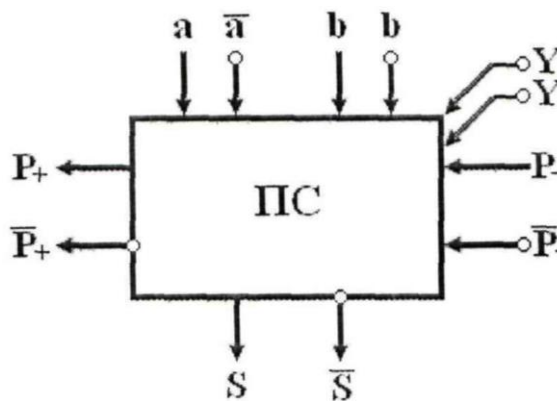
У результаті додаткового введення синхронізованих першого та другого регістрів пам'яті на D-тригерах досягається розширення функціональних можливостей запропонованого пристрою та дозволяє його застосування як компонента більш складних спецпроцесорів. Додаткове введення, як базового компонента, однорозрядних повних суматорів з парафазними входами та виходами досягнуто підвищення швидкодії пристрою у  $5 \div 6$  разів у порівнянні з відомими.

Загальна часова затримка сигналів у такому  $n \times m$  розрядному перемножувачі складає  $t = (n+m-2)$  мікротактів.

20 Технічний результат: пристрій згідно корисної моделі характеризується підвищеною у  $5 \div 6$  разів швидкістю по відношенню до відомого найближчого аналога, а також розширеними функціональними можливостями, що дозволяє його застосування у швидкодіючих цифрових пристроях, цифрових фільтрах та спецпроцесорах шифрування даних.

25 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Матричний перемножувач, який містить вхідну шину двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних входів матриці повних однорозрядних суматорів з прямими виходами, який  
30 **відрізняється** тим, що додатково містить перший регістр пам'яті на D-тригерах з парафазними виходами, перші входи якого є вхідною шиною двійкових кодів перемножуваних чисел, другий вхід з'єднаний з другим, додатково введеним, входом пристрою, виходи з'єднані з відповідними додатково введеними інверсними входами матриці однорозрядних повних двійкових суматорів з парафазними входами і виходами, прямі виходи якої з'єднані з відповідними першими виходами  
35 другого регістра пам'яті на D-тригерах, другий вхід якого з'єднаний з третім додатково введеним входом пристрою, прямі виходи якого є виходами перемножувача.



Фіг.1

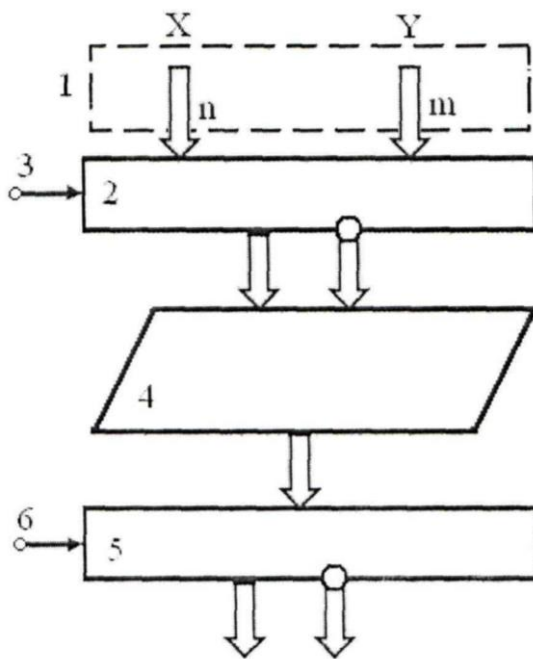
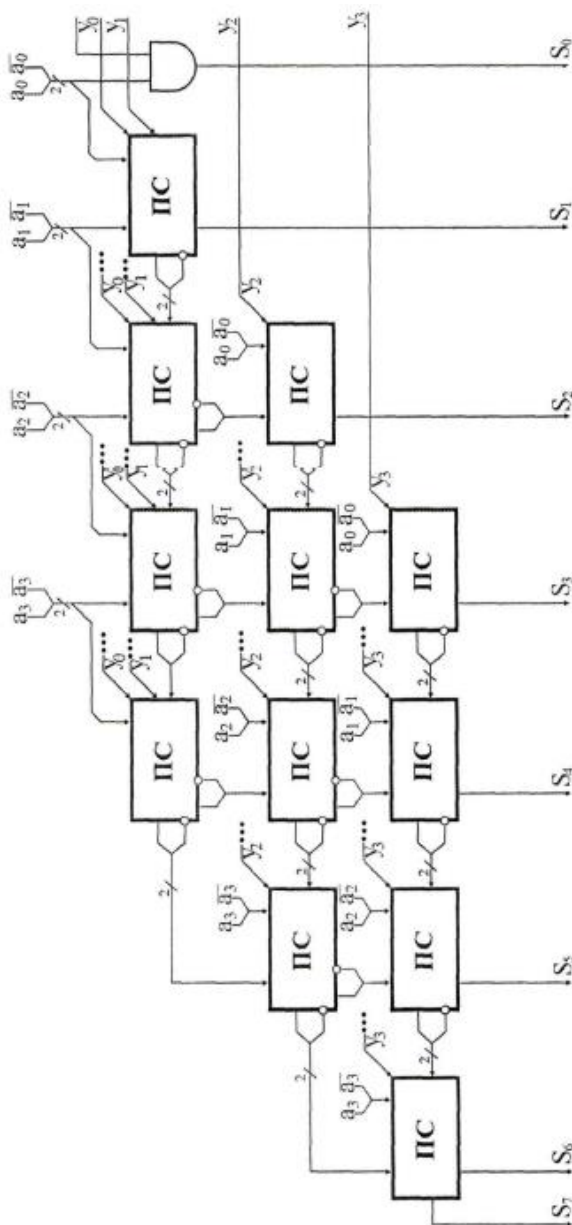


Fig.2



Фіг. 3