



УКРАЇНА

(19) **UA** (11) **116116** (13) **C2**
(51) МПК (2017.01)
G06F 17/15 (2006.01)
G06F 17/00

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

<p>(21) Номер заявки: а 2015 05435</p> <p>(22) Дата подання заявки: 02.06.2015</p> <p>(24) Дата, з якої є чинними права на винахід: 12.02.2018</p> <p>(41) Публікація відомостей про заявку: 12.12.2016, Бюл.№ 23</p> <p>(46) Публікація відомостей про видачу патенту: 12.02.2018, Бюл.№ 3</p>	<p>(72) Винахідник(и): Гуменний Петро Володимирович (UA), Николайчук Ярослав Миколайович (UA), Албанський Іван Богданович (UA), Процюк Галина Ярославівна (UA)</p> <p>(73) Власник(и): Гуменний Петро Володимирович, вул. С. Петлюри, 7, кв. 39, м. Тернопіль, 46000 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Албанський Іван Богданович, вул. Вишнева, 9, с. Кобилля, Збаразький р- н, Тернопільська обл., 47334 (UA), Процюк Галина Ярославівна, вул. Карпатська, 15, м. Івано-Франківськ, 76019 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: SU 1397938 A1, 23.05.1988 EP 0245606 A2, 19.11.1987 SU 1262523 A1, 07.10.1986 RU 2319201 C1, 10.03.2008 US 4809210 A, 28.02.1989 UA 20675 U, 15.02.2007 UA 95168 U, 10.12.2014 Я.Н.Николайчук, П.В.Гуменный. Теоретические основы, методы и процессоры преобразования информации в кодах поля Галуа на базе вертикально-информационной технологии. Кибернетика и системный анализ, том.50, №3, май-июнь, С. 17-26 UA 73320 U, 25.09.2012 SU 337784 A, 26.05.1972</p>
--	--

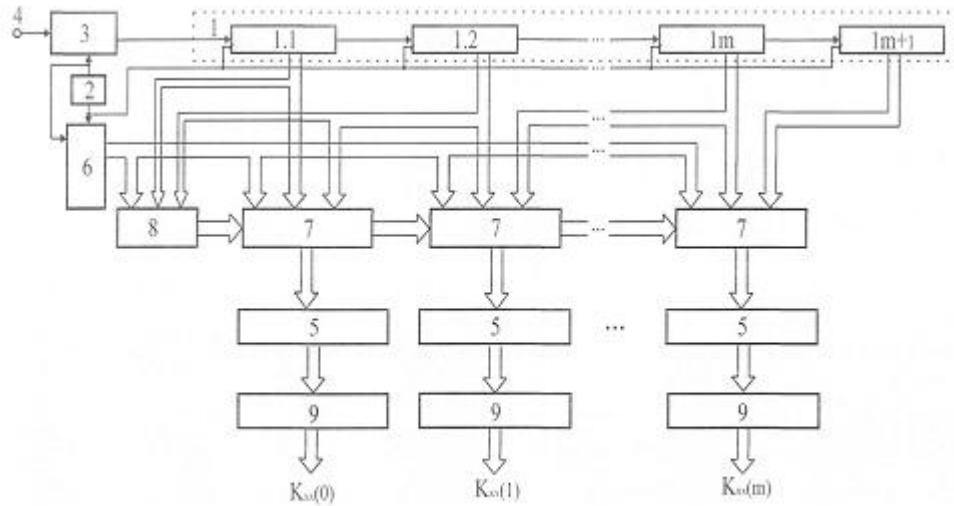
UA 116116 C2

(54) БАГАТОКАНАЛЬНИЙ ЦИФРОВИЙ КОРЕЛЯТОР

(57) Реферат:

Винахід належить до галузі обчислювальної техніки. Багатоканальний цифровий корелятор, який містить синхронізатор, (n+1)-каскадний регістр зсуву, n накоплювачів, виходи яких є виходами пристрою, перетворювач "аналог-код" послідовного наближення, перший вхід якого є входом пристрою, другий вхід підключений до першого виходу синхронізатора, а вихід підключений до першого входу регістра, другий вхід якого підключений до другого виходу синхронізатора, комутаційний регістр зсуву, перший вхід якого з'єднаний з першим виходом синхронізатора, другий вхід з'єднаний з другим виходом синхронізатора, а вихідна шина з'єднана з відповідними блоками і підключена в кожному каналі до відповідних перших входів

групи логічних елементів "I", другі і треті входи яких з'єднані з відповідними шинами i -х та $i-1$ -х каскадів багатокаскадного регістра зсуву, група логічних елементів "I-NI", перші входи яких відповідно з'єднані з вихідною шиною $2k-1$ -го розряду регістра зсуву, другі і треті входи групи логічних елементів "I-NI" відповідно з'єднані з вихідними шинами i -х та $i-1$ -х каскадів регістра зсуву, а виходи з'єднані з четвертими входами групи логічних елементів "I", а виходи логічних елементів I в кожному каналі підключені до входів додатково введених синхронних накопичуючих лічильників, виходи яких підключені до входів додатково введених дешифраторів.



Фіг. 1

Пристрій належить до галузі обчислювальної техніки і призначений для статистичного аналізу випадкових процесів шляхом обчислення коваріаційної функції.

Відомий аналог - багатоканальний цифровий корелятор призначений для обчислення автокореляційної функції на основі дискретів центрованих процесів, який містить синхронізатор, (n+1)-каскадний реєстр зсуву, n накопичувачів, перетворювач "аналог-код", вихід якого підключений до входу реєстра зсуву, а вхід до першого виходу синхронізатора, шина зсуву реєстра зв'язана з другим виходом синхронізатора [А.С. СССР № 337784, кл. G06F 15/34. Бюллетень № 15. - 1972].

Недоліком багатоканального цифрового корелятора є низька швидкодія та обмежені функціональні можливості обумовлені тим, що пристрій містить часо-імпульсний перетворювач "аналог-код", а операція накопичення суми добутоків текучих та зміщених кодів виконується шляхом унітарного сумування кодів, які зсуваються в реєстрі зсуву. Функціональні обмеження відомого пристрою визначаються тим, що на його виходах формуються значення функції

автокореляції центрованих процесів, асимптотика якої відповідає умовам $K_{xx}^*(0) = D_x$;

$K_{xx}^*(\infty) = 0$ (фіг. 1), де D_x - дисперсія випадкового процесу.

Відомий прототип - Багатоканальний цифровий корелятор, який містить синхронізатор, (n+1)-каскадний реєстр зсуву, n накопичувачів, виходи яких є виходами пристрою, перетворювач "аналог-код" послідовного наближення, перший вхід якого є входом пристрою, другий вхід підключений до першого виходу синхронізатора, а вихід підключений до першого входу реєстра, другий вхід якого підключений до другого виходу синхронізатора, комутаційний реєстр зсуву, перший вхід якого з'єднаний з першим виходом синхронізатора, другий вхід з'єднаний з другим виходом синхронізатора, а вихідна шина з'єднана з відповідними блоками і підключена в кожному каналі до відповідних перших входів групи логічних елементів "І", другі і треті входи яких з'єднані з відповідними шинами i-x та i-1-x каскадів багатокаскадного реєстра зсуву, група логічних елементів "І-НЕ", перші входи яких відповідно з'єднані з вихідною шиною 2k-1-го розряду реєстра зсуву, другі і треті входи групи логічних елементів "І-НЕ" відповідно з'єднані з вихідними шинами i-x та i-1-x каскадів реєстра зсуву, а виходи з'єднані з четвертими входами групи логічних елементів "І", виходи яких в кожному каналі підключені до входів накопичуючих суматорів [Патент на корисну модель № 73320 Україна МПК G067 17/15. Багатоканальний цифровий корелятор /Я.М. Николаичук, І.Б. Албанський// Опубл. 25.09.2012, Бюл. № 18].

Недоліком багатоканального цифрового корелятора є низька швидкодія та обмежені функціональні можливості обумовлені тим, що пристрій містить багато розрядні у кожному каналі накопичуючі суматори, які працюють у двійковій системі числення теоретико-числового базису Радемахера. І характеризуються низькою швидкістю у зв'язку з наявністю наскрізних переносів між розрядами двійкового суматора. При цьому типова тривалість затримки сигналів в одному розряді повного тривходового суматора в складі 5-ти мікротактів див. [Повнофункціональна побітова потокова арифметика зі зменшеними витратами обладнання: монографія / О.Д. Азаров, 0.1. Черняк.- Вінниця: ВНТУ, 2013. с 134. рис. 4.4]. У багатоканальному цифровому кореляторі з розрядністю вхідних кодів 8 біт і об'ємом вибірки 256 значень розрядність суматорів у кожному каналі буде складати 24 біт, у процесі сумування 16-ти бітних зсунутих в сторону старших розрядів вхідних кодів 8 біт в результатів їх сумувань вхідних кодів, що складає 100 мікротактів на один цикл роботи АЦП.

В основу побудови пристрою поставлена задача вдосконалення корелятора шляхом підвищення швидкодії та розширення функціональних можливостей, який містить синхронізатор, (n+1)-каскадний реєстр зсуву, n накопичувачів, виходи яких є виходами пристрою, перетворювач "аналог-код" послідовного наближення, перший вхід якого є входом пристрою, другий вхід підключений до першого виходу синхронізатора, а вихід підключений до першого входу реєстра, другий вхід якого підключений до другого виходу синхронізатора, комутаційний реєстр зсуву, перший вхід якого з'єднаний з першим виходом синхронізатора, другий вхід з'єднаний з другим виходом синхронізатора, а вихідна шина з'єднана з відповідними блоками і підключена в кожному каналі до відповідних перших входів групи логічних елементів "І", другі і треті входи яких з'єднані з відповідними шинами i-x та i-1-x каскадів багатокаскадного реєстра зсуву, група логічних елементів "І-НЕ", перші входи яких відповідно з'єднані з вихідною шиною 2k-1-го розряду реєстра зсуву, другі і треті входи групи логічних елементів "І-НЕ" відповідно з'єднані з вихідними шинами i-x та i-1-x каскадів реєстра зсуву, а виходи з'єднані з четвертими входами групи логічних елементів "І", які відрізняються тим, що виходи логічних елементів І в кожному каналі підключені до входів додатково введених синхронних накопичуючих лічильників теоретико-числового базису Галуа, виходи яких підключені до входів

додатково введених дешифраторів виходи яких є виходами пристрою. Багатоканальний цифровий корелятор ілюструється кресленням на фіг. 1 та фіг. 2 показана структурна та функціональна схема реалізації пристрою при $k=4$, тобто чотирирозрядному перетворювачі "аналог-код" послідовного наближення, що відповідає 16-рівневому діапазону квантування вхідних аналогових сигналів $x(t)$, на фіг. 3 показана структура лічильника теоретико-числового базису Галуа. Кодові послідовності лічильника Галуа формуються на основі ключів незвідних поліномів [див. Теорія джерел інформації. /Я.М. Николаичук// - Тернопіль:ТНЕУ 2008 р. - С. 239, Табл. 7.1]. Матричні дешифратори реалізуються по типовій схемі див. [Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології /Я.М. Николаичук, ОМ. Заставний, П. В. Гуменний// Вісник Хмельницького національного технічного університету. - 2012. - № 2. - рис. 7в].

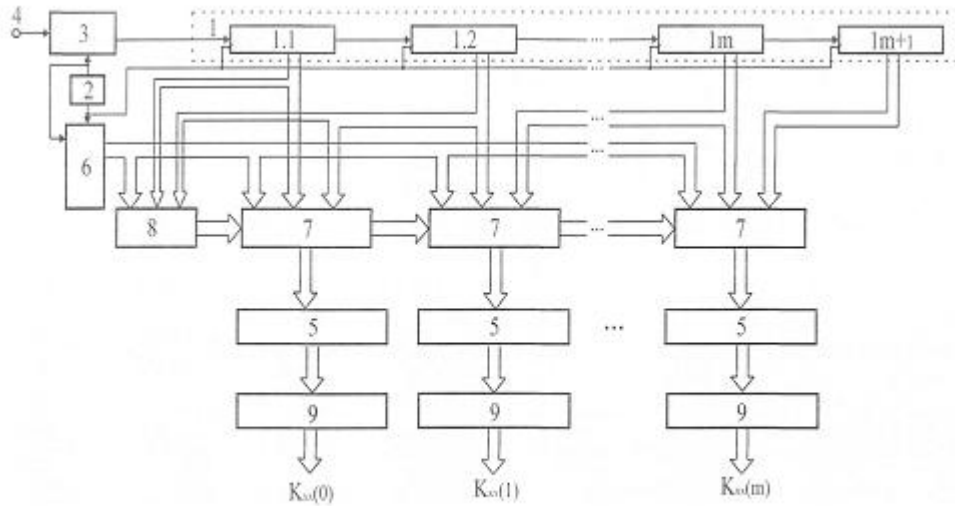
Багатоканальний цифровий корелятор включає в себе: 1-1_{m+1} - багатокаскадний регістр зсуву, 2 - синхронізатор, 3 - перетворювач "аналог-код", 4 - вхід пристрою, 5 - лічильники ТЧБ Галуа, 6 - комутаційний регістр зсуву, 7 - група логічних елементів "І", 8 - група логічних елементів "І-НЕ". 9 - дешифратори. На фіг. 2 показана структурна схема реалізації пристрою при $k=4$, яка демонструє інформаційні з'єднання інформаційних шин між компонентами пристрою. Пристрій працює наступним чином.

Процес обчислення значень коваріаційної функції починається з m циклів запису вхідних біт-орієнтованих кодів перетворювача "аналог код" послідовного наближення 3 в багатокаскадний регістр зсуву 1. В наступних n циклах роботи пристрою у процесі зсуву інформації у багатокаскадному регістрі зсуву 1 та комутації вихідних інформаційних шин в комутаційному регістрі 6, в кожному каналі групою логічних елементів 7 та в першому каналі групою логічних елементів 8 в кожному каналі виконується сумування добутків $x_i \times x_{i-j}$, які формуються сумуванням зсунутих кодів x_{i-j} регістра зсуву 1 та їх записом у суматор 5 під управлінням бітів x_r -го коду, які вибираються з 1-го та 3-го розрядів першого та 1-го та 3-го розрядів другого каскаду регістра зсуву. Таким чином, процеси формування бітів на виході перетворювача "аналог-код", зсув інформації в багатокаскадному регістрі зсуву 1, формування добутків $x_i \times x_{i-j}$ відбувається синхронно з формуванням бітів вихідних кодів перетворювача "аналог-код" 3, починаючи зі старших розрядів. Після кожного з наступних n циклів роботи пристрою на виходах лічильників Галуа 5 та дешифраторів 9₀-9_m формуються та зчитуються коди коваріаційної функції. Число вимірювань, необхідних для отримання коваріаційної функції, вибирається кратним цілим степенем числа 2, виходячи з умов простої реалізації операцій ділення в дешифраторах, шляхом відкидання певного числа молодших розрядів отриманих кодів.

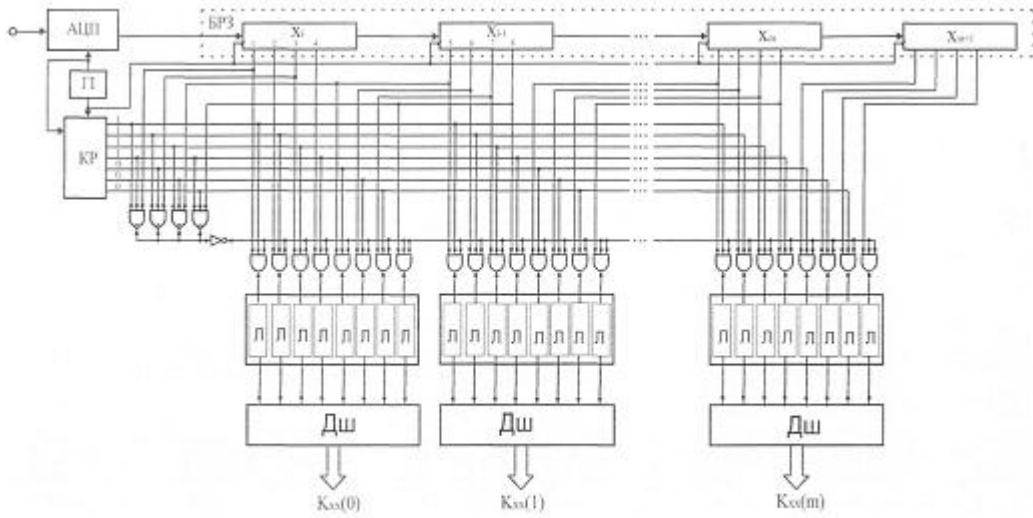
За рахунок обчислення коваріаційної функції вдосконаленим багатоканальним цифровим корелятором підвищується його швидкодія відносно прототипу, оскільки операції сумування у кожному каналі виконується синхронними лічильниками ТЧБ Галуа реалізованих на D-тригерах за 2 мікротакти та реалізацією цих кодів у двійковій у матричних дешифраторах за 3 мікротакти. Таким чином при вказаній розрядності вхідних кодів 8 біт, об'ємі вибірки 256 біт швидкодія багатоканального цифрового корелятора зростає у $100/5=20$ разів.

ФОРМУЛА ВИНАХОДУ

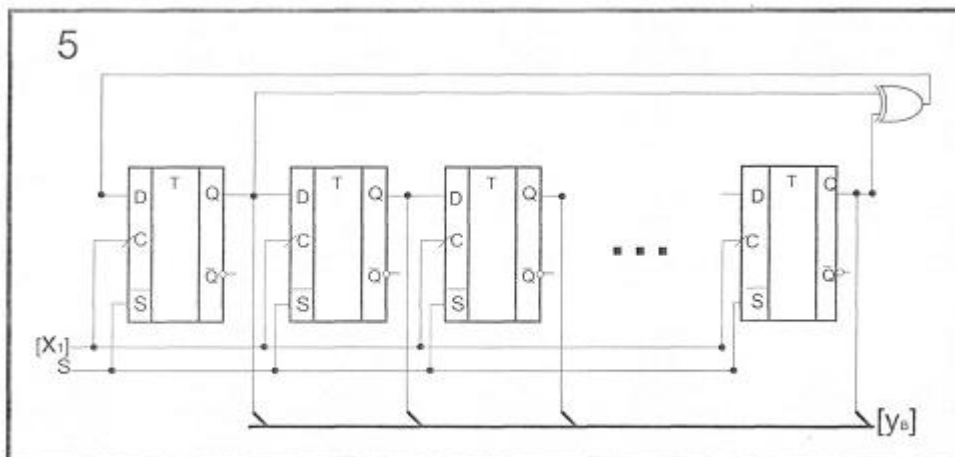
Багатоканальний цифровий корелятор, який містить синхронізатор, $(n+1)$ -каскадний регістр зсуву, n накопичувачів, виходи яких є виходами пристрою, перетворювач "аналог-код" послідовного наближення, перший вхід якого є входом пристрою, другий вхід підключений до першого виходу синхронізатора, а вихід підключений до першого входу регістра, другий вхід якого підключений до другого виходу синхронізатора, комутаційний регістр зсуву, перший вхід якого з'єднаний з першим виходом синхронізатора, другий вхід з'єднаний з другим виходом синхронізатора, а вихідна шина з'єднана з відповідними блоками і підключена в кожному каналі до відповідних перших входів групи логічних елементів "І", другі і треті входи яких з'єднані з відповідними шинами $i-x$ та $i-1-x$ каскадів багатокаскадного регістра зсуву, група логічних елементів "І-НІ", перші входи яких відповідно з'єднані з вихідною шиною $2k-1$ -го розряду регістра зсуву, другі і треті входи групи логічних елементів "І-НІ" відповідно з'єднані з вихідними шинами $i-x$ та $i-1-x$ каскадів регістра зсуву, а виходи з'єднані з четвертими входами групи логічних елементів "І", який **відрізняється** тим, що виходи логічних елементів І в кожному каналі підключені до входів додатково введених синхронних накопичуючих лічильників теоретико-числового базису Галуа, виходи яких підключені до входів додатково введених дешифраторів, виходи яких є виходами пристрою.



Фиг. 1



Фиг. 2



Фиг. 3

Комп'ютерна верстка О. Рябко

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601