



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **117572** (13) **U**
(51) МПК
G06F 7/38 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

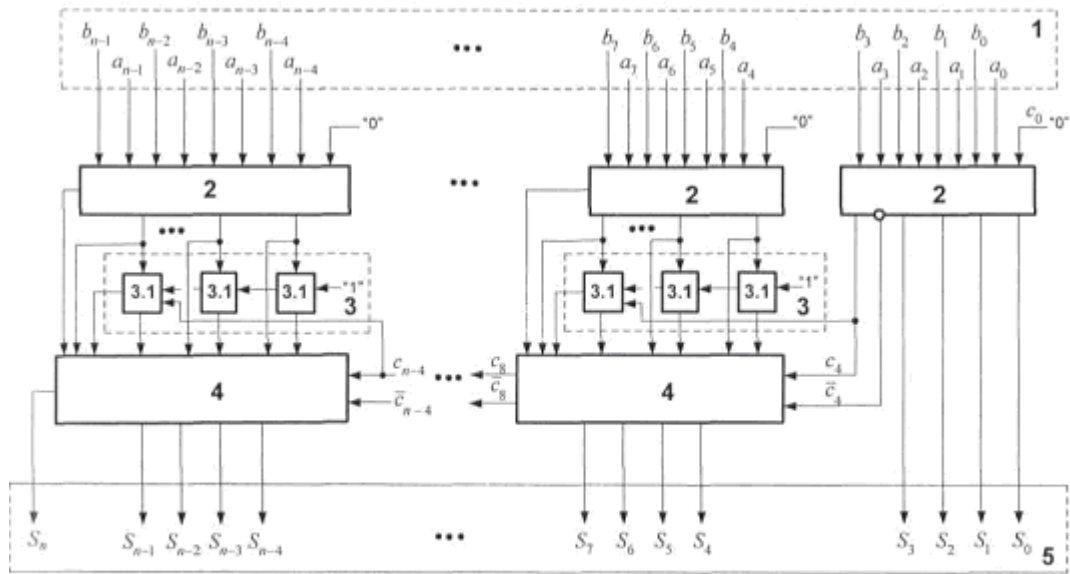
<p>(21) Номер заявки: u 2017 01336</p> <p>(22) Дата подання заявки: 13.02.2017</p> <p>(24) Дата, з якої є чинними права на корисну модель: 26.06.2017</p> <p>(46) Публікація відомостей про видачу патенту: 26.06.2017, Бюл.№ 12</p>	<p>(72) Винахідник(и): Круліковський Борис Борисович (UA), Возна Наталія Ярославівна (UA), Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Давлетова Аліна Ярославівна (UA)</p> <p>(73) Власник(и): Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA)</p>
--	---

(54) СУМАТОР З ПРИСКОРЕНИМ ПЕРЕНОСОМ

(57) Реферат:

Суматор з прискореним переносом містить $2n$ -розрядну вхідну шину, $(k=n/m)$ m -розрядних суматорів, на перші входи переносу яких поданий логічний "0", $(k-1)$ m -розрядних суматорів, на перші входи переносу яких подана логічна "1", $(k-1)$ $m+1$ -розрядних двовходових мультиплексорів з першими прямими керуючими входами, $n+1$ -розрядну вихідну шину. Додатково містить другі інформаційні входи кожного мультиплексора, інкрементний m -розрядний суматор, парафазний мультиплексор.

UA 117572 U



Фиг. 3

Пристрій належить до засобів обчислювальної техніки і може бути використаний як швидкодіючі компоненти арифметико-логічних пристроїв процесорів цифрового опрацювання сигналів та даних.

Відомий аналог-суматор з прискореним переносом [<http://phg.su/basis2/x133.HTM>, с.6/6, 11.5], що містить вхідну $2n$ -розрядну шину, виходи якої з'єднані з відповідними входами n -комірок Brenta-Кунга, виходи яких з'єднані з відповідними входами комбінаційної структури з прискореним переносом, виходи якої з'єднані з відповідними входами $(n+1)$ -розрядної вихідної шини.

Недоліком такого пристрою є велика апаратна складність, яка обумовлена наявністю великого числа компонентів, які реалізують комбінаційну структуру пристрою на логічних елементах, число яких швидко зростає при збільшенні розрядності суматора.

Відомий аналог - пристрій додавання багаторозрядних двійкових чисел [Патент на корисну модель UA № 97162, Бюл. № 5, 2015], який містить першу та другу n -розрядні вхідні шини, виходи яких з'єднані з відповідними входами комбінаційної структури з прискореним переносом, виходи якої з'єднані з відповідними входами n -розрядної вихідної шини.

Недоліком такого пристрою є прискорення отримання суми двійкових чисел згідно з середньостатистичною імовірнісною характеристикою, яка залежить від випадкових значень двійкових кодів, що додаються.

Прискорення операції додавання у такому пристрої може значно перевищувати оцінку часової затримки переносів $t = \log_2 n$, особливо при невеликій розрядності таких суматорів для $n=16, 32, 64$, що характерно для типових мікроконтролерів та універсальних процесорів персональних комп'ютерів.

За найближчий аналог вибрано відомий суматор з прискореним переносом [<http://phg.su/basis2/X133.HTM>, с.6/8, 11.4], що містить $2n$ -розрядну вхідну шину, $(k=n/m)$ m -розрядних суматорів, на перші входи переносу яких поданий логічний "0", $(k-1)$ m -розрядних суматорів, на перші входи переносу яких подана логічна "1", $(k-1)$ $m+1$ -розрядних двовходових мультиплексорів з першими прямими керуючими входами, $n+1$ -розрядну вихідну шину, в якому відповідні виходи вхідної шини з'єднані з відповідними другими інформаційними входами всіх m -розрядних суматорів з нульовими та одиничними входами переносу, перші інформаційні виходи першого m -розрядного суматора з'єднані з відповідними, починаючи з нульового, розрядами вихідної шини, перші інформаційні виходи кожної пари m -розрядних суматорів з відповідними нульовими та одиничними входами переносу з'єднані з відповідними першими інформаційними входами кожного відповідного мультиплексора, перші виходи якого з'єднані з відповідними входами вихідної шини, другі інформаційні входи кожного мультиплексора з'єднані з другими виходами переносу відповідних пар m -розрядних суматорів, третій прямий керуючий вхід першого мультиплексора з'єднаний з другим виходом переносу першого m -розрядного суматора, другі виходи кожного мультиплексора з'єднані з третіми прямими входами кожного наступного мультиплексора, а другий вихід останнього мультиплексора з'єднаний з (n) -м входом вихідної шини пристрою.

Недоліком такого пристрою є велика апаратна складність та низька швидкодія. Велика апаратна складність обумовлена великою апаратною складністю $(k-1)$ m -розрядних суматорів, на входи наскрізних переносів яких подана логічна "1", та наявністю у кожному мультиплексорі двох інверторів.

Оцінка апаратної складності найближчого аналогу (суматора з прискореним переносом) визначається сумарною кількістю логічних елементів у структурах m -розрядних суматорів та мультиплексорів при заданій розрядності вхідних n -розрядних двійкових кодів, які додаються, згідно з виразом:

$A = A_{C0} + A_{C1} + A_{МП}$, де A_{C0} - апаратна складність всіх m -розрядних суматорів з входами логічного "0"; A_{C1} - апаратна складність всіх m -розрядних суматорів з входами логічної "1"; $A_{МП}$ - апаратна складність всіх $(m+1)$ -розрядних мультиплексорів з однофазними прямими входами.

Оцінка апаратної складності найближчого аналогу при розрядності вхідних двійкових кодів $n=32$ і 4 -розрядних суматорів ($m=4$), отримуємо $A=8A_{C0}+7A_{C1}+7A_{МП}$.

При класичній реалізації m -розрядних суматорів на основі лінійок повних однорозрядних двійкових суматорів зі структурою, що зображена на фіг. 1 [<http://phg.su/basis2/x134.HTM>, с.1/6, 11.5], які містять 2 логічних елементи "виключне АБО", кожен з яких містить 4 логічні елементи [Шило В.Л. Популярны́е цифрове́е микросхе́мы: Справочник. - М: Радио и связь, 1988 г, с. 57, рис. 1.35], 2 логічні елементи "І" та один логічний елемент "АБО", що в сумі складає 11 логічних елементів, апаратна складність 8-ми 4 -розрядних суматорів буде рівна $A_{C0}+A_{C1}=(11 \times 4) \times (8+7)=660$ логічних елементів та однофазних $(m+1)$ -розрядних мультиплексорів, кожний розряд яких містить три логічні елементи та по два інвертори на керуючих входах [Шило

В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г, с. 147, рис. 1.106], що складає $A_{МП} = 7 \times (8 \times 3 + 2) = 182$ логічних елементи.

Таким чином оцінка загальної апаратної складності відомого найближчого аналогу при застосуванні суматорів зі структурою представленою на фіг. 1 складає: $A = 660 + 182 = 842$ логічних елементи.

При реалізації m -розрядних суматорів на основі лінійок повних однорозрядних двійкових суматорів зі структурою на фіг. 2 [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1988 г, с. 154, рис. 1.112], які містять 12 логічних елементів їх сумарна апаратна складність складає $A_{C0} + A_{C1} = (12 \times 4) \times (8 + 7) = 720$ логічних елементів, а з врахуванням апаратної складності аналогічних мультиплексорів, загальна апаратна складність такої схемотехнічної структури відомого найближчого аналогу буде рівна $A = 720 + 182 = 902$ логічних елементи.

Низька швидкодія такого пристрою обумовлена сумарною затримкою сигналів наскрізного переносу між m -розрядними суматорами, починаючи з другого, у кожному мультиплексорі з однофазним керуючим входом на 3 мікротакти [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1988 г, с. 147, рис. 1.106].

Наприклад, при розрядності пристрою $n = 32$ біт і $m = 4$ загальна затримка сигналів переносу у такому суматорі з прискореним переносом складає $t = 7T_{МП} + 4T_{CM}$, де $T_{МП}$ - затримка сигналів в однофазному 4-розрядному мультиплексорі ($T_{МП} = 3u$ мікротакти), який містить три послідовно з'єднаних логічних елементи ($NI \rightarrow I \rightarrow ABO$), T_{CM} - затримка сигналів у першому 4-розрядному двійковому суматорі ($T_{CM} = 8u$ мікротактів), при застосуванні одно-розрядних суматорів згідно структур, які зображені на фіг. 1 та фіг. 2, що складає загальну затримку сигналів у пристрої на $t = (7 \times 3) + 8 = 29u$.

В основу корисної моделі поставлена задача зменшення апаратної складності та підвищення швидкодії суматора з прискореним переносом.

Поставлена задача вирішується тим, що суматор з прискореним переносом містить $2n$ -розрядну вхідну шину, $(k = n/m)$ m -розрядних суматорів, на перші входи переносу яких поданий логічний "0", $(k-1)$ m -розрядних суматорів, на перші входи переносу яких подана логічна "1", $(k-1)$ $m+1$ -розрядних двовходових мультиплексорів з першими прямими керуючими входами, $n+1$ -розрядну вихідну шину, в якому відповідні виходи вхідної шини з'єднано з відповідними другими інформаційними входами всіх m -розрядних суматорів з нульовими входами переносу, перші інформаційні виходи першого m -розрядного суматора з'єднано з відповідними, починаючи з нульового, розрядами вихідної шини, перші інформаційні виходи кожного m -розрядного суматора з нульовими входом переносу з'єднано з відповідними першими інформаційними входами кожного відповідного мультиплексора, перші виходи якого з'єднано з відповідними входами вихідної шини, другі інформаційні входи кожного мультиплексора з'єднано з другими виходами переносу відповідного m -розрядного суматора з нульовими входом переносу, третій прямий керуючий вхід першого мультиплексора з'єднано з другим виходом переносу першого m -розрядного суматора, другі виходи кожного мультиплексора з'єднано з третіми прямими входами кожного наступного мультиплексора, а другий вихід останнього мультиплексора з'єднано з n -м входом вихідної шини пристрою, в якому відповідно до корисної моделі додатково містить другі інформаційні входи кожного мультиплексора, які з'єднано з першими виходами кожного відповідного інкрементного m -розрядного суматора з входом переносу логічної одиниці, перший вхід якого з'єднано з другим виходом першого m -розрядного суматора, а в кожній наступній відповідній парі m -розрядних суматорів, перший вхід відповідного інкрементного m -розрядного суматора додатково з'єднано з прямим виходом попереднього мультиплексора, другі входи кожного m -розрядного інкрементного суматора додатково з'єднано з першими інформаційними m -розрядними виходами кожного відповідного m -розрядного суматора з входом переносу логічного нуля, інверсний вихід першого m -розрядного інкрементного суматора з'єднано з третім інверсним входом парафазного першого мультиплексора, третій інверсний вихід першого та кожного мультиплексора додатково з'єднано з кожним інверсним входом кожного наступного мультиплексора.

Удосконалений суматор з прискореним переносом ілюструється рисунком (фіг. 3), де показано структурну схему такого n -розрядного суматора, на прикладі $m = 4$ -розрядних суматорів.

Суматор з прискореним переносом містить: 1 - вхідна $2n$ -розрядна шина; 2- n/m , m -розрядних суматорів; 3- m -розрядний інкрементний суматор; 4- $m+1$ -розрядний мультиплексор з парафазними керуючими входами; 5 вихідна $n+1$ -розрядна шина.

Суматор з прискореним переносом працює наступним чином: вхідні n -розрядні двійкові коди $(a_0b_0, a_1b_1, a_2b_2, a_3b_3); (a_4b_4, a_5b_5, a_6b_6, a_7b_7); \dots; (a_{n-4}b_{n-4}, a_{n-3}b_{n-3}, a_{n-2}b_{n-2}, a_{n-1}b_{n-1})$ вхідної $2n$ -

розрядної шини 1 одночасно надходять на відповідні перші інформаційні входи всіх m -розрядних суматорів 2 з нульовими входами переносу. Перші інформаційні виходи першого m -розрядного суматора 2 з'єднані з відповідними, починаючи з нульового, розряду входами (S_0, S_1, S_2, S_3) вихідної шини 5, а другий прямий (c_4) та третій інверсний ($\overline{c_4}$) виходи переносу першого m -розрядного суматора надходять на відповідні прямі та інверсні керуючі входи першого мультиплектора 4 (фіг. 4), вихідний прямий та інверсний сигнали якого надходять на відповідний прямий та інверсний входи наступного мультиплектора 4. Утворені вихідні коди кожного, починаючи з другого, m -розрядного суматора 2 одночасно надходять на відповідні інформаційні входи відповідних мультиплекторів 4 та інформаційні входи відповідних інкрементних суматорів 3 (фіг. 5), сигнали інформаційних виходів яких надходять на відповідні m -розрядні інформаційні входи мультиплекторів 4. У результаті виконується операція додавання двох n -розрядних двійкових чисел з затримкою сигналів на 5 мікротактів у кожній парі послідовно з'єднаних m -розрядних суматорів 2 з нульовим входом переносу на основі пірамідальної структури, поданої на (фіг. 6) з реалізацією компонентів на основі однорозрядних неповних суматорів (фіг. 7) та суматорів 3 з входом логічної одиниці на основі інкрементного суматора зі структурою, поданою на (фіг. 5).

Апаратна складність запропонованого суматора з прискореним переносом аналогічно розраховується за виразу: $A=A_{C0}+A_{C1}+A_{МП}$, де A_{C0} - апаратна складність всіх m -розрядних пірамідальних суматорів 2 (фіг. 6) і входами логічного нуля; A_{C1} - апаратна складність всіх m -розрядних інкрементних суматорів 3 з входами логічної одиниці (фіг. 5); $A_{МП}$ - апаратна складність мультиплектора 4 з парафазними керуючими входами та виходами (фіг. 4).

При $n=32$ і $m=4$, отримаємо $A=8A_{C0}+7A_{C1}+7A_{МП}$.

Апаратна складність пірамідального суматора 2: $A_{C0}=10 \times 3 + 1 = 31$.

Апаратна складність інкрементного суматора 3: $A_{C1}=1 + (3 \times 3) = 10$.

Апаратна складність мультиплектора 4: $A_{МП}=(3 \times 4) + 2 = 14$.

Таким чином оцінка загальної апаратної складності запропонованого суматора з прискореним переносом складає:

$$A=(8 \times 31) + (7 \times 10) + (7 \times 14) = 416 \text{ логічних елементів.}$$

Часова складність запропонованого суматора з прискореним переносом, в якому затримка сигналів у першому 4-розрядному суматорі 2 з пірамідальною структурою (фіг. 6), в якому застосовані неповні однорозрядні суматори з затримкою сигналів переносу на 1 мікротакт (фіг. 7), а також затримкою сигналів у вихідному інверторі 2.3 (фіг. 6) складає 5 мікротактів та затримкою сигналів у мультиплекторах з парафазними входами на 2 мікротакти, загальна затримка сигналів у запропонованому суматорі при $n=32$ біти і $m=4$ буде рівна $t=(n/m-1) \times t_{МП} + t_{СМ}$. Тобто, $t=(7 \times 2) + 5 = 19v$.

Отже, зменшення апаратної запропонованого суматора з прискореним переносом по відношенню до найближчого аналогу складає $\frac{842}{416} = 2$ рази, а збільшення швидкодії складає

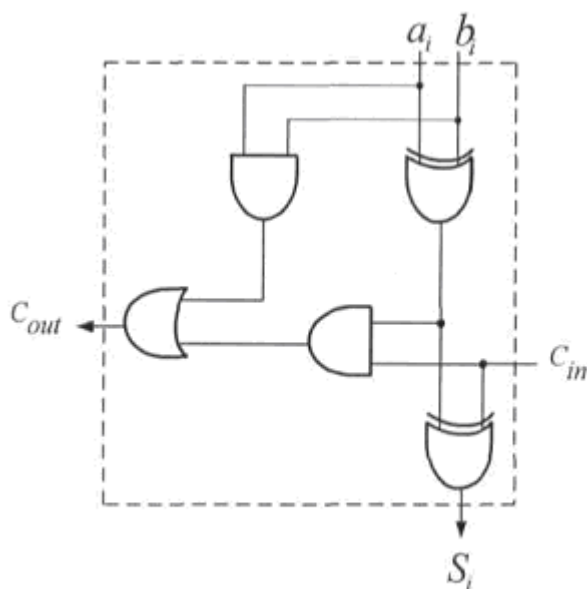
$$\frac{29}{19} = 1,5 \text{ рази.}$$

Технічний результат. У результаті створено суматор з прискореним переносом, як засобу обчислювальної техніки та швидкодіючих компонентів арифметико-логічних пристроїв процесорів цифрового опрацювання сигналів та даних, зі зменшеною апаратною складністю у порівнянні з найближчим аналогом у 2 рази та підвищеною швидкодією у 1,5 разу.

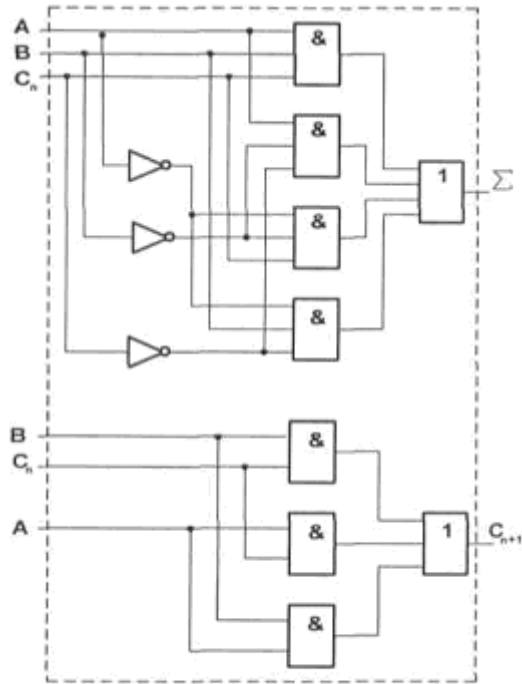
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Суматор з прискореним переносом, що містить $2n$ -розрядну вхідну шину, ($k=n/m$) m -розрядних суматорів, на перші входи переносу яких поданий логічний "0", ($k-1$) m -розрядних суматорів, на перші входи переносу яких подана логічна "1", ($k-1$) $m+1$ -розрядних двовходових мультиплекторів з першими прямими керуючими входами, $n+1$ -розрядну вихідну шину, в якому відповідні виходи вхідної шини з'єднано з відповідними другими інформаційними входами всіх m -розрядних суматорів з нульовими входами переносу, перші інформаційні виходи першого m -розрядного суматора з'єднано з відповідними, починаючи з нульового, розрядами вихідної шини, перші інформаційні виходи кожного m -розрядного суматора з нульовими входом переносу з'єднано з відповідними першими інформаційними входами кожного відповідного мультиплектора, перші виходи якого з'єднано з відповідними входами вихідної шини, другі інформаційні входи кожного мультиплектора з'єднано з другими виходами переносу відповідного m -розрядного суматора з нульовими входом переносу, третій прямий керуючий вхід першого мультиплектора з'єднано з другим виходом переносу першого m -розрядного

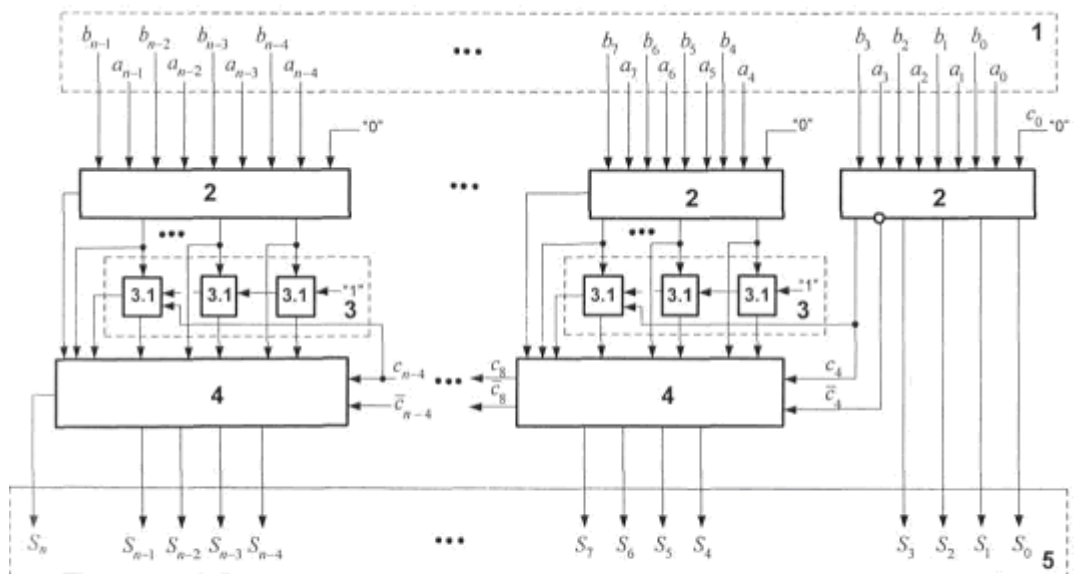
- суматора, другі виходи кожного мультиплексора з'єднано з третіми прямими входами кожного наступного мультиплексора, а другий вихід останнього мультиплексора з'єднано з n -м входом вихідної шини пристрою, який **відрізняється** тим, що додатково містить другі інформаційні входи кожного мультиплексора, які з'єднано з першими виходами кожного відповідного інкрементного m -розрядного суматора з входом переносу логічної одиниці, перший вхід якого з'єднано з другим виходом першого m -розрядного суматора, а в кожній наступній відповідній парі m -розрядних суматорів, перший вхід відповідного інкрементного m -розрядного суматора додатково з'єднано з прямим виходом попереднього мультиплексора, другі входи кожного m -розрядного інкрементного суматора додатково з'єднано з першими інформаційними m -розрядними виходами кожного відповідного m -розрядного суматора з входом переносу логічного нуля, інверсний вихід першого m -розрядного інкрементного суматора з'єднано з третім інверсним входом парафазного першого мультиплексора, третій інверсний вихід першого та кожного мультиплексора додатково з'єднано з кожним інверсним входом кожного наступного мультиплексора.



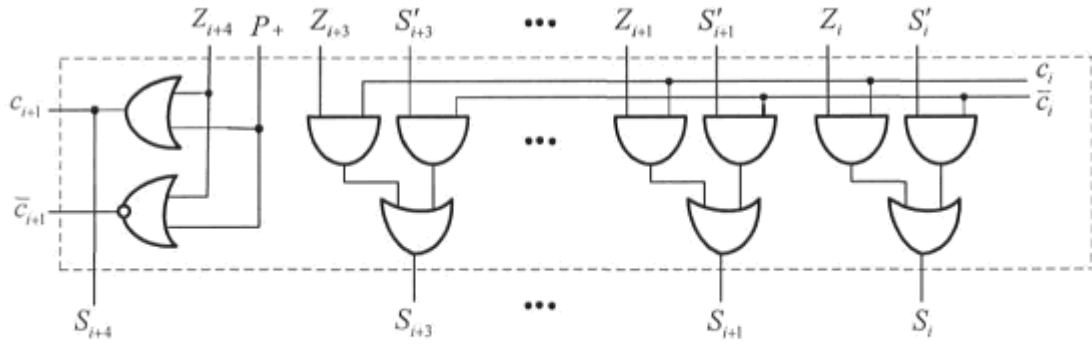
Фіг. 1



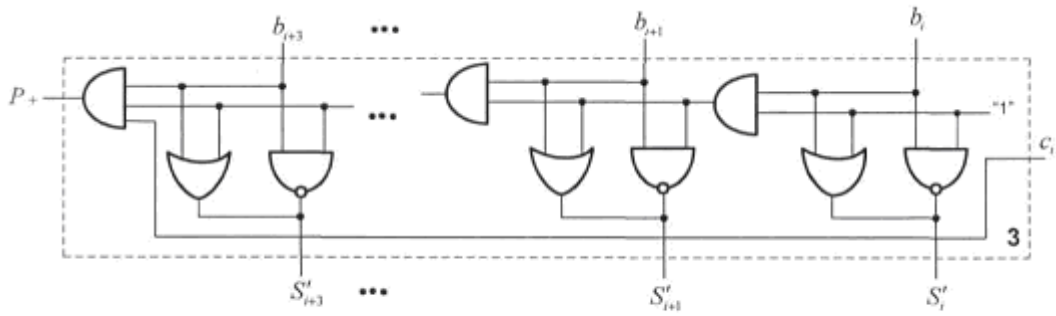
Фиг. 2



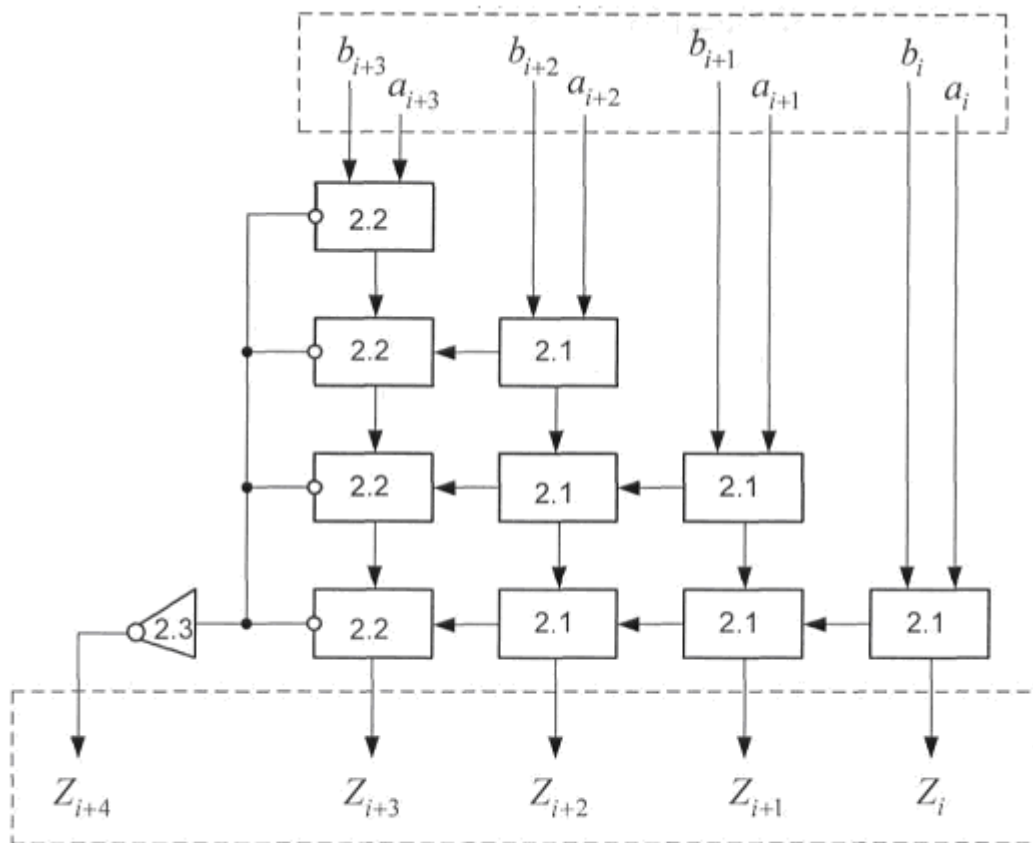
Фиг. 3



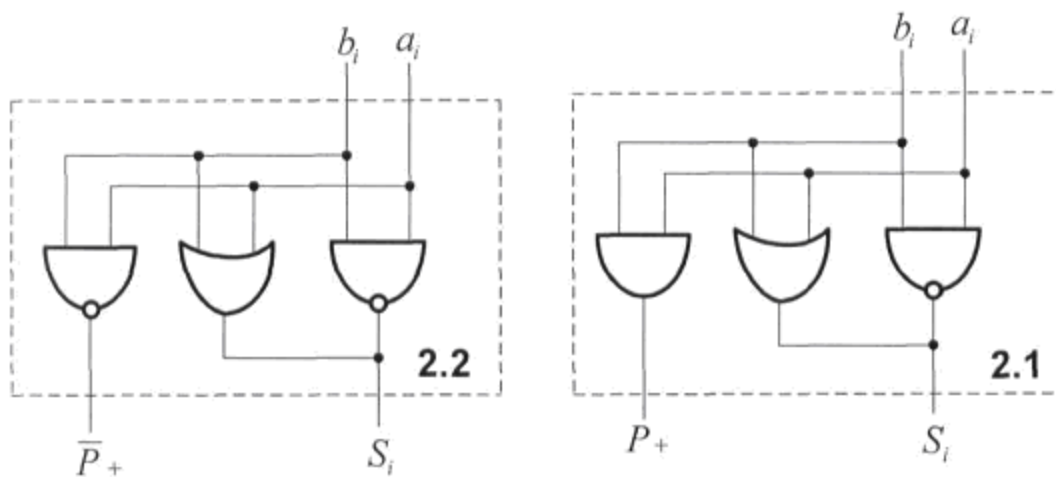
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7