



УКРАЇНА

(19) **UA** (11) **108333** (13) **U**
(51) МПК
G06F 7/40 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

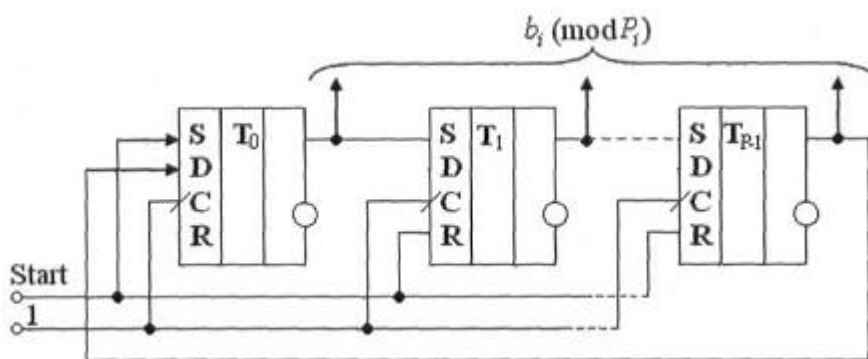
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2016 00737	(72) Винахідник(и): Круліковський Борис Борисович (UA), Давлетова Аліна Ярославівна (UA), Николайчук Ярослав Миколайович (UA), Івасьєв Степан Володимирович (UA)
(22) Дата подання заявки: 01.02.2016	
(24) Дата, з якої є чинними права на корисну модель: 11.07.2016	
(46) Публікація відомостей про видачу патенту: 11.07.2016, Бюл.№ 13	(73) Власник(и): Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Івасьєв Степан Володимирович, вул. Чехова, 8, м. Тернопіль, 46003 (UA)

(54) КВАДРАТОР

(57) Реферат:

Квадратор містить вхідну шину, лічильник, логічні елементи та регістр пам'яті, причому додатково введені розрядно-позиційні лічильники теоретико-числового базису Хаара-Крестенсона, входи яких з'єднані з вхідною шиною, а виходи з'єднані з входами додатково введеного логічного модуля рандомізації, виходи якого з'єднані з першими додатково введеними виходами пристрою кодів квадратів у теоретико-числовому базисі Хаара-Крестенсона і першими інформаційними входами регістра пам'яті, другий вхід якого з'єднаний з вхідною шиною, а виходи з'єднані з входами додатково введеного шифратора, виходи якого є другими виходами пристрою у вигляді двійкових кодів квадратів числа вхідних імпульсів у теоретико-числовому базисі Радемахера.



Фиг. 1

UA 108333 U

Квадратор належить до засобів обчислювальної техніки і може бути використаний при розробці дискретних пристроїв для задач статистичного аналізу та розробці високопродуктивних компонентів проблемно-орієнтованих спецпроцесорів у різних теоретико-числових базисах.

5 Відомий аналог - квадратор [Грибок Н.И., Обуханич Р.-А.В. Квадратор // А.С. СССР № 475619. - Бюллетень № 24. - 1975], який містить вхідну шину, елемент затримки, лічильник-регістр, виходи якого порозрядно, через логічні ключі, підключені до накопичувача.

Недоліком такого пристрою є низька швидкодія, яка обумовлена наявністю елемента затримки, що потребує дворазового виконання операції додавання n -розрядних двійкових кодів теоретико-числового базису Радемахера у $2n$ -розрядному накопичувачі з наскрізними переносами та дворазового запису кодів суми у регістрі пам'яті накопичувача.

10 Відомий прототип - числоімпульсний множильний пристрій [Николайчук Я.М. Числоімпульсное множительное устройство // А.С. СССР № 754414.- Бюллетень № 29. - 1980], який містить вхідну шину, лічильник виходи якого порозрядно, через логічні ключі, підключені до накопичувача.

15 Недоліком такого пристрою, який при однаковому числі імпульсів на вхідних шинах, виконує обчислення їх квадрата, є низька швидкодія та висока структурна складність. Низька швидкодія відомого пристрою обумовлена тим, що обчислювальні операції у пристрої виконуються у двійковій системі числення теоретико-числового базису Радемахера, що приводить до одноразового виконання наскрізних переносів у суматорі накопичувача та запису двійкових кодів у його регістрі пам'яті.

20 Згідно зі структурою відомого пристрою-прототипу його часова складність та швидкодія, яка визначається сумарною затримкою сигналів після кожного вхідного імпульсу у послідовно з'єднаних компонентах пристрою визначається згідно з виразом:

$$25 \quad \tau_n = (\tau_n + \tau_k + \tau_p + \tau_c);$$

де $\tau_n = 2u$ - швидкодія переключення JK тригера синхронного двійкового лічильника; $\tau_k = 2u$ - швидкодія переключення логічних елементів логічних ключів, які складаються з двох послідовно включених логічних елементів I, АБО; $\tau_p = 2n \cdot \tau_c$, - швидкодія переключення D-тригера регістра накопичуючого суматора, де n - число розрядів лічильника, в якому формується двійковий код вхідного унітарного коду з числом 2^n імпульсів; $\tau_k = (2+4)u$ - часова затримка сигналів накопичуючого багаторозрядного суматора залежно від схеми його мікроелектронної реалізації на вентилях ПЛІС (u - швидкодія переключення вентиля).

Наприклад: мінімальна часова складність та машинна швидкодія відомого пристрою буде рівна:

$$35 \quad n=8: \tau_n = 2+2+2+16 \cdot 2+2=40u;$$

$$n=16: \tau_n = 2+2+2+32 \cdot 2+2=72u.$$

40 Висока структурна складність відомого пристрою, яка ускладнює його синтез та реалізацію на мікроелектронному кристалі обумовлена тим, що такий пристрій має нерегулярну структуру і містить різнотипні компоненти: лічильник на Т- або JK-тригерах, логічні ключі на елементах АБО та I, накопичувач на основі повних однорозрядних суматорів на елементах I, I-НІ, АБО та Виключне АБО, регістр пам'яті накопичувача на D-тригерах.

Неоднорідність структури такого пристрою обумовлена тим, що даний пристрій при максимальному числі імпульсів вхідного унітарного коду 2^n має різну розрядність лічильника (n) та накопичуючого суматора ($2n$).

45 Обмежені функціональні можливості відомого пристрою обумовлені тим, що вихідним кодом квадрата вхідного числа імпульсів є двійковий код системи числення базису Радемахера. Це не дозволяє його використати для подальшого швидкодійного опрацювання даних у системі числення залишкових класів базису Хаара-Крестенсона.

50 В основу корисної моделі поставлена задача вдосконалення, підвищення швидкодії, регулярності структури та розширення функціональних можливостей квадратора шляхом додаткового представлення числа імпульсів вхідного унітарного коду у модульній системі числення залишкових класів та додаткового введення логічного модуля рандомізації, шифратора та вихідної шини коду системи залишкових класів базису Крестенсона, що дозволяє додатково отримати код квадрата у базисі Радемахера-Крестенсона за 3 мікротакти та двійковий код квадрата у базисі Радемахера за 10 мікротактів після кожного вхідного імпульсу.

55 Вдосконалення пристрою згідно з корисною моделлю досягається шляхом представлення вхідного числа імпульсів у модульному коді Хаара-Крестенсона, з його структури вилучений компонент з найнижчою швидкістю - накопичувач та найвищою структурною складністю - двійковий суматор, з наскрізними переносами. Реалізація лічильника та накопичуючого суматора виконується на D-тригерах, а логічний ключ містить тільки логічний елемент АБО.

60

Поставлена задача вирішується завдяки тому, що квадратор містить вхідну шину, лічильник, логічні елементи та регістр пам'яті, згідно з корисною моделлю додатково введені розрядно-позиційні лічильники теоретико-числового базису Хаара-Крестенсона, входи яких з'єднані з вхідною шиною, а виходи з'єднані з входами додатково введеного логічного модуля рандомізації, виходи якого з'єднані з першими додатково введеними виходами пристрою кодів квадратів у теоретико-числовому базисі Хаара-Крестенсона і першими інформаційними входами регістра пам'яті, другий вхід якого з'єднаний з вхідною шиною, а виходи з'єднані з входами додатково введеного шифратора, виходи якого є другими виходами пристрою у вигляді двійкових кодів квадратів числа вхідних імпульсів у теоретико-числовому базисі Радемахера.

Корисна модель ілюструється кресленнями: на фіг. 1 показана структурна схема модульного лічильника системи числення залишкових класів теоретико-числового базису Хаара-Крестенсона: Start - початкова установка D-тригерів модульного лічильника у стан "0", крім нульового тригера, який встановлюється в стан "1"; на фіг. 2 - приклад реалізації формування коду квадрата числа на виходах логічного модуля рандомізації у базисі Хаара-Крестенсона (P=11); на фіг. 3 - структурна схема пристрою, де 1 - вхідна шина; 2 - модульний лічильник системи числення залишкових класів теоретико-числового базису Хаара-Крестенсона; 3 - логічний модуль рандомізації; 4 - перша вихідна шина; 5 - регістр пам'яті; 6 - дешифратор; 7 - друга вихідна шина.

Пристрій працює наступним чином:

Перед початком кожного циклу роботи квадратора всі D-тригери модульних лічильників пристрою, окремою мікрокомандою скидаються в "0", крім нульового тригера, який встановлюється в стан "1" (на структурній схемі не показано). При надходженні кожного імпульсу унітарного коду числа на вхідну шину (1) у модульних лічильниках (2) накопичуються коди залишків числа імпульсів у системі залишкових класів базису Хаара-Крестенсона, які надходять на входи відповідних логічних модулів рандомізації (3), на виходах яких формується код квадрата числа вхідних імпульсів у теоретико-числовому базисі Хаара-Крестенсона, який надходить на першу вихідну шину (4) та інформаційні входи регістра пам'яті (5), запис в який синхронізується імпульсами вхідної шини. З виходів регістра пам'яті отримані розрядно-позиційні коди теоретико-числового базису Хаара-Крестенсона дешифруються шифратором (6), на виходах якого формуються двійкові коди квадратів вхідного числа імпульсів у теоретико-числовому базисі Радемахера, що є другою вихідною шиною пристрою (7).

Приклад реалізації формування коду квадрата числа на виходах логічного модуля рандомізації (3) для P=11 згідно з таблицею

$$b_i \times b_i = d_i \pmod{11}$$

$$0 \times 0 = 0$$

$$1 \times 1 = 1$$

$$2 \times 2 = 4$$

$$3 \times 3 = 9$$

$$4 \times 4 = 5$$

$$5 \times 5 = 3$$

$$6 \times 6 = 3$$

$$7 \times 7 = 5$$

$$8 \times 8 = 9$$

$$9 \times 9 = 4$$

$$10 \times 10 = 1.$$

При проектуванні квадратора на ПЛІС використовується логічний модуль з повним числом логічних елементів АБО, які синтезуються як відповідні утиліти по кожному модулю P_i .

Згідно із системою числення залишкових класів для однозначного представлення вхідного числа імпульсів унітарного коду 2^n повинна виконуватися умова: добуток взаємопростих модулів P_i повинен бути рівний або більший 2^n , що відповідає умові: сума двійкових розрядностей модулів P_i повинна бути на 1-2 розряди більша відносно розряду двійкового числа, яке підноситься до квадрата і представляє число імпульсів унітарного коду N у двійковій системі числення, де $n = \lceil \log_2 N \rceil$, є знак цілочисельної функції з округленням до більшого цілого.

Наприклад, при числі модулів P_i $k=4$.

		P_1	P_2	P_3	P_4	$2n+1$
		m_1	m_2	m_3	m_4	
N	100	9	11	13	15	16
n	7	4	4	4	4	
N	128	9	11	13	15	16
n	7	4	4	4	4	
N	256	9	11	13	17	17
n	8	4	4	4	5	
N	65536	129	131	137	263	33
n	16	8	8	8	9	

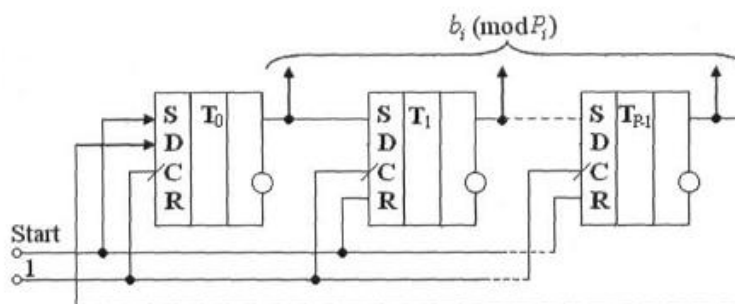
5 При іншому числі модулів системи залишкових класів k можуть застосовуватися інші набори взаємопростих модулів k , які відповідають вказаним умовам. При піднесенні до квадрата 512 розрядних двійкових чисел потрібно 101 десятибітний модуль P_i . При цьому швидкодія піднесення чисел до квадрата у базисі Хаара-Крестенсона не залежить від розрядності і в запропонованому пристрої виконується $\tau=3u$.

10 Технічний результат: пристрій згідно з корисною моделлю характеризується підвищеною на 1-2 порядки швидкістю відносно до відомого прототипу, а також більш високою регулярністю структури за рахунок реалізації модульних синхронних лічильників на D-тригерах та логічного модуля рандомізації на елементах АБО.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

15 Квадратор, що містить вхідну шину, лічильник, логічні елементи та регістр пам'яті, який **відрізняється** тим, що додатково введені розрядно-позиційні лічильники теоретико-числового базису Хаара-Крестенсона, входи яких з'єднані з вхідною шиною, а виходи з'єднані з входами додатково введеного логічного модуля рандомізації, виходи якого з'єднані з першими додатково введеними виходами пристрою кодів квадратів у теоретико-числовому базисі Хаара-Крестенсона і першими інформаційними входами регістра пам'яті, другий вхід якого з'єднаний з вхідною шиною, а виходи з'єднані з входами додатково введеного шифратора, виходи якого є другими виходами пристрою у вигляді двійкових кодів квадратів числа вхідних імпульсів у теоретико-числовому базисі Радемахера.

20



Фиг. 1

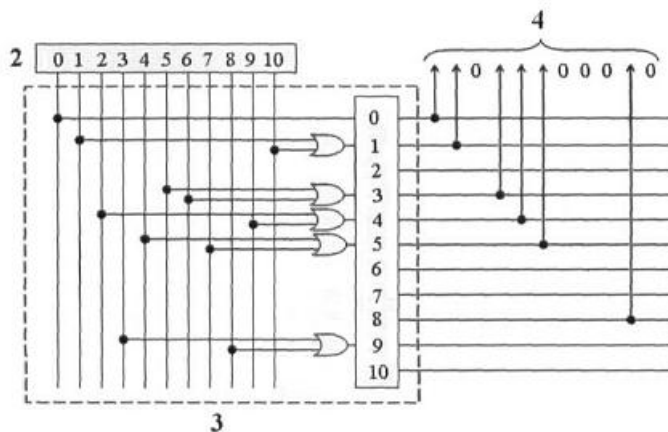


Fig. 2

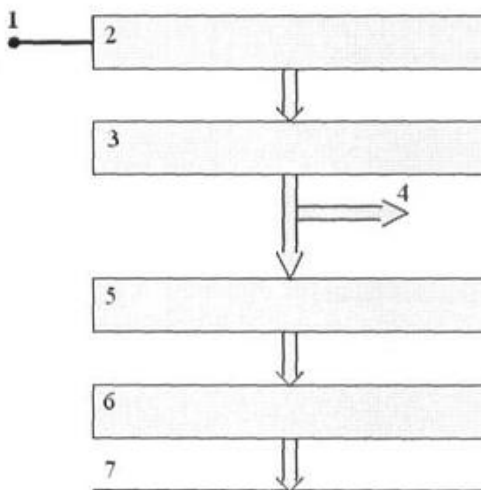


Fig. 3