



УКРАЇНА

(19) **UA** (11) **113538** (13) **U**
(51) МПК (2016.01)
G06F 7/57 (2006.01)
G06F 13/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

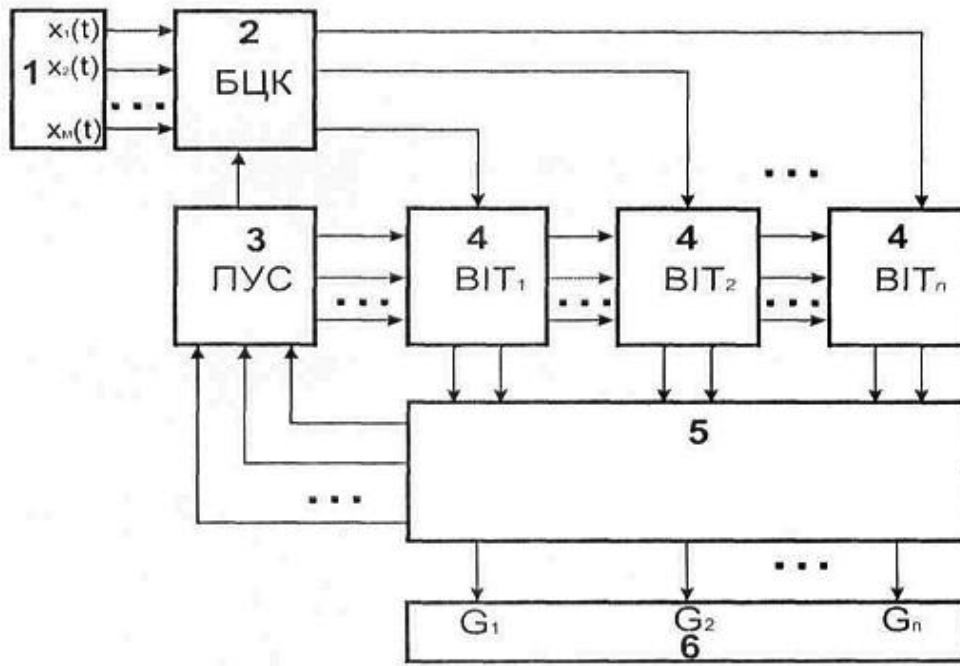
| | |
|---|---|
| <p>(21) Номер заявки: u 2016 02039</p> <p>(22) Дата подання заявки: 02.03.2016</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.02.2017</p> <p>(46) Публікація відомостей про видачу патенту: 10.02.2017, Бюл.№ 3</p> | <p>(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Гуменний Петро Володимироич (UA)</p> <p>(73) Власник(и): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Гуменний Петро Володимироич, вул. С. Петлюри, 7/39, м. Тернопіль, 46023 (UA)</p> |
|---|---|

(54) МУЛЬТИЯДЕРНИЙ СИГНАЛЬНИЙ СПЕЦПРОЦЕСОР ПАРАЛЕЛЬНОГО ОПРАЦЮВАННЯ ДАНИХ

(57) Реферат:

Мультіядерний сигнальний спецпроцесор містить пристрій управління і синхронізації, перші виходи якого підключені до відповідних входів першого ядра ВІТ спецпроцесора. Додатково перші виходи пристрою управління і синхронізації підключені до відповідних перших входів М-1 ВІТ спецпроцесорів. Другий вихід підключений до другого входу БАЦК, другі входи якого є входами пристрою. Виходи підключені до відповідних входів ВІТ процесорів, виходи яких підключені до відповідних входів комутаційної мережі, перші виходи якої підключені до відповідних входів пристрою управління і синхронізації, а виходи з виходами пристрою.

UA 113538 U



Фиг. 1

Корисна модель належить до обчислюваної техніки і до сигнальних спецпроцесорів, які працюють в кодовій системі теоретико-числового базису (ТЧБ) Галуа і забезпечують виконання арифметико-логічних обчислень на основі біт орієнтованої вертикально-інформаційної технології (ВІТ). Технічний результат досягається зменшенням числа з'єднань між операційними пристроями процесора за рахунок заміни багатоканальних шин адресу даних та управління призначених для передавання багаторозрядних двійкових кодів у ТЧБ Радемахера, біт-орієнтованими однорозрядними відповідними шинами, а також виконання арифметико-логічних операцій над числами представленими в кодах Галуа.

Відомий аналог, пристрій для перетворення потоків імпульсів унітарного коду в біт-орієнтований потік коду поля Галуа як спецпроцесора [1].

Недоліком даного пристрою є обмежені функціональні можливості, обумовлені тим, що пристрій, який реалізує вертикально-інформаційну технологію перетворює числа з унітарного базису у ТЧБ Галуа, а також виконує тільки операцію сумування числа імпульсів з можливістю представлення суми імпульсів паралельними кодонами Галуа.

Відомий аналог [2], який містить шини операндів чисел представлених у кодах поля Галуа дешифратори та суматори у кожному з розрядів призначений для виконання операції додавання чисел в теоретико-числовому базисі Галуа, який характеризується високим ступенем паралелелізму та відсутність наскрізних переносів.

Недоліком відомого пристрою є обмежені функціональні можливості обумовлені тим, що пристрій може виконувати тільки операцію сумування чисел у базисі Галуа.

Найбільш близьким аналогом є відомий пристрій як спецпроцесор вертикально-інформаційної технології [3], який містить арифметико-логічний пристрій, оперативну пам'ятовуючий пристрій, реєстри загального призначення, пристрій управління і синхронізації, буфер зовнішнього інтерфейсу, лічильник команд у базисі Галуа, зовнішні біт орієнтовані інтерфейсні шини даних, які з'єднані між собою відповідним чином, які з'єднанні з блоком зовнішнього інтерфейсу.

Недоліком такого пристрою є обмежені функціональні можливості обумовлені тим, що даний пристрій не дозволяє опрацьовувати і вирішувати обчислювані задачі з колективними даними. Даний пристрій неможливо використати як сигнальний процесор паралельного опрацювання даних.

В основу корисної моделі поставлена задача вдосконалення спецпроцесора ВІТ шляхом розширення його функціональних можливостей.

Поставлена задача вирішується тим, що мультіядерний сигнальний спецпроцесор, який містить пристрій управління і синхронізації, перші виходи якого підключені до відповідних входів першого ядра ВІТ спецпроцесора, згідно з корисною моделлю, що додатково перші виходи пристрою управління і синхронізації підключені до відповідних перших входів М-1 ВІТ спецпроцесорів, а другий вихід підключений до другого входу БАЦК, другі виходи якого є виходами пристрою, а виходи підключені до відповідних входів ВІТ процесорів, виходи яких підключені до відповідних входів комутаційної мережі, перші виходи якої підключені до відповідних входів пристрою управління і синхронізації, а виходи є виходами пристрою.

Корисна модель пояснюється кресленнями, де на фіг. 1 показана структура багатоядерного сигнального спецпроцесора. на основі ВІТ у базисі Галуа: 1 - вхідна шина аналогових сигналів, 2 - багатоканальний аналого-цифровий кодер (БАЦК) Галуа, 3 - пристрій управління і синхронізації (ПУС), 4 - спецпроцесори ВІТ, 5 - комутаційна мережа, 6 - вихідна інформаційна шина.

Мультіядерний сигнальний спецпроцесор працює наступним чином: вхідні аналогові сигнали через шину - 1 надходять на відповідні входи багатоканального аналого-цифрового кодера (БАЦК) - 2, другий вхід якого підключений до першого виходу пристрою управління і синхронізації - 3, а виходи підключені до шин даних відповідних перших входів процесорів - 4, другі входи яких підключені до відповідних виходів пристрою управління і синхронізації - 3, а виходи підключені до відповідних входів комутаційної мережі - 5, перші виходи якої підключені до відповідних входів пристрою управління і синхронізації - 3, а другі виходи є інформаційними виходами мультіядерного сигнального спецпроцесора.

Вхідні аналогові сигнали $x_i(t)$ поступають па входи БАЦК-2, де синхронно перетворюється скануючими АЦП у біт орієнтовані коди поля Галуа, які надходять на біт орієнтовані шипи даних відповідних ВІТ процесорів, які реалізують обчислювані операції в розпаралеленому режимі у кодах Галуа. ПУС - 2 генерує адресні коди у базисі Галуа та формує керуючі сигнали на входи біт-орієнтованих шин адреси та управління. Результати обчислень, які отримуються асинхронно кожним ядром спецпроцесора - 4 надходять на відповідні входи комутаційної мережі, оснащеної кільцевими реєстрами зсуву, адресні виходи яких під'єднані до відповідних входів ПУС - 3, а

інформаційні дані у результаті розпаралелених обчислень надходять з інформаційних виходів комутаційної мережі - 5 на інтерфейсні шини - 6.

На фіг. 2 показаний приклад організації адресних вибірок команд у мультіядерному процесорі при виконанні розпаралелених обчислень, де 1.1 - стартова адресація програми на початку рішення задачі, 2.1 - інкрементне паралельне виконання команд з адресацією в ОЗП у базисі Галуа, 3.1 - циклічний зсув адресних даних в процесорах при виконанні умовних та безумовних переходів, 4.1 - формування вихідних даних у розпаралелених алгоритмах обчислень, які виконуються у процесі стартових переадресацій програм в окремих ВІТ процесорах, які завершили виконання окремих програмних модулів.

Таким чином, за рахунок застосування перетворення вхідних аналогових даних у біт-орієнтовані коди Галуа та їх розпаралелене опрацювання в ядрах ВІТ процесорів з використанням колективних результатів виконання окремих модулів команд досягається розширення функціональних можливостей та розв'язання обчислюваних задач мультіядерним сигнальним ВІТ спецпроцесором.

Джерела інформації:

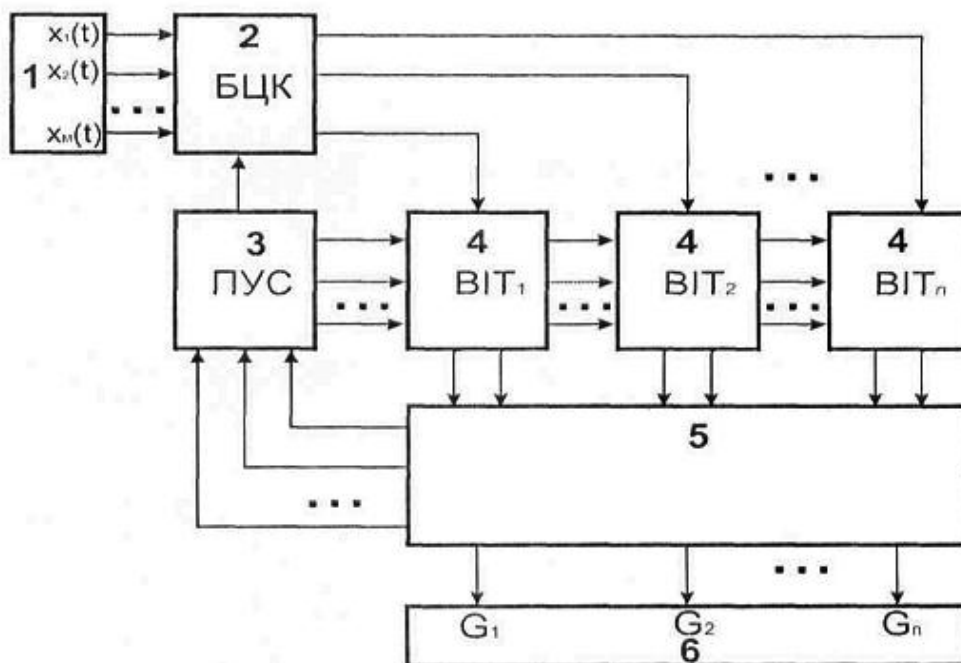
1. Глухов В.С. Убудований контроль спецпроцесорів для оброблення цифрових підписів / В.С. Глухое, Еліас Р. // Комп'ютерні науки та інформаційні технології: [збр. наук.пр] / відп. редактор Ю.М. Рашкевич, - Л: Вид-цтво Львівської політехніки, 2010. - № 686, с. 56-62.

2. Николайчук Я.М. Теоретичні засади та принципи побудови арифметико-логічного пристрою за основі вертикально-інформаційної технології / Я.М. Николайчук, О.М. Заставний, Гуменний П.В. // Вісник Хмельницького національного університету, № 2, - 2012, с. 190-196, рис. 9.

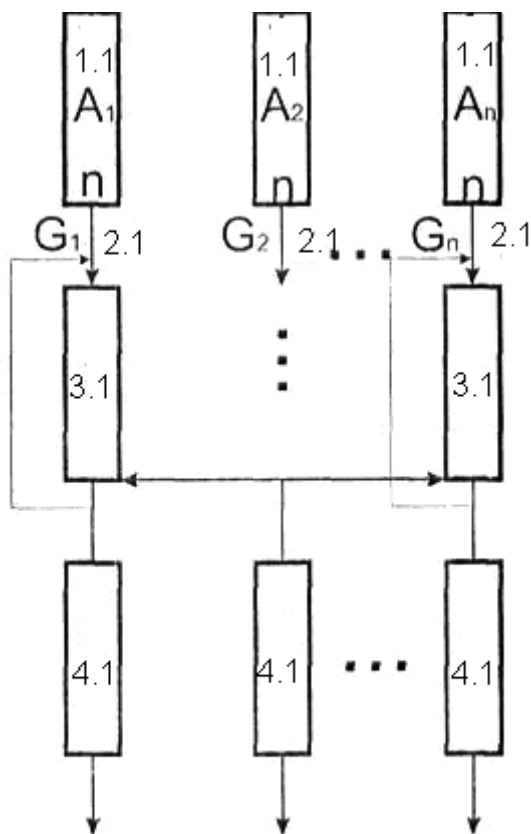
3. Гуменний П.В. Функціональна структура спецпроцесора вертикально-інформаційної технології та його компоненти / П.В. Гуменний, Я.М. Николайчук, // Вісник національного університету "Львівська політехніка" журнал "Комп'ютерні системи та мережі" № 745-2012, с. 69-77, рис. 6.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Мультіядерний сигнальний спецпроцесор, який містить пристрій управління і синхронізації, перші виходи якого підключені до відповідних входів першого ядра ВІТ спецпроцесора, який **відрізняється** тим, що додатково перші виходи пристрою управління і синхронізації підключені до відповідних перших входів М-1 ВІТ спецпроцесорів, а другий вихід підключений до другого входу БАЦК, другі входи якого є входами пристрою, а виходи підключені до відповідних входів ВІТ процесорів, виходи яких підключені до відповідних входів комутаційної мережі, перші виходи якої підключені до відповідних входів пристрою управління і синхронізації, а виходи з виходами пристрою.



Фиг. 1



Фиг. 2

Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601