



ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **109142** (13) **U**  
(51) МПК (2016.01)  
**G06F 7/00**

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

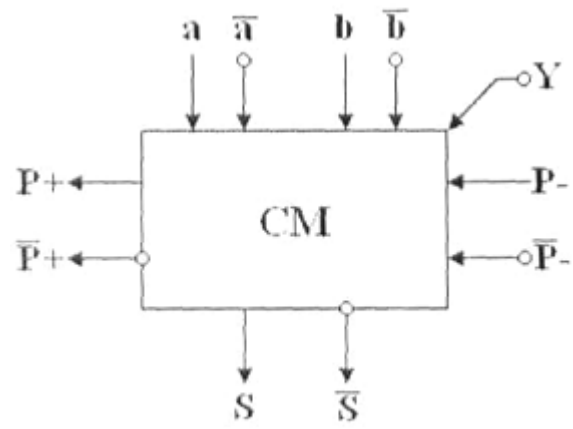
<p>(21) Номер заявки: <b>u 2016 02165</b></p> <p>(22) Дата подання заявки: <b>04.03.2016</b></p> <p>(24) Дата, з якої є чинними права на корисну модель: <b>10.08.2016</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>10.08.2016, Бюл.№ 15</b></p>	<p>(72) Винахідник(и): <b>Давлетова Аліна Ярославівна (UA), Круліковський Борис Борисович (UA), Возна Наталія Ярославівна (UA), Николайчук Ярослав Миколайович (UA)</b></p> <p>(73) Власник(и): <b>Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</b></p>
--	---

## (54) ОДНОРОЗРЯДНИЙ СУМАТОР

### (57) Реферат:

Однорозрядний суматор містить першу і другу підгрупи логічних елементів, перший, третій і другий інформаційні входи однорозрядного суматора, які з'єднані з відповідними першими входами групи логічних елементів, вхід блокування результату однорозрядного суматора, який з'єднаний з відповідними другими входами першої і другої підгруп групи логічних елементів однорозрядного суматора, перший вихід суми та другий вихід переносу однорозрядного суматора, які відповідно з'єднані з виходами першої і другої груп логічних елементів однорозрядного суматора. В якому вхід блокування результату однорозрядного суматора з'єднаний з входом першого логічного повторювача третьої підгрупи груп та входом другого логічного повторювача четвертої підгрупи групи логічних елементів I-HE, відповідні входи яких з'єднані з четвертим, п'ятим та шостим інверсними інформаційними входами однорозрядного суматора, виходи логічних елементів I-HE першої підгрупи з'єднані між собою та другим виходом переносу однорозрядного суматора, виходи другої підгрупи логічних елементів I-HE з'єднані між собою і першим виходом суми однорозрядного суматора, виходи третьої підгрупи логічних елементів I-HE з'єднані між собою, виходом першого логічного повторювача та третім інверсним виходом переносу однорозрядного суматора, а виходи четвертої підгрупи логічних елементів I-HE з'єднані між собою, виходом другого логічного повторювача і четвертим інверсним виходом суми однорозрядного суматора.

UA 109142 U



Фиг. 2

Запропонована корисна модель - однорозрядний суматор, належить до засобів обчислювальної техніки і може бути використана як швидкодіючий компонент багаторозрядних суматорів, матричних перемножувачів, арифметико-логічних пристроїв мікропроцесорів та компонентів проблемно-орієнтованих процесорів шифрування даних.

5 Відомий аналог - двійковий однорозрядний суматор [Арифметика цифровых машин / Карцев М.А. - М.: Наука, 1969. - С. 64, рис. 2-4], який містить логічні елементи І, АБО, НЕ, перший, другий та третій прямі входи, четвертий, п'ятий та шостий інверсні входи двійкового однорозрядного суматора, які відповідно з'єднані з першими входами групи логічних елементів І, виходи першої підгрупи логічних елементів І з'єднані з відповідними входами першого логічного елемента АБО, вихід якого є першим прямим виходом суми двійкового однорозрядного суматора, виходи другої підгрупи логічних елементів І з'єднані з відповідними входами другого логічного елемента АБО, вихід якого з'єднаний з другими прямим виходом переносу двійкового однорозрядного суматора та входом логічного елемента НЕ, вихід якого з'єднаний з третім інверсним виходом переносу двійкового однорозрядного суматора.

15 Недоліком такого однорозрядного суматора є низька швидкодія обумовлена наявністю трьох послідовно з'єднаних логічних елементів І-АБО-НЕ при формуванні інверсного біта переносу у старший розряд та обмежені функціональні можливості обумовлені відсутністю формування інверсного біта суми двійкового однорозрядного суматора, а також відсутністю входу блокування результату однорозрядного суматора.

20 Відомий аналог - однорозрядний суматор [Шатилло В.В., Прохоров С.Н., Явиц Л.С. Матричний множитель // АС № 1615704 SU, Бюллетень № 47. - 1990, фиг. 2], що є базовим компонентом матричного перемножувача, який містить логічні елементи І, АБО, НЕ, третій, перший і другий інформаційні входи однорозрядного суматора, вхід блокування результату однорозрядного суматора, виходи суми та переносу однорозрядного суматора, третій, перший і другий інформаційні входи однорозрядного суматора з'єднані з відповідними першими входами групи логічних елементів І та входами відповідних логічних елементів НЕ, виходи яких з'єднані з відповідними другими входами групи логічних елементів І, треті входи яких з'єднані з входом блокування результату однорозрядного суматора, виходи першої підгрупи логічних елементів І з'єднані з відповідними входами першого логічного елемента АБО, вихід якого з'єднаний з першим виходом суми однорозрядного суматора, виходи другої підгрупи логічних елементів І з'єднані з відповідними входами другого логічного елемента АБО, вихід якого з'єднаний з другим виходом переносу однорозрядного суматора.

30 Недоліком такого однорозрядного суматора є низька швидкодія обумовлена наявністю трьох послідовно з'єднаних логічних елементів НЕ-І-АБО при формуванні прямих бітів суми та переносу однорозрядного суматора та обмежені функціональні можливості, обумовлені відсутністю інверсних інформаційних входів та виходів однорозрядного суматора.

35 Відсутність повного набору прямих та інверсних бітів на входах та виходах однорозрядного суматора суттєво обмежує його функціональні можливості та його застосування як компонента більш складних обчислювальних пристроїв, а також у принципі не дозволяє максимально підвищити його швидкодію до рівня одного мікротакту переключення одного логічного елемента у структурі однорозрядного суматора.

40 В основу корисної моделі поставлена задача підвищення швидкодії та розширення функціональних можливостей однорозрядного суматора, шляхом додаткового введення інверсних входів та виходів та логічних елементів І-НЕ, мультиплексно з'єднаних виходами між собою, що дозволяє забезпечити можливість збереження високої швидкодії при його застосуванні як компонента структурно складніших багаторозрядних матричних та багатокаскадних засобів обчислювальної техніки, в яких передбачені операції додавання двійкових чисел теоретико-числового базису Радемахера.

45 Поставлена задача вирішується тим, що у однорозрядному суматорі, який містить першу і другу підгрупи логічних елементів, перший, третій і другий інформаційні входи однорозрядного суматора, які з'єднані з відповідними першими входами групи логічних елементів, вхід блокування результату однорозрядного суматора, який з'єднаний з відповідними другими входами першої і другої підгруп логічних елементів однорозрядного суматора, перший вихід суми та другий вихід переносу однорозрядного суматора, які відповідно з'єднані з виходами першої і другої груп логічних елементів однорозрядного суматора, згідно з корисною моделлю, вхід блокування результату однорозрядного суматора додатково з'єднаний з входом першого логічного повторювача третьої підгрупи груп та входом другого логічного повторювача четвертої підгрупи групи логічних елементів І-НЕ, відповідні входи яких з'єднані з четвертим, п'ятим та шостим інверсними інформаційними входами однорозрядного суматора, виходи додатково введених логічних елементів І-НЕ першої підгрупи з'єднані між собою та другим виходом

переносу однорозрядного суматора, виходи другої підгрупи додатково введених логічних елементів І-НЕ з'єднані між собою і першим виходом суми однорозрядного суматора, виходи третьої підгрупи додатково введених логічних елементів І-НЕ з'єднані між собою, додатково з'єднані з виходом першого логічного повторювача та третім інверсним виходом переносу однорозрядного суматора, а виходи четвертої підгрупи додатково введених логічних елементів І-НЕ з'єднані між собою, виходом другого логічного повторювача і четвертим інверсним виходом суми однорозрядного суматора.

Корисна модель ілюструється кресленнями, де на Фіг. 1 показана структура однорозрядного суматора, який містить: 1, 2, 3 - прямі інформаційні входи; 4, 5, 6 - інверсні інформаційні входи; 7 - вхід блокування результату однорозрядного суматора; 8 - група логічних елементів І-НЕ; 8.1, 8.2, 8.3, 8.4 - відповідно перша, друга, третя та четверта підгрупи логічних елементів І-НЕ; 9.1, 9.2 - перший та другий логічні повторювачі з інверсними виходами (реалізовані на основі двох послідовно з'єднаних логічних елементів НЕ, на Фіг. 1 позначено інверсією на вході та виході як міжкаскадні підсилювачі); 10, 11 - прямий та інверсний виходи переносу, 12, 13 - прямий та інверсний виходи суми однорозрядного суматора.

На Фіг. 2 показано функціональне позначення однорозрядного суматора:  $a, b, P$  - відповідно третій, перший та другий інформаційні входи однорозрядного суматора;  $\bar{a}, \bar{b}, \bar{P}$  - відповідно четвертий, п'ятий та шостий інверсні інформаційні входи однорозрядного суматора;  $P, S$  - відповідно перший та другий виходи переносу та суми однорозрядного суматора;  $\bar{P}_+, \bar{S}$  - відповідно третій та четвертий інверсні виходи переносу та суми однорозрядного суматора;  $Y$  - вхід блокування результату однорозрядного суматора.

Однорозрядний суматор працює наступним чином.

При подачі на прямі та інверсні входи 1-6 однорозрядного суматора комбінації парафазних логічних значень "0" та "1" бітів, що додаються, на прямих 10, 12 та інверсних 11, 13 виходах однорозрядного суматора за один мікротакт одночасного переключення логічних елементів І-НЕ у підгрупах 8.1, 8.2, 8.3 та 8.4 формуються прямі та інверсні логічні значення суми та переносу однорозрядного суматора.

При подачі на вхід 7 - блокування результату однорозрядного суматора логічного значення "0" на виходах першого 9.1 та другого 9.2 логічного повторювача з інверсним виходом формуються нульові потенціали, які відповідно формують логічні значення "0" на виходах переносу 10 та суми 12 однорозрядного суматора. При цьому одночасно формуються потенціали "0" на входах логічних елементів І-НЕ другої 8.2 та четвертої 8.4 підгруп логічних елементів, у результаті чого на інверсних виходах переносу 11 та суми 13 формуються логічні значення "1".

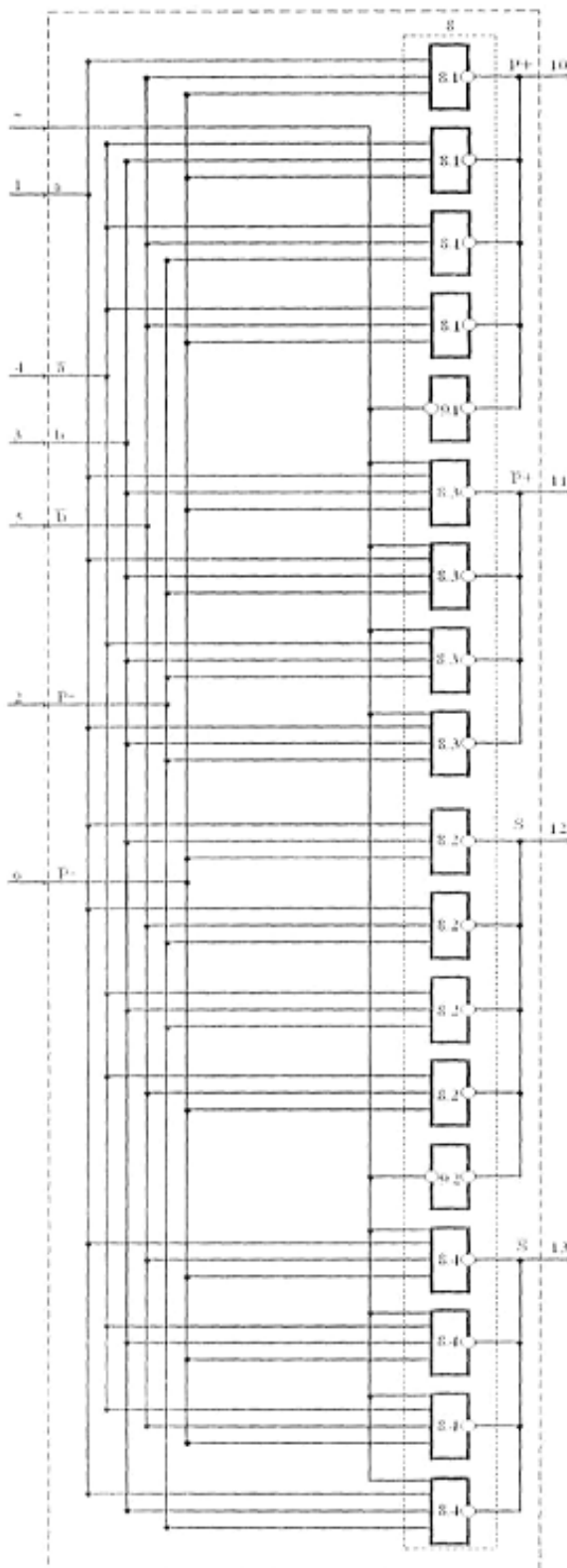
Таким чином блокується результат однорозрядного суматора з прямими та інверсними виходами суми та переносу.

Технічний результат. У результаті запропонованої структури корисної моделі створено швидкодіючий однорозрядний суматор з розширеними функціональними можливостями як компонент багаторозрядних та багатокаскадних засобів обчислювальної техніки з часовою складністю  $\tau = 1\upsilon$ , де  $\upsilon$  - тривалість переключення одного логічного вентиля, реалізованого, згідно з відповідною мікроелектронною технологією, на спеціалізованих кристалах або ПЛІС, що у 2-5 разів перевищує швидкодію відомих повнофункціональних по входах і виходах однорозрядних суматорів на логічних елементах І, АБО, НЕ.

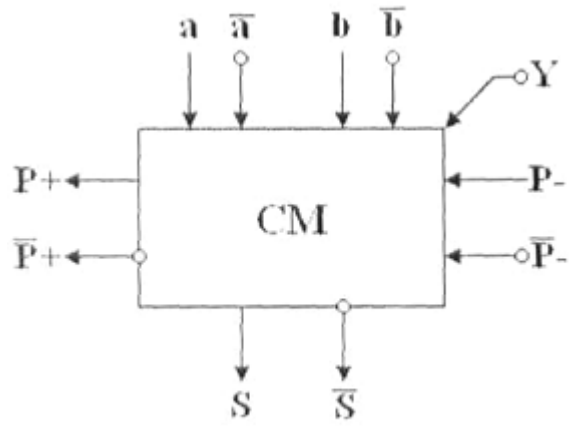
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Однорозрядний суматор, який містить першу і другу підгрупи логічних елементів, перший, третій і другий інформаційні входи однорозрядного суматора, які з'єднані з відповідними першими входами групи логічних елементів, вхід блокування результату однорозрядного суматора, який з'єднаний з відповідними другими входами першої і другої підгруп групи логічних елементів однорозрядного суматора, перший вихід суми та другий вихід переносу однорозрядного суматора, які відповідно з'єднані з виходами першої і другої груп логічних елементів однорозрядного суматора, який **відрізняється** тим, що вхід блокування результату однорозрядного суматора з'єднаний з виходом першого логічного повторювача третьої підгрупи груп та виходом другого логічного повторювача четвертої підгрупи групи логічних елементів І-НЕ, відповідні входи яких з'єднані з четвертим, п'ятим та шостим інверсними інформаційними входами однорозрядного суматора, виходи логічних елементів І-НЕ першої підгрупи з'єднані між собою та другим виходом переносу однорозрядного суматора, виходи другої підгрупи логічних елементів І-НЕ з'єднані між собою і першим виходом суми однорозрядного суматора, виходи

третьої підгрупи логічних елементів І-НЕ з'єднані між собою, виходом першого логічного повторювача та третім інверсним виходом переносу однорозрядного суматора, а виходи четвертої підгрупи логічних елементів І-НЕ з'єднані між собою, виходом другого логічного повторювача і четвертим інверсним виходом суми однорозрядного суматора.



Фиг. 1



Фиг. 2

---

Комп'ютерна верстка Г. Паяльніков

---

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601